

6,000ゲートCMOSゲートアレイLSI

6,000-Gate CMOS Gate Array LSI

通信・コンピュータ装置の小形化、性能価格比の向上を目的とした専用LSIの開発が、国内や国外で注目されている。

本論文では、経済的に専用LSIを短期間に開発できるマスタスライス方式を用いて、新規に開発した6kゲートCMOSゲートアレイLSIの構成、機能及び性能について述べる。

このゲートアレイLSIによって、50 μ W/ゲートの低消費電力、遅延時間2ns/ゲートの高速性能をもつ専用LSIの品種展開が可能となった。

本ゲートアレイLSIでは、金属2層配線技術を用いた2 μ mCMOSデバイス技術、設計品質向上・設計期間短縮を考慮した設計自動化技術を採用している。

生崎邦彦* *Kunihiko Ikuzaki*

藤田 実* *Minoru Fujita*

正木 亮** *Akira Masaki*

村田慎吾*** *Shingo Murata*

1 緒 言

各種電子装置に対する小形化、低消費電力化、多機能・高速化、高信頼度化、低価格化などの諸要求にこたえるため、論理装置のLSI化が急速に進んでいる。

電子装置を構成するメモリ部は、機能動作の面から汎用性が強く、記憶セルを単純化できるのでLSI化に向いている。数年後には汎用の256kビットダイナミックRAM(ランダムアクセスメモリ)が商品化されると見られる。

一方、論理回路部のLSI化では装置ごとにカスタム(専用)LSIを開発しなくてはならず、開発費・開発期間の面でLSI化は制約があった。すなわち、生涯生産数が比較的少ない中小形コンピュータ、及びその周辺装置用の論理回路をLSI化することは簡単でなく、これまで汎用マイクロコンピュータLSIやTTL(Transistor Transistor Logic)などの標準論理ICを使用する傾向が強かった。

しかし、最近の中小形コンピュータ及びその周辺装置の分野での市場競争は激しく、カスタムLSI化による市場競争力の強化が必要になってきている。これらの製品は開発・発売のタイミングが大変重要であり、そのうえ数千～十数万ゲート規模の論理回路で構成される装置をLSI化するためには、多品種のカスタムLSIの開発が必要である。したがって、中小形コンピュータ及びその周辺装置用カスタムLSIとしては高性能・低価格であり、しかも、多品種の短期開発が可能であることが重要課題である。

一方、半導体メーカーはメモリやマイクロコンピュータなどの高集積汎用LSI、電子式卓上計算機や時計用の専用LSIの製造経験を積み重ね、LSIやVLSIの設計技術、製造技術を飛躍的に高めてきた。

このように、市場からの要求と半導体メーカーのLSI技術の高まりとが融合する形で、これまで開発費・開発期間の面で適用不可能と考えられていた中小形コンピュータ、及びその周辺装置用カスタムLSIとして、マスタスライス方式のゲートアレイLSIが注目されるに至った。

本論文では、新たに開発した6kゲートCMOS(Complementary Metal Oxide Semiconductor)ゲートアレイLSIの構成と特徴、設計法と製造法の概要及び電気特性について述べる。最後に、今後のCMOSゲートアレイLSIの動向について展望する。

2 6kゲートCMOSゲートアレイLSIの位置付け

カスタムLSIは製造方法によって、フルカスタム方式とセミカスタム方式に分類される。

フルカスタム方式は、LSI1品種ごとにウェーハ処理全工程に必要な専用のホトマスク系列を設計し、最初から最後まで製品ごとにウェーハ処理する方式である。電子式卓上計算機用などのカスタムLSIでは、セル設計からチップレイアウトまで人手設計によるフルカスタム方式がとられている。この方式は、チップサイズを可能な限り小さくできるという点で量産性に優れているが、開発期間が長く、開発費が膨大なものになるため、多品種少量生産のLSIに適用するのは得策でない。最近フルカスタム方式で自動レイアウト設計を行ない、数千～数万ゲートのLSIを開発した例も発表されており¹⁾、設計期間はかなり改善される見通しがついてきた。

セミカスタム方式は、製造工程の一部(通常は製造時の能率を考慮してウェーハ処理の終わりの工程である配線工程)のホトマスクを製品ごとに設計することにより、別品種を作る方式である。この方式は、マスタスライス方式とも呼ばれており、フルカスタム方式と比較して量産性については劣るが、開発費が少なく、かつ製造期間が短いという利点がある。

今回報告する6kゲートCMOSゲートアレイLSI²⁾では、上記マスタスライス方式を採用し、開発期間・製造期間の大幅短縮を図っており、同規模の人手フルカスタムLSIの半分以上の開発期間で品種展開が可能である。

また、1チップ当たりの集積度が6kゲートと大規模であることもあり、従来バイポーラICで構成される装置に本LSIを適用したとき、実装レベルあるいは装置レベルで従来システム以上の高速性が得られる。

今回報告する6kゲートCMOSゲートアレイLSIの遅延時間—消費電力性能を、従来の標準論理ICの性能と比較して図1に示す。同図に示すように、CMOSゲートアレイLSIは極めて低消費電力で、S-TTL^{*1)}並みの速度性能をもつことが特徴となっている。

※1) ショットキーランプダイオードを用いたTTL

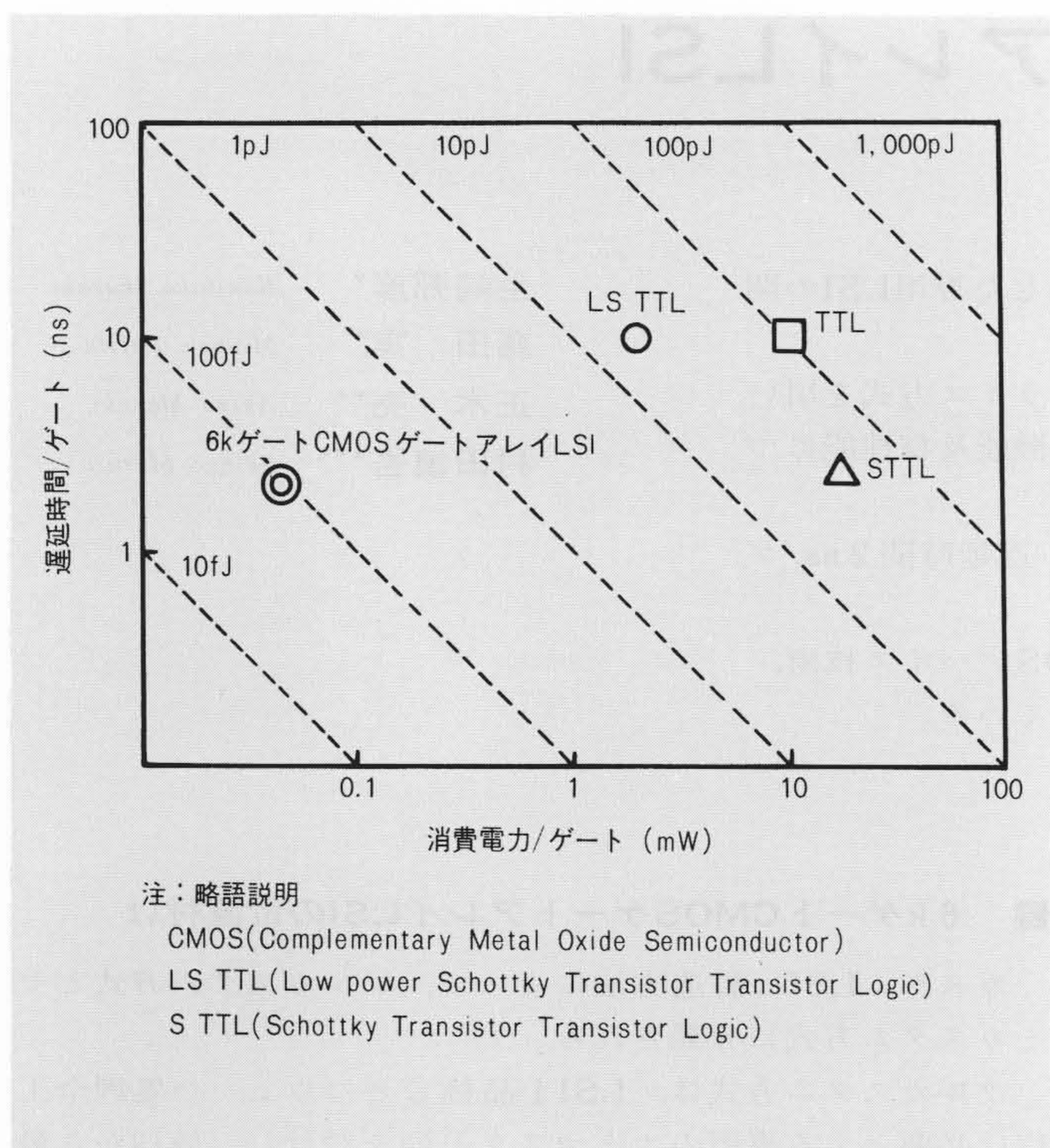


図1 6kゲートCMOSゲートアレイLSIの位置付け 今回報告の6kゲートCMOSゲートアレイLSIの性能を、標準論理ICと比較して示してある。遅延時間についてはSTTL並みの性能を得ている。

3 6kゲートCMOSゲートアレイLSIの構造

3.1 概要

本CMOSゲートアレイLSIでは、後述するように、MOSトランジスタ6個から構成される基本セルが、配線領域とともにチップ上全面に配列してある。拡散工程マスクを全品種共通に準備し、ウェーハを拡散工程まで品種の区別なしで製造する。上記基本セルを1個から数十個横並べして、コンタクトホール^{※2)}、Al1(第1層Al配線)、スルーホール^{※3)}、Al2(第2層Al配線)を用いて結線し論理機能をもたせた配置セルを設計・定義する。この配置セル単位で具体的な図形データ、電気的な特性、機能をコンピュータに登録する。設計者はLSIの論理図を、上記配置セルを単位として作成する。この論理図をコンピュータに入力し、チップ上に配置セルを自動配置し、配置セル間を自動配線する。この設計データをもとに製品ごとの配線工程マスクが作られ、各種のカスタムLSIが製造される。

このように、同一マスクで数十～数百品種のLSIが品種展開されるので、マスクチップパターンの設計・配置セルの設計は、ゲートアレイLSIの開発では最も重要な項目である。

本報告のLSI開発に当たって検討した主要項目と設計方針を以下に説明する。

(1) 製造技術として、量産性を考慮した最先端技術を採用する。

技術革新の激しい半導体分野で、現状の量産プロセスに適合したマスクパターン設計を行なうと、品種展開が最盛期に

なる時点で、製造プロセスが陳腐化して性能・価格の面で競争力が失われるおそれがある。

(2) 設計法が簡便で、設計段階で完成したLSIとしての性能が十分予測できる。

複雑な設計手順を用いてLSIを設計する必要があると、性能予測が難しく、LSIを試作しないと特性が把握できないという難点がある。マスク構造を工夫し、設計初期の段階で容易に性能予測を可能とする自動設計技術の適用が必要である。

(3) マスクパターンは、ユーザーニーズを広範囲に取り入れられる構造とする。

一つのマスクで多くの品種展開ができることは、コスト低減・安定生産の面で極めて重要である。

(4) テストプログラムの自動生成を可能とする。

この項目は論理設計にも関連するが、配置セルの選定に当たっても適切な配慮が必要である。6kゲートもの論理規模になると、人手による故障検出率の高いテストパターン作成は極めて困難となる。

(5) LSI実装時の問題点の事前把握

LSIは通常プリント基板などに実装して使用される。プリント基板に実装してLSIを動作させたときにLSI自身が発生する雑音、及びLSI外部から受ける雑音がLSI内部回路や入出力端子に与える影響を最小限に食い止める配慮が重要である。また、論理装置の中で従来の標準論理ICと混載して使用されるので、これらのICとのインタフェース仕様に関する配慮が必要である。更に、プリント基板にLSIを実装するとき、最小の実装面積で最大のピン数が得られる経済的なLSIパッケージを使用することも重要である。

これらの項目を検討することにより、(a)チップ集積度の点から3入力NAND回路の基本セルを4,000個もつゲートアレイ構成、(b)LS TTL^{※4)}との整合性を考慮したすべての端子が、入力、出力あるいは双方向性バッファになり得る入出力バッファ回路構成、(c)112ピンの入出力端子構造、を採用することにした。

3.2 デバイス構造

CMOSのもつ低消費電力特性を生かし、S TTL並みの高速特性を実現するために、ゲート長2 μm のCMOSデバイス技術を採用した。本ゲートアレイLSIのデバイス構造は、CMOSメモリで大量生産の実績をもつHi-CMOS構造³⁾を母体として、論理LSI用に発展させたものである。

2 μm という短チャネル領域では、pチャネルとnチャネルのMOSトランジスタのしきい値電圧 V_{th} のチャネル長依存性をバランスよく設定することが大切である。そのうえ、高速性を損なうことがないように、ソース及びドレインの接合容量を低い値に抑えなければならない。このため、MOSトランジスタを形成する領域の不純物濃度設計を、最適化する必要がある。これには、製造仕様確立に先立ちCAD(Computer Aided Design)を主体としたデバイス設計を実施し、上記諸特性の最適化を図っている。

従来CMOSの欠点として製造工程が長いこと、素子分離用の面積が占める割合が多いことなどが挙げられていた。今回のCMOSゲートアレイLSI開発では高集積度化が達成の鍵を握るため、この面で大幅な改善を試みた。すなわち、使用す

※2) 拡散層、ポリシリコンゲート電極と電気的な接続を取るために絶縁膜に開ける開口部

※3) 第1層Al配線と第2層Al配線とで、電気的な接続を取るために層間絶縁膜に開ける開口部

※4) 低消費電力ショットキーダイオードクランプTTL

説明する。

中央に走っている電源配線でチップは二つのブロックに分けられる。一つのブロックには2,000個の基本セルが、100個/段×20段のマトリックスで配列されている。こうしてチップ全体としては、2入力NAND回路換算で6,000ゲートのゲート規模をもつことになる。

チップ周辺領域には112個の入出力兼用バッファ回路及び8個の電源パッドを含む120個のボンディングパッドが配列されている。入出力兼用バッファ回路もマススライス構造となっていて、論理図に従い入力バッファ、出力バッファ、双方向性バッファのいずれにもなり得る。

内部論理部の配線チャンネルとしては、基本セル列間に水平に35本のA11の配線チャンネルが、基本セル上に垂直に4本/基本セルのA12の配線チャンネルが用意されている。

出力バッファ回路が同時に多数オンしたとき発生するグラウンドノイズが、内部回路に悪影響を与えないように、チップ周辺領域のグラウンドライン幹線を出力バッファ回路系と入力バッファ回路・内部論理回路系で分離している。また、チップ周辺領域に配列された入出力バッファ回路には、ラッチアップ・静電破壊に強いレイアウト設計がなされている。

4 6kゲートCMOSゲートアレイLSIの開発手順

ゲートアレイLSIを実際に開発する場合の手順を、以下に簡単に説明する。開発フローを図5に示す。

(1) 方式設計

装置として与えられた諸条件を満足するために、どのような標準IC、LSIとゲートアレイLSIの組合せとしたらよいかを検討する。この検討では、(a) テストしやすい論理構造でのLSI化、(b) クリティカルパスをLSI内に取り込む工夫、(c) LSIピン数の制約に対する考慮、(d) 他の装置との共用性を考慮したLSI化などが重要なポイントとなる。

(2) 論理設計

方式設計で決めたカスタムLSI化する論理部分を、コンピュータにライブラリ化してある配置セルを用いて記述し、データベースを作成する。このデータベースを用いて、

- (a) 論理シミュレーションによる機能の検証
- (b) デイレイチェックによる遅延時間の確認
- (c) チェックシステムによる各種設計制約事項に対する違反の摘出

を行なって、論理設計の品質を高める。

(3) チップ自動レイアウト

この工程では前記データベースをもとに、配置セルの自動配置と配置セル間の自動配線が行なわれる。クリティカルパスについては、人手による優先配置・配線を行なって遅延時間の改善を図る場合もある。

(4) テストデータ自動生成

LSIの電気的な機能動作を試験するためのテストデータは、論理シミュレーションデータ、デイレイチェックデータをもとに、自動テスト用の入力信号パターン、期待出力パターンの形で自動生成される。

(5) マスク製作とLSI製造

上に述べた設計手順で設計された設計データをもとに、配線工程マスクが製作される。拡散工程を完了しストックされているマスタウェーハを、製品ごとに設計される配線工程マスクを用いてウェーハ処理しウェーハが完成する。完成したウェーハは、自動テストを用いて1チップごとに電気的な特性が検査される。試験データとして先の(4)で説明したテスト

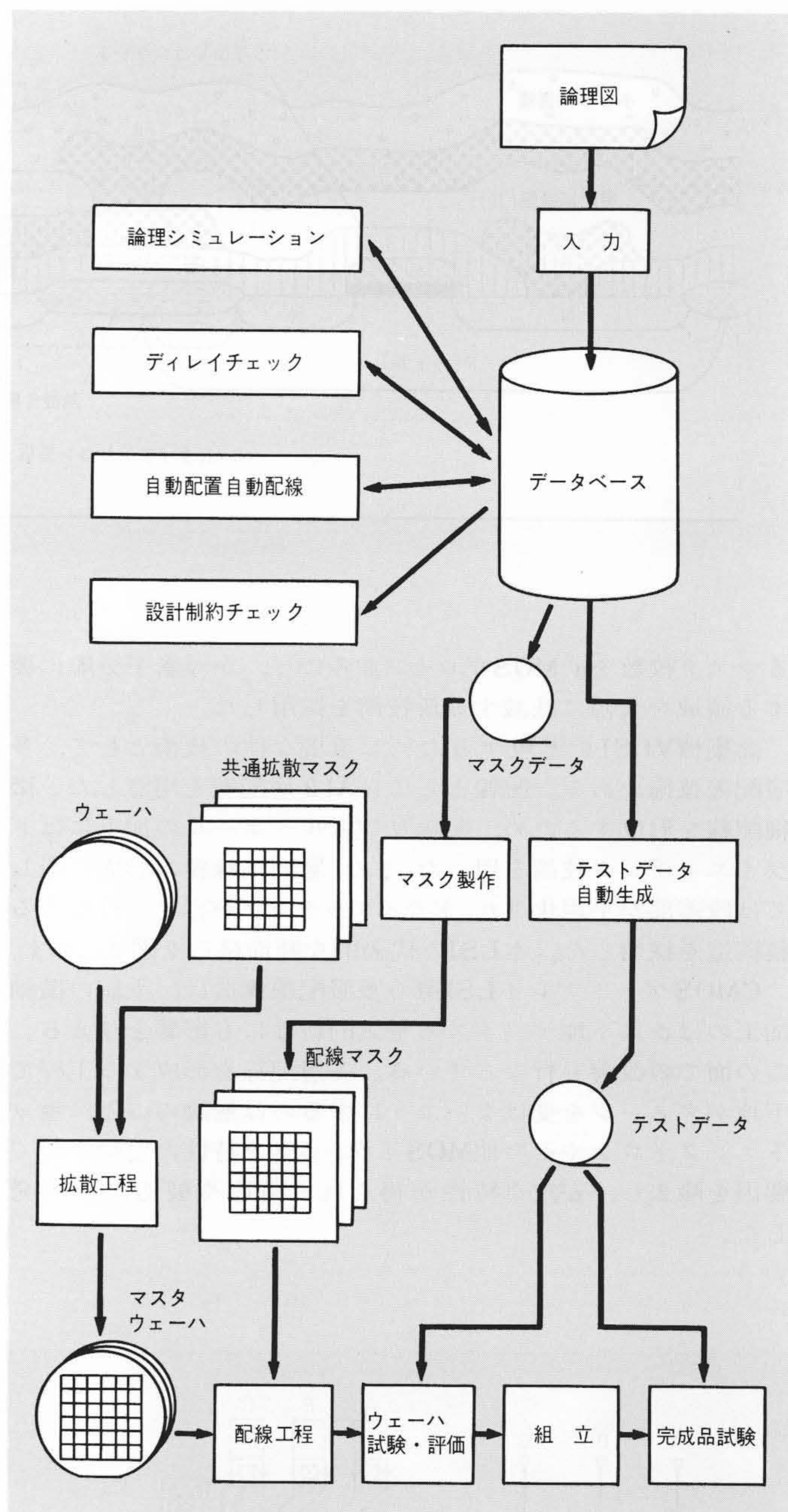


図5 CMOSゲートアレイ開発フロー 拡散工程まで共通に製造されたウェーハが、製品ごとに設計される配線マスクを用いて製品展開される。

データが用いられる。良品チップをLSIパッケージに組み立てて、完成品として詳細な動作余裕試験を実施すると同時に、装置に組み込んで所望の機能を確認する。これら試験の結果、生産して問題のないということが判明すると、当該製品の量産が開始される。

ゲートアレイLSIでは、共通のマスタで作られた量産中の品種を用いて定期的に品質確認がされるので、新規開発品ごとの品質確認は不要である。この点フルカスタムLSIに比較して非常に有利となっている。

5 6kゲートゲートアレイLSIの具体例

これまで説明してきた6kゲートCMOSゲートアレイLSIのマスタパターンの妥当性を検証するために、試作した品種を具体例としてその特性について述べる。

表1の諸元に示すように最新の2 μ m CMOSプロセス技術

表1 6kゲートCMOSゲートアレイLSIの諸元 最新の2μm Al2層配線CMOSプロセスを用いることによって、ALS TTL(Advanced LS TTL)並みの高性能が得られている。

項 目	仕 様
プ ロ セ ス	2 μmAl2層シリコンゲートCMOS
チ ッ プ サ イ ズ	8.2×8.3mm ²
ピ ン 数	120ピン(内8ピン電源ピン)
動 作 電 圧	5V±10%
遅 延 時 間	2ns/ゲート typ.(平均負荷条件)
入出力インタフェース	ローパワーショットキーTTLレベル
パ ッ ケ ー ジ	120ピン ピングリッドアレイタイプ

を採用しているため、集積度が6kゲートと大規模にもかかわらずチップサイズは8.2×8.3mm²と小さい。このように、現在市販されている3μmプロセス技術での最大集積規模である4kゲート規模のCMOSゲートアレイLSIよりも小さなチップサイズを実現している。

内部ゲートの伝搬遅延時間を代表的な論理パスの何種類かについて実測し、室温、電源電圧5Vで2ns/ゲートを得ている。この性能はS TTL並みといえる。

今回報告の試作品では、入出力端子としては試験端子を含めて111ピンが使用された。このほかに電源ピン8本、非接続ピン1本をもち、全部で120ピンとなる。このような多数のピンを小さな実装面積で確保できる120ピン100milピッチのピンングリッドアレイパッケージが、標準パッケージとして用意されている。

LSIの入出力インタフェースレベルとして、LS TTLレベルを選んで、従来からある高性能デジタルシステムとの互換性を確保した。試作品のチップ写真を図6に、完成品を図7に示す。

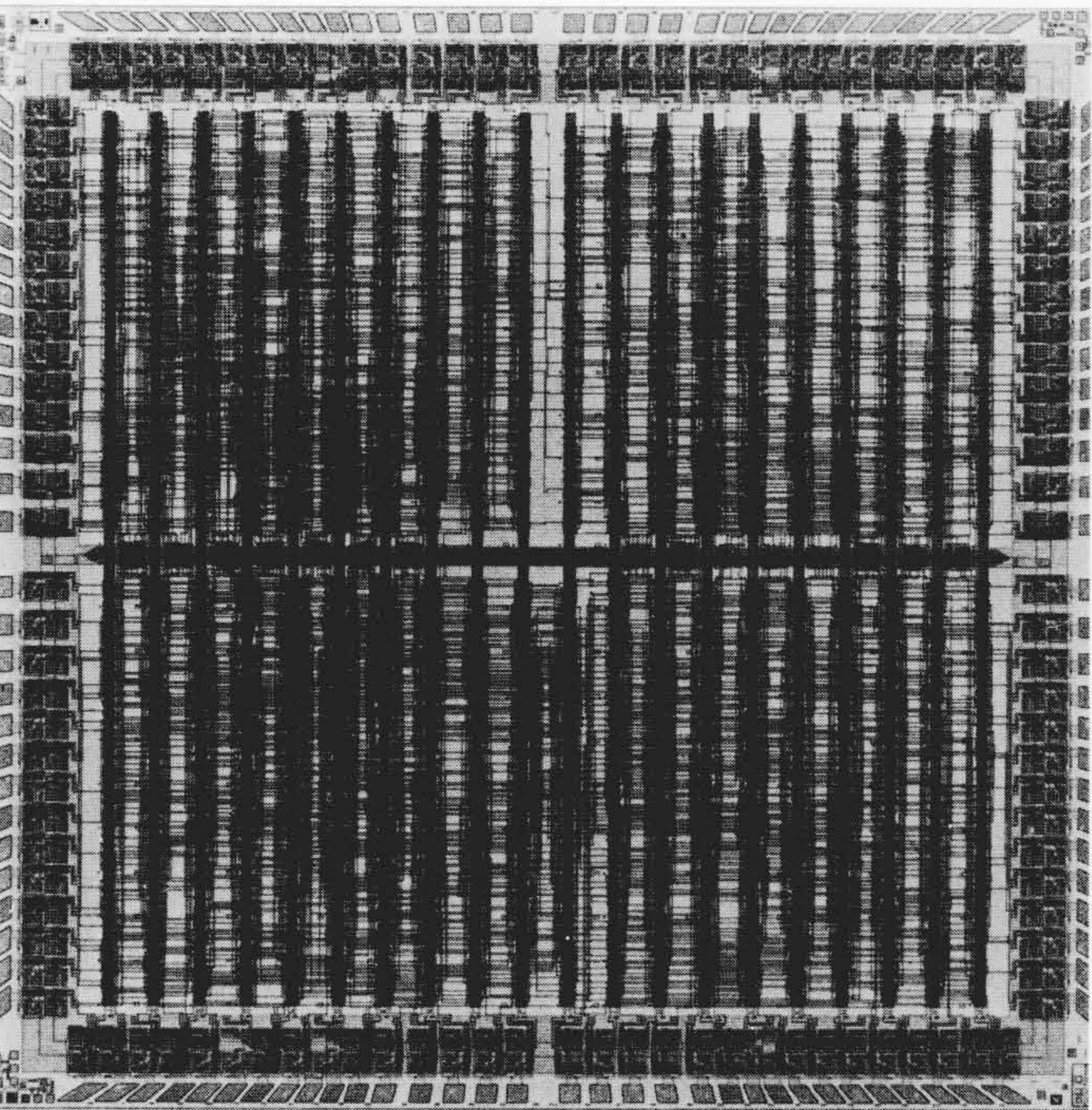


図6 試作品のチップ写真 約5,000ゲート規模の論理が1チップに集積されている。

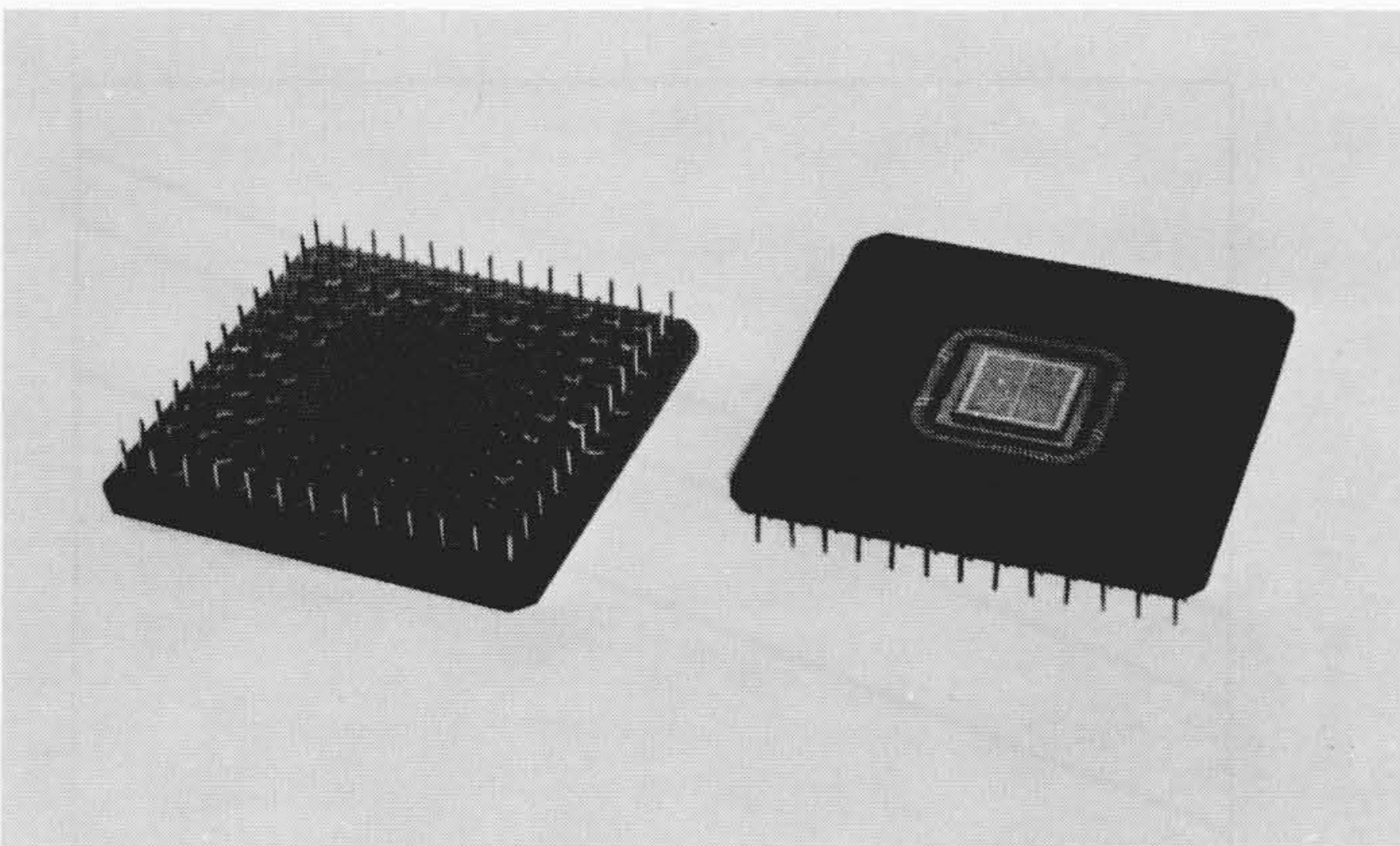


図7 試作品の組立品写真 チップの取付け状態を示すために、右側にキャップを外した状態を示す。ピンの配列状態が見えるように、パッケージを裏返した状態が左側の写真である。

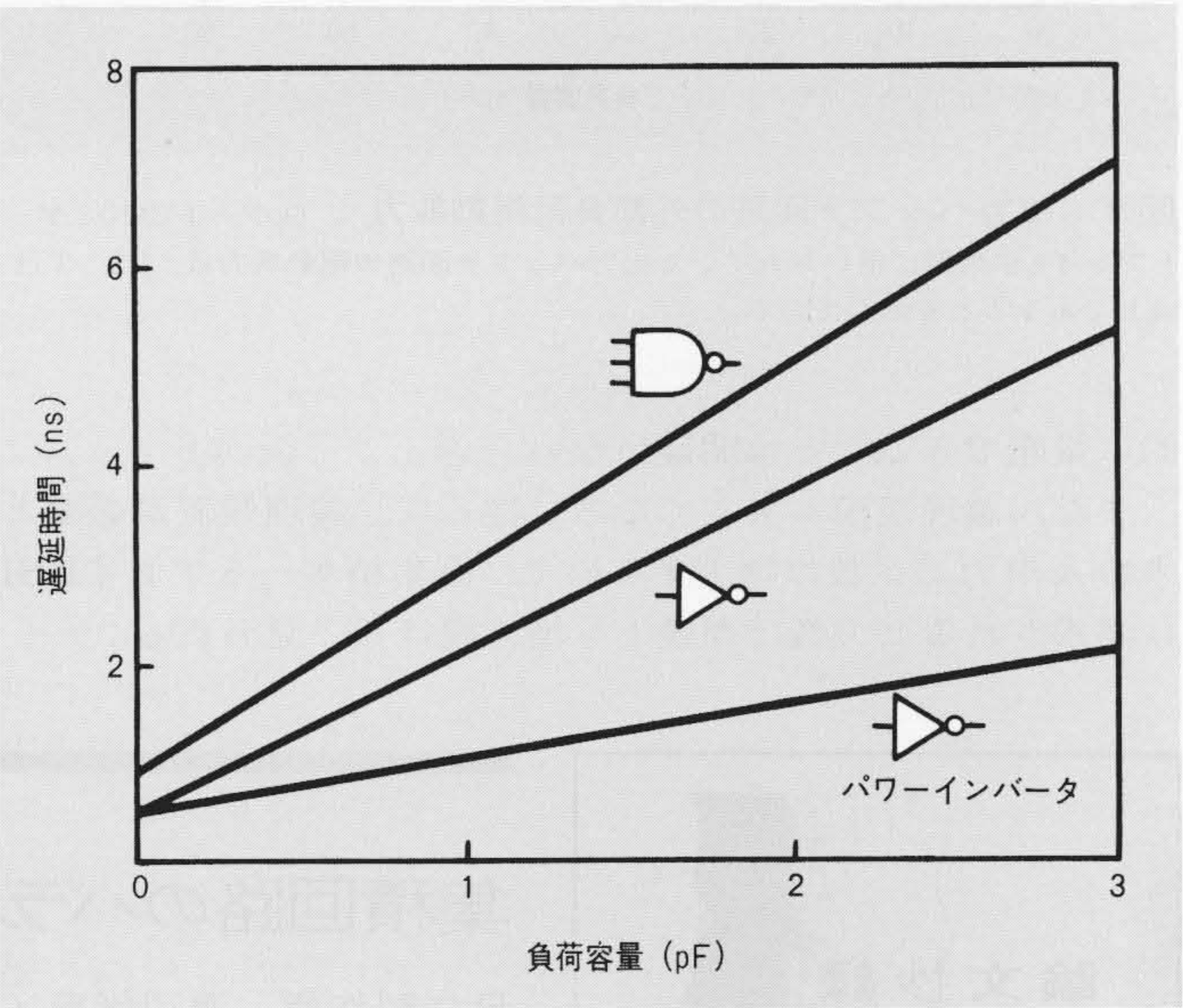


図8 内部論理ゲートセルの遅延時間—負荷容量依存性 内部論理ゲートセルは、S TTL並みの高速性能をもっていることが図から明らかである。

6kゲートCMOSゲートアレイLSIに用いられている代表的な配置セルの伝搬遅延時間の負荷容量依存性を、図8に示す。重い負荷容量に対しては、基本インバータセルを並列接続したパワーインバータセルを使用して、高速性を確保できることが同図から明らかである。

出力バッファ回路の外部負荷駆動能力は図9に示すように汎用のバイポーラ標準論理ICと比較して劣らない。

6 今後の動向

以上述べてきたように、新たに開発した6kゲートCMOSゲートアレイLSIは、S TTL並みの高速性と従来のCMOS LSIの特徴である低消費電力特性の両方を備えている。そのうえ、標準論理ICを使用して設計しているプリント基板数枚の論理部分を取り込むだけの集積度をもっていることから、システムの小型化・高性能化・高信頼度化・低価格化に大きく貢献する。

微細加工技術が現状の2～3μmレベルから数年後には2μm以下へ更に進歩することが期待されている。これに伴い、更に高集積度・高性能の多機能CMOSゲートアレイLSIが経済

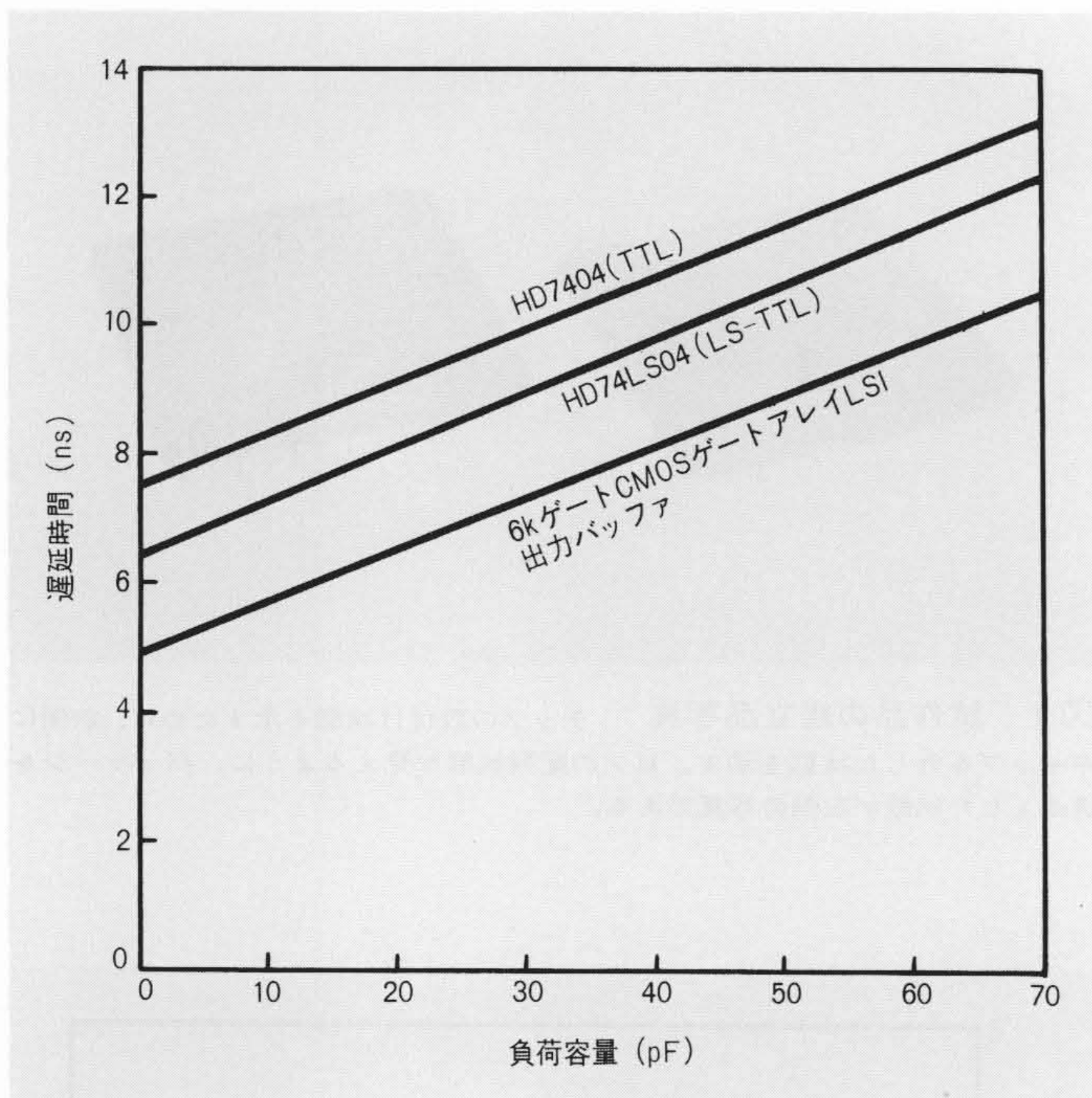


図9 出力バッファ回路の外部負荷駆動能力 6kゲートCMOSゲートアレイLSI内部に用いられている出力バッファ回路の駆動能力は、LS TTL以上であることを示している。

的に量産できることは間違いない。

また、論理規模が大きくなるに従って、論理装置が必要とする入出力ピン数は増大するので、高集積ゲートアレイLSIに要求されるピン数は今後とも増え続けると見られる。

このようなハードウェア技術の進歩だけでなく、大規模な論理装置を間違いなく短期間に設計し、完成したLSIの良否を簡単かつ精度良く試験するための設計自動化システムの進歩が重要である。

7 結 言

今回報告した6kゲートCMOSゲートアレイLSIは、高速性、低消費電力、高信頼度及び低コストが買われて、中小形コンピュータとその周辺装置、通信機関連装置の性能価格比向上に大いに貢献すると考えている。

終わりに、本ゲートアレイLSIを開発するに当たって御指導をいただいた日本電信電話公社武蔵野電気通信研究所集積回路研究部集積応用研究室、同論理回路研究室の関係各位に対し、厚くお礼申し上げます。

参考文献

- 1) S. Horiguchi, et al.: An Automatically Designed 32b CMOS VLSI Processor, ISSCC DIGEST OF TECHNICAL PAPERS, p.54~55(1982-2)
- 2) T. Itoh, et al.: A 6000 Gate CMOS Gate Array, ISSCC DIGEST OF TECHNICAL PAPERS, p.176~177(1982-2)
- 3) O. Minato, et al.: HI-CMOS II 4K Static RAM, ISSCC DIGEST OF TECHNICAL PAPERS, p.14~15(1981-2)
- 4) J. Posa: Gate Arrays, Electronics, Sept. 25, p.145~158 (1980-9)

ゲートアレイLSIの概要と製品動向が分かりやすくまとめられている。

論文抄録

集積回路のパラメータ自動最適化法に関する一提案

日立製作所 渡辺俊典・増田弘生

電子通信学会誌 J64-D, 9, 885~892 (昭56-9)

MOS FETによる大規模集積回路の設計では、通常、回路を幾つかのユニットセルに分割し、ユニットセルの動作が目標仕様を満足し、かつ回路面積とか消費電力とかが小さくなるように、ユニットセルを構成する各FETの回路定数を定める。この作業は通常、回路解析システムを用いて、設計者の試行錯誤により実施されているが、回路特性が回路定数に対して非線形に変動することや、目標仕様が回路特性の強度非線形関数となることなどの原因によって多くの設計マンパワーを要している。集積回路の大規模化傾向のもとで、ユニットセルも大形化しており、回路定数設定の自動化は急務の課題である。

与えられた目標仕様を満たすように回路定数を定めるということは、回路定数を未知変数とし、回路特性に関する目標仕様を制約条件あるいは目的関数とする数理計画問題を解くことに帰着される。未知変数に対する制約条件や目的関数の振る舞いが非

線形となるので、非線形計画問題として取り扱う必要が生ずる。更に、目的関数や制約式を未知変数の関数として解析的に表現することが困難な場合が多い。このため、解の改善過程で必要となる目的関数などの現状値やこう配は、回路解析シミュレータによって必要の都度、実験的に求めてやる必要が生ずる。

以上の点から、本論文では、回路解析シミュレータと解の改善アルゴリズムとから成るハイブリッドシステムを構成し、回路定数の自動最適化を行なうことを提案している。

非線形計画問題の解探索に関しては、過去多くのアルゴリズムが提案されてきたが、特定のアルゴリズムで種々のタイプの問題(凸、非凸など)を解決できるようにはなっていない。そこで、本論文では種々の解探索アルゴリズムを蓄積した問題解決データベース(知識データベース)をもち、問題の性質を自動診断しながら、上記データベ

スの中から適切なアルゴリズムを自動的に選択する機能をもつ解探索システムを提案している。

例題として、インバータ回路の定数設定例が示されている。この回路は、周知のように入力電圧をインバートして出力電圧とするものである。回路動作に関する制約として、ランプ形入力波形のもとで出力波形が低位安定化した時点での出力電圧レベルが特定値以下となること、出力波形の高レベルから低レベルへの遷移に要する時間がある値以下であること、内部電流ピーク値が回路定数より定まる特定値以下であることなどを与え、回路定数の総和の最小化を目的とした。回路定数の自動最適化を実施させた結果、上記のすべての仕様を満たす回路定数が求められた。

提案されたシステムの応用分野としては、上記以外に、例えばリニア回路の定数設計、制御系での制御ルールの設計、フィルタ設計などが考えられる。