U.D.C. 681. 325. 6:621. 3. 049. 774. 3'14

# 高速TTL 1,600ゲートマスタスライスLSI High Speed TTL 1,600-Gate Masterslice LSI

LSI化による各種電子装置のコストパーフォーマンス向上にこたえるため、高速 論理用としてECL, 中速論理用としてTTLのカスタム論理用マスタスライスLSIを 開発した。

細坂 啓\* Satoshi Hososaka 安斉昭夫\* Akio Anzai

最高集積度の1,600ゲートTTL論理LSI「HD25Fシリーズ」は、コンピュータ周辺 装置や各種制御装置で使用される。入出力インタフェースは標準TTLと同じである が、内部回路にCML回路方式を採用し、高速動作とOR/NOR相補出力やコレクタド ットによる論理機能増強を実現した。本LSIの使用により、TTL使用の論理装置で ECL並みの高速動作を可能にできる。

本稿は、主としてHD25Fシリーズの特長、回路性能及び使用されているプロセス 技術について述べる。

1 緒 言

コンピュータや各種制御装置のコストパーフォーマンス向 上のためには、LSIの採用が不可欠となっている<sup>1)</sup>。そこで、 マイクロコンピュータやメモリLSIなどが積極的に利用され ているが、これら標準LSIだけで十分な競争力を確保するの



は一般に困難である。装置の目標性能を実現するため、ある いは特長的な機能を付加するためには、その目的に合わせて 設計された論理回路をLSI化したカスタム論理LSIが強力な 武器となる。このような要請にこたえるものとして、マスタ スライス方式による論理LSIを開発,整備してきた。中速論 理回路用にはTTL(Transistor Transistor Logic)回路形式 のHD25Lシリーズ (400ゲート, 2.5ns), HD25Fシリーズ (1,600ゲート, 0.8~1.5ns)を, 高速論理回路用にはECL (Emitter Coupled Logic)回路形式のHD21Hシリーズ(550ゲ ート, 0.35ns), HD21Fシリーズ(1,500ゲート, 0.45~0.8ns) を開発した<sup>2),3)</sup>。図1及び表1は、これら論理LSIの外観と仕 様概要を示したものである。

マスタスライス方式を用いた論理LSIで、カスタム論理を 容易にLSIとして実現するために, DA(Design Automation) システムも開発した。また、千数百ゲートもの集積度で、1 ns以下の回路速度を実現するため、LSI論理回路技術、半導 体微細加工技術,パッケージ・組立技術が駆使されている。

以下, 集積度の最も高いHD25Fシリーズを代表例として, 詳細を述べる。

HD25Fシリーズ(TTL, 1,600ゲート) 2

#### 2.1 製品概要と特長

HD25Fシリーズは、コンピュータ周辺装置や各種制御装置 (ECL, 550ゲート), 左下はHD21Fシリーズ(ECL, 1,500ゲート)である。 のように, 主としてTTL論理回路が使用されている装置に対 して、LSI化による実装密度向上とともに高速化を図ること を目的に開発された中速論理LSIである。したがって、入出力 インタフェースはTTLの74LSシリーズと互換性をもつよう セカンドの高速動作が得られ、TTLを用いた論理装置に対し に設計されている。一方内部回路については, TTLのような てECLに近い高速処理を可能とすることができた。 飽和形回路に比べて動作速度の速い不飽和形回路を採用する 表2はHD25Fシリーズの仕様概要を示したものである。内 こととし、比較的消費電力の小さいCML(Current Mode Log-部ゲート,出力レベル変換ゲートは共に3入力構成で,合計 ic)を選んだ。その結果, TTL回路では実現困難なサブナノ 1,584回路が搭載されている。3入力ゲートを採用した理由

図 | バイポーラ論理LSI外観 写真右上はHD25Lシリーズ(TTL,400 ゲート),右下はHD25Fシリーズ(TTL, 1,600ゲート),左上はHD21Hシリーズ

55

\* 日立製作所デバイス開発センタ

526 日立評論 VOL. 64 No. 7 (1982-7)

表1 バイポーラ論理LSI仕様概要 要求動作速度に合わせて、中速論理用のTTL、高速論理用のECLが用意されている。

回路形式	シリーズ名	集積度	速度	パッケージ	用途
TTL	HD25Lシリーズ	400ゲート	2.5ns	72ピンアキシャルタイプ	● 超小形コンピュータ
	HD25Fシリーズ	1,600ゲート	0.8/1.5ns	118ピンアキシャルタイプ	<ul> <li>● コンビュータ端木及び周辺装直</li> <li>● 各種制御装置</li> </ul>
ECL	HD21Hシリーズ	550ゲート	0.35ns	108ピンフラットタイプ	
	HD2IFシリーズ	1,500ゲート	0.45/0.8ns	108ピンフラットタイプ	- ● コンヒューダ処理装直

注:略語説明 TTL(Transistor Transistor Logic), ECL(Emitter Coupled Logic)

表 2 HD25Fシリーズ仕様概要 TTL入出力信号レベルのマスタスライスLSIであるが、内部回路はIns以下の高速動作が可能となっている。

項目		内	容		
	内部ゲート回路数(	I,520回路			
集積度	出力レベル変換ゲ	64回路			
	入力レベル変換回路	96回路			
		古まどし	F.0.= I	0.5ns	
	内部ゲート回路	局速ケート	F.O.= 3	0.8ns	
		標準ゲート	F.0.= I	0.9ns	
動作速度			F.O.= 3	I.5ns	
	出力レベル変換ゲー	5.0ns			
	入力レベル変換回路		F.0.= I	I.Ins	
			F.O.= 3	I.7ns	
	中華をしてる		高速ゲート	2 mW	
() 弗 雨 韦	内部ケート回路		標準ゲート	I mW	
消貢 电 刀	出力レベル変換ゲ	8.4mW			
	入力レベル変換回路	2.2mW			
雨、西雨に	<b>V</b> cc1(出力レベル変換	+ 5 V± 5 %			
电原电圧	Vcc2(内部ゲート回	路用)	77	$+$ 2 V $\pm$ 5 %	
			信号	96ピン	
	マナシュークノブ	110123	Vcc1	4ピン	
パッケージ	アキシャルタイノ		Vcc2	7ピン	
	(図1参照)		GND 1	4ピン	
			GND <sub>2</sub>	7ピン	



注:略語説明 F.O. (Fan-Out:負荷数)

は、2入力ゲートで論理設計を行なうのに対し、およそ8割 程度のゲート数で設計可能となるからである。更に内部ゲー ト回路がCML形式であるため、OR出力とNOR出力の両極性 が同時に得られる。これらによって、2入力TTLゲート換算 で2,000ゲート相当以上の機能をもち、かつ処理速度がより 高速な論理回路が実現できる設計となっている。

2.2 DAシステムを用いた設計, 開発

カスタム論理LSIを容易に開発できるように、DAシステム が用意されている。図2はシステムの概要を示したもので、 論理設計者が記述した論理図を基に、論理シミュレーション、 LSIチップ上の配置配線及び試作したLSIの良否をテストす るためのテストデータ作成などが計算機を用いて行なわれる。

#### 2.3 基本回路と特性

内部ゲート回路は図3(a)に示す3入力OR/NORのCML回路を採用した。また、クリティカルパスのゲートを高速化し

テストデータ

図 2 DAシステム 論理図を入力として, LSIの配線マスクを作るため のシンボルデータ及び完成品テスト用のテストデータが出力される。



たり,負荷が大きいときなどに,同図中の直列に接続された 2本の抵抗の片方を短絡して回路電流を倍増させ,特定のゲートを随時高速化できる方式を取り入れている。更にOR側出 力を互いに接続してAND機能を実現するコレクタドットも可 能である。同図(b)は,内部ゲート回路遅延時間の負荷容量依 存性を示したものである。電流を倍増させた高速ゲートは, 標準ゲートに比べて遅延時間が約号となっている。



増させ,回路速度が約2倍に高速化される「高速ゲート」が必要に応じて使用

できる。また、OR側出力ではコレクタドットも可能である。

 $\mathbf{56}$ 





図 4 入力レベル変換回路 入力のTTL信号レベルから、LSI内部回路 のCML信号レベルに変換する。ゲート機能はもっていないが、約1.1nsの高速 動作をする。

図 5 出力レベル変換ゲート回路 LSI内部回路のCML信号レベルか ら出力のTTL信号レベルに変換する。3入力のOR機能をもち,約5ns(F.O.= 10, CL=15pF)で動作する。

図4は入力レベル変換回路で、TTL信号レベルを内部ゲート回路のCMLレベルに変換する。入力からみたスレショルドは約1.3Vで、通常TTLと同じに設定されている。本回路は

まず高速論理動作を可能とするために,高不純物濃度で浅い接合を形成する必要があるが,(1)ベース幅を0.2µmまで縮小することによって,素子の電流利得・帯域幅積frを6GHz

ゲート機能をもっていないが、遅延時間は1.1nsと小さいので、論理設計に与える負担は小さい。

出力レベル変換ゲート回路(図5)は、内部回路のCMLレベ ルからTTLレベルに変換を行なうと同時に、3入力ORのゲ ート機能ももっている。出力でワイヤードオアが構成できる ように、オープンコレクタタイプも必要に応じて使用可能で ある。また出力回路は容量性負荷を短時間に充放電するので、 パッケージのリードなどのインダクタンスにより、電源やグ ランドに雑音を発生させる。そこで、出力トーテムポール回 路のグランドはその他回路のグランドから独立に切り離して 用意し、内部ゲート回路誤動作などの悪影響を防止する設計 とした。

表3にHD25Fシリーズの入出力特性を示す。

2.4 デバイスプロセス技術

HD25Fシリーズなどの高速・高集積論理LSIを実現するためには、高密度メモリLSIで用いた2µm微細加工技術や微細 アイソレーション技術に加えて、論理LSIに固有の種々のデバイスプロセス技術の改善を図る必要があった。

表3 HD25Fシリーズ入出力特性 入出力の特性は74LSシリーズと互換性をもつよう設計されている。ただし、出力短絡電流については負荷駆動能力を向上させるため、74Sシリーズに合わせた。

	項	目	-	単位	記号	条件	最小	標準	最大
-		電	圧	V	<b>V</b> 1H	<i>V</i> <sub>cc1</sub> =5.0V±5%	2.0	-	-
$\mathbf{\lambda}$	入 刀			V	VIL		-	-	0.8
		電	177	V	<b>V</b> 0 <i>H</i> *	$V_{cc1} = 4.75$ V, $I_{OH} = -400 \mu$ A	2.7		
ш	л		庄	V	VOL	$V_{cc1} = 4.75$ V, $I_{OL} = 8$ mA	1948	640	0.5
		電		μA	Іін	$V_{cc1} = 5.25 V, V_{1H} = 2.7 V$	-	0.000	20
$\wedge$	カ		電 流	mA	II.	$V_{cc1} = 5.25 V, V_{IL} = 0.4 V$	-	-	0.4
出	力 短	絡電	流	mA	los*	<i>V</i> <sub>cc1</sub> =5.25V	40	-	100
入:	カクラ	ンプ電	配圧	V	VI	$V_{cc1} = 4.75 V, I_l = -18 m A$		-	1.5

まで向上させ、(2)構造仕様の最適化によりベース抵抗( $r_{bb}$ ) を500Ωに、ベースコレクタ接合容量Crcを28fFまで改善する ことができた。これにより、内部回路の最小遅延時間(リング オッシレータのスピードに相当)を420psまで高速化すること が可能となった。

次に論理LSIの高集積化を達成するためには, 微細化多層 配線技術が不可欠となるが, 配線材料, 絶縁材料及び加工技 術の改良によって, 高密度3層配線プロセスを確立した。ま ず(1)配線材料として銅入りAl-Si金属を採用することによっ て, 微細化配線のエレクトロマイグレーション耐性を従来の



注: \* O.C.(Open Collector)の場合は規定されない。

## 図 6 3 層配線拡大図 3 層配線の様子を示す走査形電子顕微鏡による 拡大図である。

57

528 日立評論 VOL. 64 No. 7 (1982-7)



図7 HD25Fシリーズのチップ外観 最大1,600ゲートの集積度をもっ た118ピンLSIのチップ拡大写真である。本LSIには3層配線が用いられている。

によって、より信頼性の高い平坦化3層配線を完成すること ができた。図6は3層配線部の走査形電子顕微鏡による拡大 写真である。従来の多層配線に比べ,より平坦な配線構造に なっていることが分かる。

図7にチップの平面写真を示す。微細化3層配線によって 内部回路では60ゲート/mm<sup>2</sup>と、従来の2層配線のLSIに比べ て50%以上の集積密度向上を図ることができた。

#### 3 結 言

以上を要約すると,

(1) コンピュータや各種制御装置のコストパーフォーマンス 向上のため、1,600ゲート、TTL入出力のHD25Fシリーズな ど、カスタム論理用LSI4品種を開発したこと(TTL系:2 種、ECL系:2種)。

(2) HD25Fシリーズの開発により、TTLを使用している装 置に対して、高集積度によるメリットに加えてECLに近い高 速動作を可能としたこと。

(3) 上記LSIの開発は、銅入りアルミ3層配線などの最新プ ロセス技術の採用と、回路設計の工夫により実現されたこと。 である。

## 参考文献

1) A. Hayasaka, et al. : Very-Large-Scale Integrated Circuits for Computers Hitachi Review Vol. 29, (1980), No. 3, pp. 153~157

Al-Siに比べ数十倍改善させ、次に(2) 配線とスルーホールを ドライ加工することによってチャネル配線ピッチを7µmまで 微細化した。更に、多層配線用絶縁材料を、絶縁性、耐熱性、 加工性, 平坦性及び電気的特性面から再検討し改良すること

- 2) 泉,外:HITAC M-280H処理装置の開発,日立評論, 63, 9,  $627 \sim 632$ (昭56-9)
- 3) 酒井, 外: HITAC M-240H処理装置の開発, 日立評論, 63, 9,  $633 \sim 638(1256 - 9)$



半導体デバイス解析

日立製作所 鳥谷部 達・浅井 彰二郎 情報処理 22-8,743~749(昭56-8)

VLSIの設計は、プロセス設計、デバイ ス設計,回路設計,論理設計の階層構造を なしており、また、回路と論理のレベルで はそれぞれの構成要素の配置を定める配置 配線設計が更に含まれる。これらの設計の ために、計算機を利用した設計技術、CAD (Computer Aided Design) が開発されて いる。

デバイス設計では,回路に使用される MOS FETやバイポーラトランジスタなどの

58

のCADは、VLSIデバイス構造の設計に必 須の道具となってきた。

微細構造,特に,短チャネルのMOS FET の示す特有の現象は,一般に短チャネル効 果と呼ばれている。この現象を定量的に取 り扱う目的で, デバイス内の電位, キャリ ヤ密度,電流密度の分布をデバイス構造と の関係で数値計算により求める2次元解析 の方法が開発された。

半導体デバイス内部の電位分布とキャリ 実際的な設計の手段として使用できるよう 構造を, 電気的仕様を満たすように決定す ヤの運動は、ポアソン方程式と電流連続の にすることが、このアプローチのねらいと ることを目的とする。VLSI用の微細構造 方程式で記述される。これらは、非線型の するところである。 デバイスでは,従来用いられてきた古典的 連立偏微分方程式である。これを解くには 最近,半導体プロセスのモデリングが急 デバイスモデルでは表わせない現象や素子 反復収束計算法が用いられる。また,数値 速に進展し, SUPREM プログラムなどが 特性が次々と問題となって現われており, 的に解く手法として, 差分法や有限要素法 開発されている。このようなプロセスモデ がある。現在,2次元の差分方程式が多く デバイス設計では、より精密なモデル、動 ルを、精密デバイス解析に結合することに 作解析の重要性が高まっている。 取り扱われている。xとy方向の40×50程度 より,設計の道具として有効性が格段に高 計算機による半導体デバイス動作解析は, のメッシュ分割から生ずる2,000元程度の まっている。今後の計算機の性能のいっそ 計算機の高速化,大容量化及び数値計算技 巨大行列を解く手法は幾つか考案されて うの向上は更に大規模,高精度な解析を可 術の進歩に支えられて,この数年間大きく いるが、Strongly Implicit (Stone法) と 能とし、プロセス、デバイス、回路のイン 進展してきた。この手法を用いたデバイス Incomplete Choleski & Conjugate Gra-テグレーテッドCAD開発が進みつつある。

dients(ICCG法)が最も優れている。

これらの手法を結集して開発したFET2 次元解析プログラムCADDETを用いて、短 チャネルでのしきい電圧のモデル化, 負性 抵抗特性をもつ降伏電圧低下の現象のモデ ル化,また,信頼性の面で今後の大きな問 題であるチャネルホットエレクトロン注入 のモデル化を行なうことができることを示 した。物理現象を考慮した定量的な解析を