

半導体デバイスにおけるシミュレーション技術

Simulation Technology for Semiconductor Device

半導体集積回路の集積度の向上に伴い、構成デバイスの特性の高精度な予測が要求され、デバイスシミュレーションの重要性が増大しつつある。VLSIではMOSデバイスが微小化され、デバイス内部の高電界に起因する物理現象を取り扱うことのできるシミュレーション技術が必須である。

日立製作所では、デバイス動作の基本方程式を数値的に解く手法を開発し、短チャネルデバイスに特有なしきい電圧の変動、負性抵抗による耐圧低下の現象のモデル化が可能となった。更に、デバイスの前後の階層をなすプロセスと回路のシミュレーションを連結するIntegrated CADの開発を進めている。本稿では半導体プロセス条件から回路の遅延時間などの特性を予測する試みについて紹介する。

浅井彰二郎* *Shôjirô Asai*

鳥谷部 達* *Tôru Toyabe*

山口 憲* *Ken Yamaguchi*

1 緒言

本編では半導体デバイスとは、MOS FET(Metal Oxide Semiconductor電界効果トランジスタ)、バイポーラトランジスタなどを指し、なかでも近年エレクトロニクス産業の根幹をなす半導体集積回路を構成する要素としてのトランジスタを指す。デバイスシミュレーションとは、半導体デバイスの構造、動作条件を与えて、その電気的特性を、計算機を用いて数値的に計算することである。したがって、デバイスシミュレーションはデバイスの数値モデリングと呼ばれたり、デバイスCAD(Computer Aided Design)と呼ばれたりすることもある。

デバイスシミュレーションは、デバイスの設計又は製造条件の決定などに対し有用な道具となってきている。設計のためには、シミュレーションばかりでなく、実験での検証や経験に基づく洞察も必要であるが、集積回路とその製造工程の複雑化のために、シミュレーションの重要性は増大しつつある。

これは第一には、集積度が増し構成が複雑化すると同時にデバイスの構造や特性のより高精度な予測が要求されることに因っており、第二には集積度の向上により、関与してくる物理現象が多彩になり、物理的考察を数値的手段で定量予測することの必要性が増してきたためである。

2 デバイスマデリング

2.1 デバイスシミュレーションの発生と発展

現在の半導体技術を構成する主要なデバイスについては、微分方程式の数値解を用いる数値モデルに先立って解析的表式を用いる解析モデルが提案されている。例えば、バイポーラトランジスタについてはEbers-Mollモデル¹⁾、MOS FETについてはIhantola-Moll²⁾、Sah³⁾、接合ゲート型電界効果トランジスタについてはShockley⁴⁾のそれぞれ古典的なモデルがある。これらのモデルは、それぞれのデバイスの動作についての、半導体物理に裏付けられた洞察に基づいており、今日なお基礎的なモデルとしての価値を失っていない。

これらの解析モデルに対し、数値モデルが出現したのは恐らく1964年Gummelがバイポーラトランジスタの直流解を扱ったのを始めとする⁵⁾。Gummelのアプローチは、高注入効果、ベース内不純物分布の効果など極めて実際的な問題に対し不

十分な解答しか与えられなかったそれまでの解析的なアプローチに対し一線を画すもので、数値解の有用さを示した。また、Gummelの方法の普及は大形電子計算機の台頭とも歩調を合わせている。

1969年になると、デバイスシミュレーションが初めて2次元空間で行なわれた。すなわち、Stanford大学でBarronがMOS FETの⁶⁾、続いてIBM社でKennedyらが接合ゲート型FETの⁷⁾直流数値解を与えた。本質的に2次元的なデバイスであるFET(電界効果トランジスタ)についてのこれらの解析から得られたポテンシャル分布やキャリア分布の鳥観図は、デバイス内部の動作を明白に認識させるものであった。

FETについての解析は、多くの場合、電子と正孔のうち、電流を実際に運ぶ一方のキャリアだけについての方程式を扱っている。したがって、FETの2次元シミュレーションに続いて現われたバイポーラトランジスタの2次元数値解析は、文字どおり両方のキャリアの運動を扱うため、変数の数が増えることになる。このための複雑さもあって、バイポーラトランジスタについて2次元数値解析が報告されたのは1973年になってからであった⁸⁾。

MOS FETについての2次元解析は、その後Mock⁹⁾によって「流れ関数」により改めて定式化され、解が容易に求められるようになった。

この方法に基づき、MOS FETの設計のための直流2次元シミュレータが日立製作所で開発され¹⁵⁾、引き続き国内各所の研究機関で同シミュレータ開発が活発に行なわれた。

Mock⁹⁾の方法は次節に述べるように、ポアソン方程式と電流連続の方程式を差分法により不連続化し、Stone法¹⁰⁾により解くものであるが、有限要素法を適用して数値解析を行なったものに、IBM社のHachtelらの仕事¹¹⁾などいくつかある。しかし、今のところ、有限要素法が差分法に比べて優れているとの証拠は得られていない。

2次元バイポーラ解析は、PNPトランジスタとNPNトランジスタの複合したI²L(Integrated Injection Logic)についても適用された。日立製作所の方法¹²⁾は、流れ関数法⁹⁾を拡張し、たくさんの電極の間の電流に対応する多流れ関数とした点に特徴がある。

* 日立製作所中央研究所 工学博士

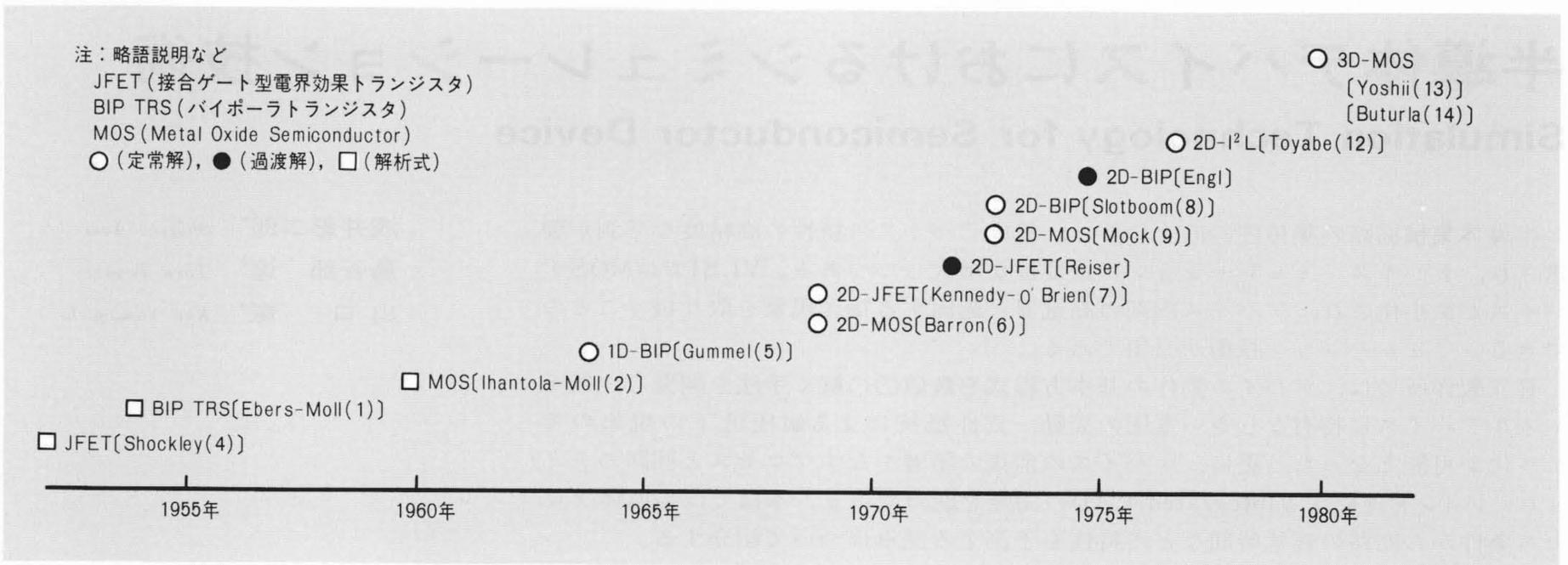


図1 デバイスシミュレーションの発展 BIP TRS(バイポーラトランジスタ), MOS FET(Metal Oxide Semiconductor 電界効果トランジスタ), JFET(接合ゲートFET)の解析的モデルから3次元モデルへの発展と, 研究文献の著者名を示す。

基本的なバイポーラトランジスタ及びMOSトランジスタはそれぞれ1次元及び2次元で表現されるが, 実際のデバイスは3次元の構造をもっており, 3次元でのデバイスシミュレーションを行ないたいという願いは強い。最近, 日本電信電話公社武蔵野電気通信研究所¹³⁾, IBM社¹⁴⁾から3次元定常解析が報告された。

以上, 1次元解析に始まって3次元解析に至るまでのデバイスシミュレーションの過去15年余にわたる発展を概観してきた。この経過をまとめると図1に示すようになる。

2.2 デバイスシミュレーションの方法

本節では, デバイスシミュレーションの具体的な方法について述べる。

半導体中の電位, 電流密度, 電子・正孔密度を決定する基本方程式系はポアソン方程式

$$\epsilon_s \Delta \psi = q(n - p - N_B) \dots (1)$$

と電子・正孔の電流連続の方程式

$$q \frac{\partial n}{\partial t} = \nabla \cdot \mathbf{J}_n - qR \dots (2)$$

$$q \frac{\partial p}{\partial t} = \nabla \cdot \mathbf{J}_p - qR \dots (3)$$

である。ここで, ψ は静電ポテンシャル, n , p は電子・正孔密度, N_B は不純物濃度, ϵ_s はSiの誘電率, q は電子の電荷, t は時間, \mathbf{J}_n , \mathbf{J}_p はそれぞれ電子・正孔電流密度ベクトル, R は再結合の割合である。

電流密度はドリフト成分と拡散成分の和で,

$$\mathbf{J}_n = -q\mu_n n \nabla \psi + qD_n \nabla n \dots (4)$$

$$\mathbf{J}_p = -q\mu_p p \nabla \psi - qD_p \nabla p \dots (5)$$

で与えられる。 μ と D はそれぞれ移動度と拡散係数である。

上記の方程式系は, ユニポーラデバイスにもバイポーラデバイスにも成り立ち, 空間的には3次元の場合まで, また時間変化も許す一般的な形式で表わしてある。

しかし, 以下では図2に示すようなnチャンネルMOS FETの定常状態2次元解析の場合について述べる。この場合, 電子については連続の(2)式で時間微分項と再結合項をゼロとし, 正孔については電流をゼロとする簡単化が許される。電子電流の発散がゼロであることから, 流体力学で用いられる流れ関数 θ を導入することができる。

$$J_x = J \frac{\partial \theta}{\partial y}, \quad J_y = -J \frac{\partial \theta}{\partial x} \dots (6)$$

その結果, 電子電流連続の式を

$$\frac{\partial}{\partial x} \left(\frac{1}{\mu_n} e^{-q\psi/kT} \frac{\partial \theta}{\partial x} \right) + \frac{\partial}{\partial y} \left(\frac{1}{\mu_n} e^{-q\psi/kT} \frac{\partial \theta}{\partial y} \right) = 0 \dots (7)$$

の形に変換できる⁹⁾。ここで, μ_n は電子移動度である。

さて, 方程式(1)式と(7)式を解くことは, 反復収束計算によりなされるが, このとき, n と p が ψ に対して指数関数的に変化することをを用いると, ポテンシャル ψ とその近似値 ψ_0 との差 δ については

$$\begin{aligned} & \frac{\partial \delta}{\partial x^2} + \frac{\partial \delta}{\partial y^2} - \frac{q^2}{\epsilon_s kT} (n+p) \delta \\ & = -\frac{\partial^2 \psi}{\partial x^2} - \frac{\partial^2 \psi}{\partial y^2} + \frac{q}{\epsilon_s} (n-p-N_B) \dots (8) \end{aligned}$$

なる線形の方程式が得られる⁵⁾。

これだけの準備をしておいて, 図3のフローによって ψ 及び θ についての解を得ることができる。誤差 δ が十分小さくな

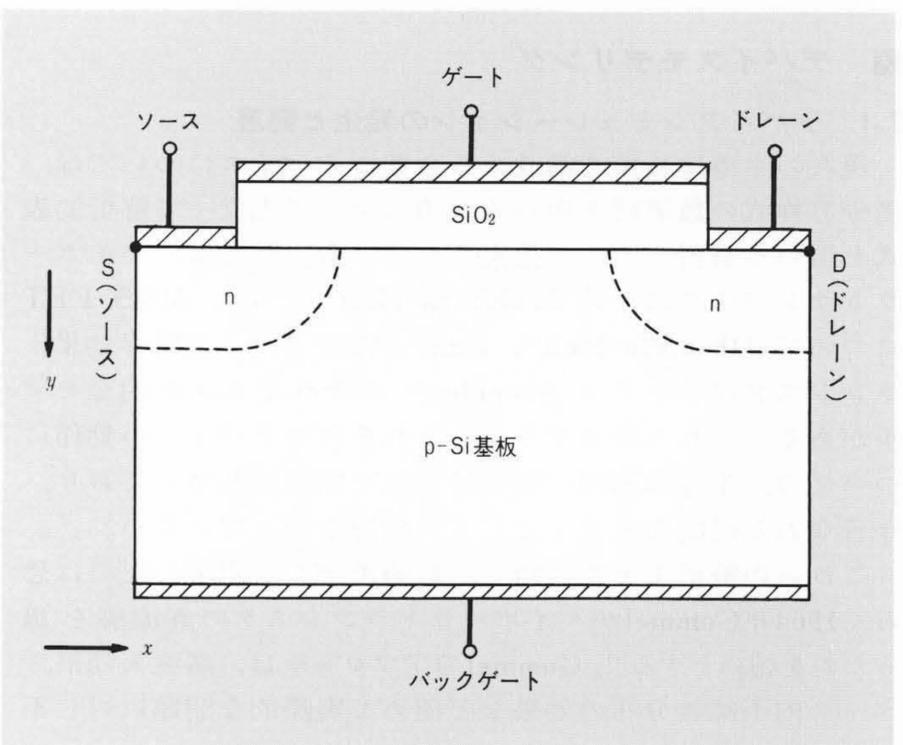


図2 MOS FETの断面図 nチャンネルMOS FETは, n-Siのソース, ドレインとp-Siのチャンネル部から成る。

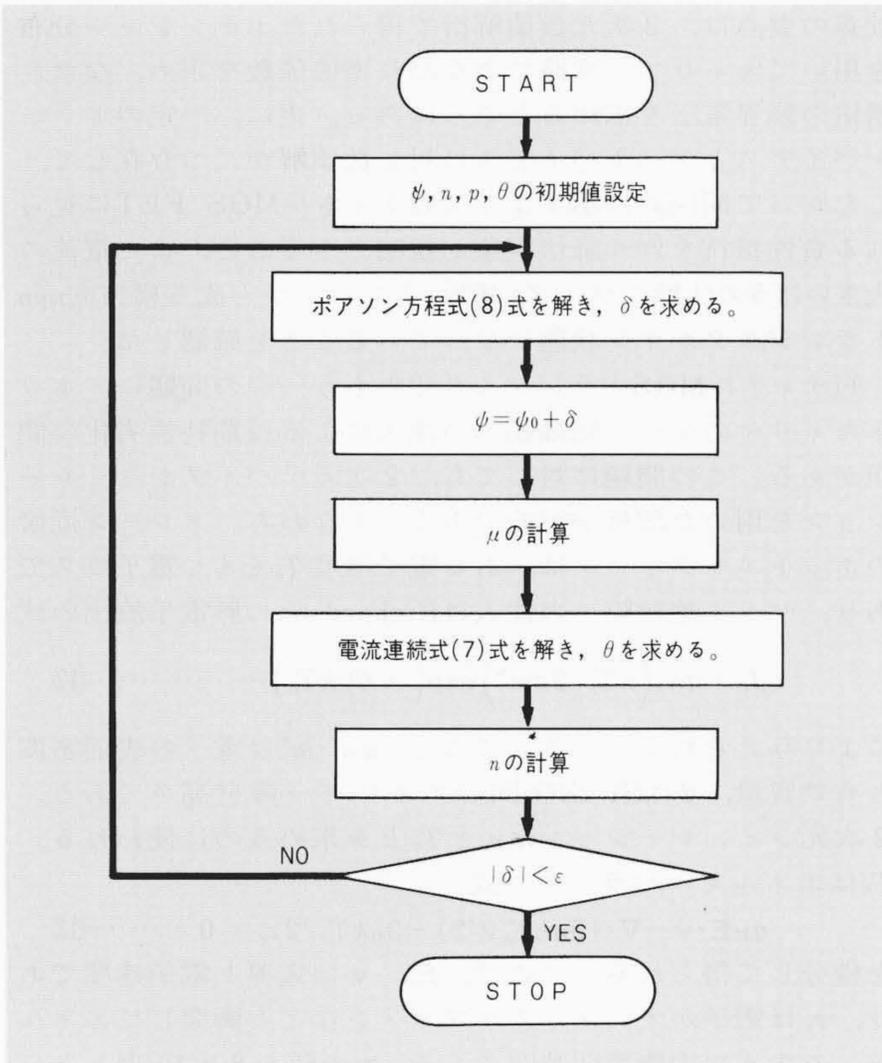


図3 2次元数値解析のフロー ポアソン方程式と電流連続の方程式を交互に解くことを収束条件(|δ|<ε)が満足されるまで反復する。

った時点で収束したとみなす。

(8)式と(7)式の連立2次元偏微分方程式を解く方法として、差分法と有限要素法とがある。差分法では、図2の断面図での計算領域をx方向とy方向の直交格子に分割し、偏微分方程式を差分方程式に変換する。δ又はθの未知関数をTとすると、差分方程式は

$$B_{ij}T_{i-1j} + D_{ij}T_{i+1j} + E_{ij}T_{ij} + F_{ij}T_{i+1j} + H_{ij}T_{ij+1} = q_{ij} \dots\dots\dots(9)$$

$$(i=1, 2, \dots, N_x; j=1, 2, \dots, N_y)$$

の形になる。ここで N_x , N_y はx方向, y方向のメッシュ数, $B_{ij} \sim H_{ij}$ は係数である。この $N_x N_y$ 元の連立一次方程式を行列形式で書くと、

$$MT = q \dots\dots\dots(10)$$

となる。係数行列Mは対角線の周り5本だけに非ゼロ要素をもつ。メッシュ数 $N_x \times N_y$ は通常数千である。この巨大行列の数値解法として、次のような方法が考案されている。

- (1) SOR(Successive Over Relaxation)法
- (2) 線反復(Successive Line Iteration)法
- (3) ADI(Alternating Direction Iteration)法
- (4) Stone(Strongly Implicit)法¹⁰⁾
- (5) ICCG(Incomplete Choleski and Conjugate Gradients)法¹⁵⁾

デバイスシミュレーションの問題に対しては、収束計算の高速性、安定性の面から、上記方法の(4), (5)が優れているようである。特に(4)のStone法はよく用いられてきた。ただし、Stone法では加速パラメータが使われ、その決め方が収束性に強く影響するので注意を要する。(5)のICCG法は、このような経験的パラメータを使わないで済むが、行列Mが対称でなくてはならず、一長一短がある。

3 デバイスシミュレーションの応用

図4に2次元解析の結果得られたMOS FET内の電位分布と電流分布を示す。デバイスシミュレーションで得られる情報はこれらにとどまらず、多彩な物理現象を容易に考慮できるところにある。以下本節では、デバイスシミュレーションの応用について述べる。ここでは、日立製作所で開発したFET 2次元解析プログラムCADDET(Computer Aided Device Design in Two Dimensions)を利用した。

MOS LSIの微小化は、主としてMOSデバイスの微細化によって実現されてきた。微細化に伴って動作電圧をも比例減していけば、デバイス内の高電界効果を生じさせることがないとの、いわゆるスケールダウン理論¹⁶⁾があるが、実際には電源電圧を変えないで、デバイス寸法を縮小せざるを得ない場合が多い。このようなときに遭遇するのが、短チャネル化に伴うしきい電圧 V_T の低下である。これは図5に示すように、デバイス寸法が $3 \mu\text{m}$ 以下になったとき特に著しくなった問題である。

この現象は、ドレーン電界がチャネルの空乏化に影響を及ぼすことによる、2次元効果によるものである。解析的にこの問題を扱おうとする試みは数多くなされ、ある程度の成功を収めているが、2次元解析はこの問題に関し非常に正確な説明と予測を与えることができる。

MOS FETのしきい電圧 V_T が2次元数値解析によって、正確に与えられるばかりでなく、更に、数値解析に基づいた考察から V_T が解析的に

$$V_T = V_{T0} - V_{sc} \exp(-L/l_0) \dots\dots\dots(11)$$

の形に与えられることも示される¹⁷⁾。ここで、 V_{T0} は長チャネルデバイスのしきい電圧、 L は実効チャネル長、 V_{sc} と l_0 は定数である。

図5での実線は(11)式の形の式を実験データにフィットさせたものである。 V_T のチャネル長 L 依存性は、基板のドーピング(チャネル部のイオン打込みを含めて)に強く依存するので、

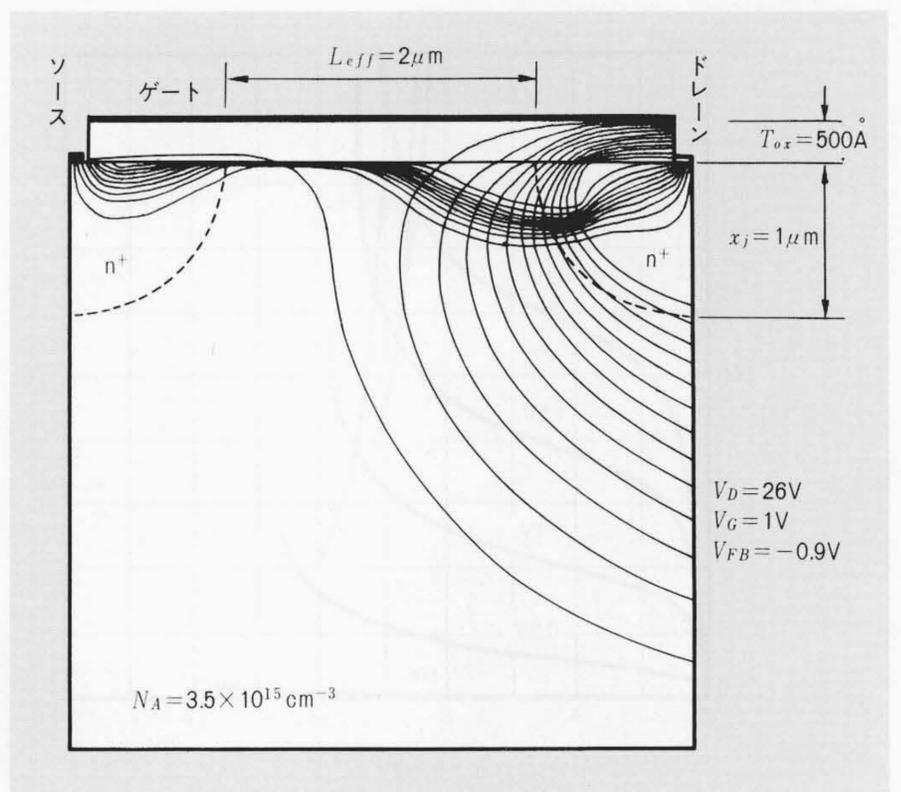


図4 MOS FET内の電位分布と電流分布 2次元デバイスシミュレーションを用いて求めたチャネル長 $2 \mu\text{m}$ の短チャネルMOS FETの電位分布と電流線を示す。短チャネルのときは、電流はチャネルの途中で表面から離れて基板内にそれながらドレーンに達する。

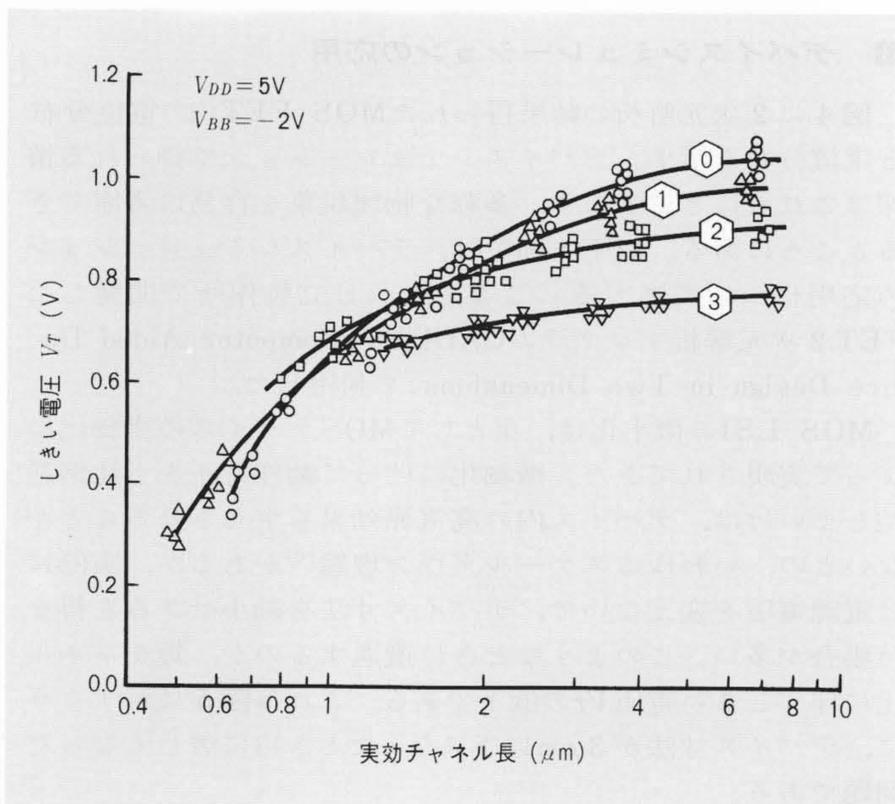


図5 MOS FETのしきい電圧と実効チャンネル長の関係
しきい電圧 V_T は実効チャンネル長が減少すると減少する。デバイスパラメータを種々に変えたときの V_T の減少の仕方が、モデル計算と実験とでよく一致している。

設計者はそこに工夫を加えて、加工寸法 L のばらつきへの依存性の低いデバイス設計を心掛ける。このとき2次元MOSシミュレーションは、なくてはならない道具となっている。

MOSデバイスの微細化に伴って生ずる問題に、 V_T の低下、その制御性ととも降伏電圧 BV_{DS} の低下がある。図6(a)はチャンネル長 $2\mu\text{m}$ のMOSトランジスタの $I-V$ 特性であるが、従来その降伏特性を予測することはできなかった。2次元MOSシミュレーションはこの降伏特性の計算を可能とし¹⁸⁾、同図(b)に示すように、実験(a)と極めて良い一致を得ている。その

計算の要点は、2次元数値解析で得られたポテンシャル分布を用いてキャリアの進路でのなだれ増倍係数を求め、なだれ増倍の臨界電圧を求めるところにある。更に、一定のドレインバイアスとゲートバイアスに対し数値解が二つ存在して、したがって同図(a)に示すように短チャンネルMOS FETに見られる負性抵抗を伴う降伏現象が説明できること、また電流の大きいほうの状態ソース-基板-ドレインから成る横方向npnトランジスタがオン状態になっていることを確認した。

短チャンネルMOSトランジスタでのもう一つの問題に、ホットキャリアのゲート絶縁膜への注入による長期特性劣化の問題がある。この問題に対しても、2次元デバイスシミュレーションを用いた解析が可能である。すなわち、ドレイン近傍のホットエレクトロンは、ある電子温度 T_e をもつ電子ガスであり、ゲート絶縁膜への注入はRichardsonの熱電子放出の式

$$J_G = qn_s \left(\frac{kT_e}{2\pi m^*} \right)^{1/2} \exp(-\Phi/kT_e) \dots \dots \dots (12)$$

により与えられるとする。ここで、 n_s 、 m^* は電子の表面密度と有効質量、 Φ はSi-SiO₂間のエネルギー障壁高さである。2次元シミュレーションは n_s と T_e とを求めるのに使われる。 T_e はエネルギーバランスの式

$$qnE \cdot v - \nabla \cdot (5nkT_e v/2) - 3nkT_e/2\tau_e = 0 \dots \dots \dots (13)$$

を積分して得られる。ここで、 E 、 v は電界と電子速度であり、 τ_e は電子がオブティカルフォノンなどと衝突してエネルギーを失う平均衝突間時間である。 τ_e の値を $8 \times 10^{-14} \text{ s}$ という妥当な値にとったとき、計算と実験との一致は図7に示すように良くなる。この方法がNingらのとってきたLucky Electron Model¹⁹⁾に比較して優れている点は、デバイス内の不純物分布のように、ホットエレクトロン注入に影響する因子を分析できることである。実際、ドレインの不純物濃度分布をなだらかにするなどの工夫により、ゲート注入電流が減少し、短チャンネルMOS FETの長期信頼性向上に役立つことが明らかにされている²⁰⁾。

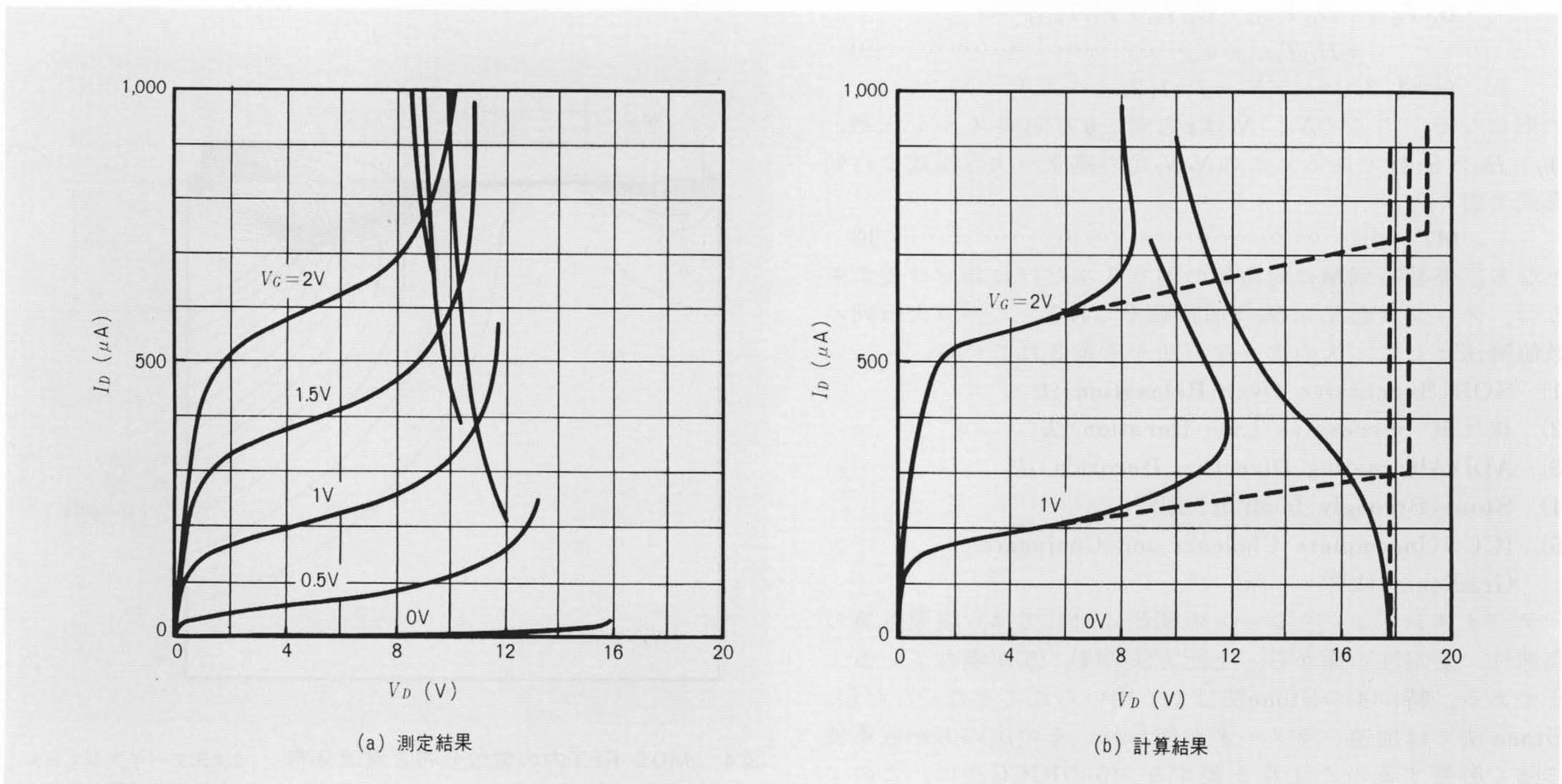


図6 nチャンネルMOS FETの負性抵抗降伏特性の測定結果と計算結果の比較
図(a)は、チャンネル長 $2\mu\text{m}$ のn-MOS FETの電流電圧特性のカーブトレーサによる測定結果を示す。図(b)は、2次元デバイスシミュレーションの結果である。両者の間に良い一致が見られる。

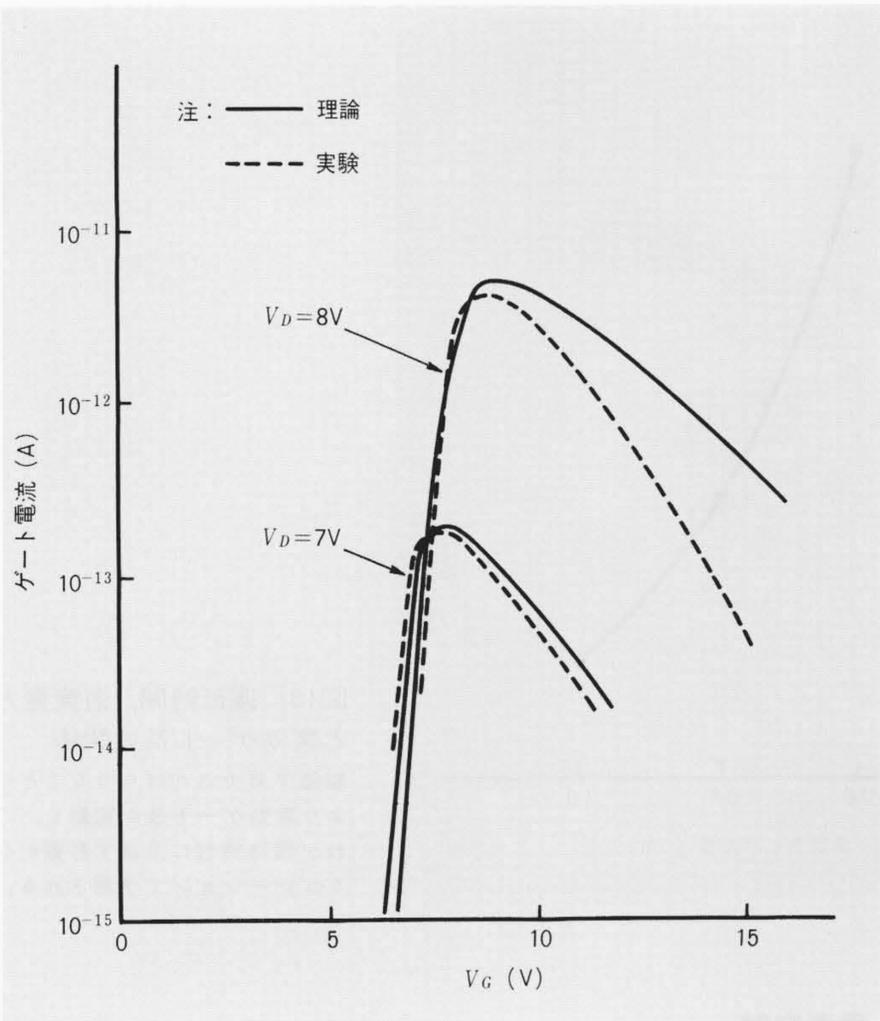


図7 ホットエレクトロン注入によるゲート電流 ホットエレクトロンが、ゲート酸化膜に流入して生ずるゲート電流とゲート電圧の関係を示す。チャンネル長は1.5 μ mである。

4 一貫化CAD(Integrated CAD)

半導体デバイス、特にICやLSIの設計は、要求される機能や性能を与えられた製造プロセス上でいかにして実現するかにある。したがって、製造プロセスや半導体素子単体といった個々の設計段階での設計やそれを与えるCAD技術の重要性の上に、更に、LSI製造技術全体を見通した総合的な考察に基づく設計が大切になってくる。

LSIの設計はシステム設計、論理設計、レイアウト、マスク、回路……と多岐にわたる。その中で回路設計はLSIの機能や性能を実現するための製造プロセス、デバイス特性などを検討する重要な段階にある。本章では、製造プロセス、デバイス、回路設計のための各CAD技術を総合した「回路設計のための一貫化CAD(Integrated CAD)」技術について述べる。

プロセス、デバイス、回路CADは互いに強く関連している。まず始めに、(1)プロセスCADからの出力である不純物濃度プロファイル情報は、デバイスCADの素子構造パラメータとしての入力値に、更に、(2)デバイスCADの出力であるデバイスの電気的特性は回路CADのデバイスモデルとして、それぞれ相互に関連づけられている。そこで、各CADシステムからの出力を、データファイルに数値データとして格納し、次のCADシステムへデータ転送を行なう。図8に示すような一貫化CADの研究が進められている。同図中ファイル記号()で示し

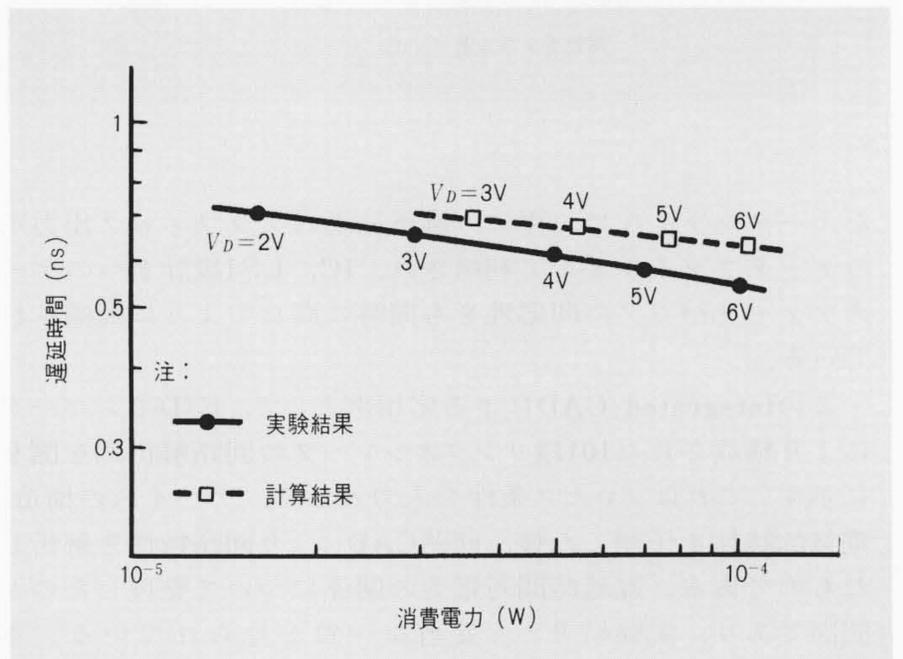


図9 MOSリングオシレータ回路の遅延時間と消費電力の関係 プロセス-デバイス-回路シミュレーション(SUPREM-CADDET-HSPICE)を使って、プロセス条件から計算した101段リングオシレータ特性と実験結果は良く一致している。負荷容量の値は手計算で見積ったものを用いている。

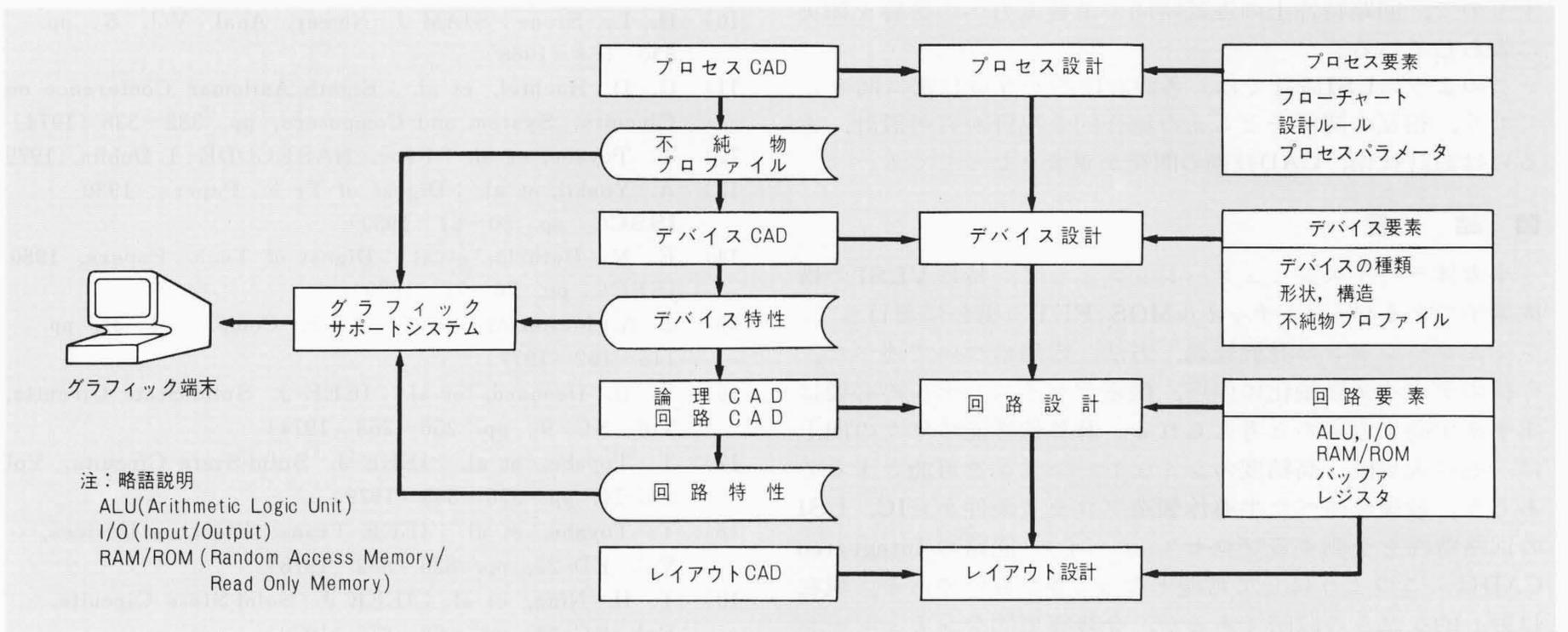


図8 一貫化CAD LSI, VLSIの設計・製作工程に各種のCADが対応する。特に、プロセスCAD、デバイスCAD、回路CADは図示のように位置づけられる。

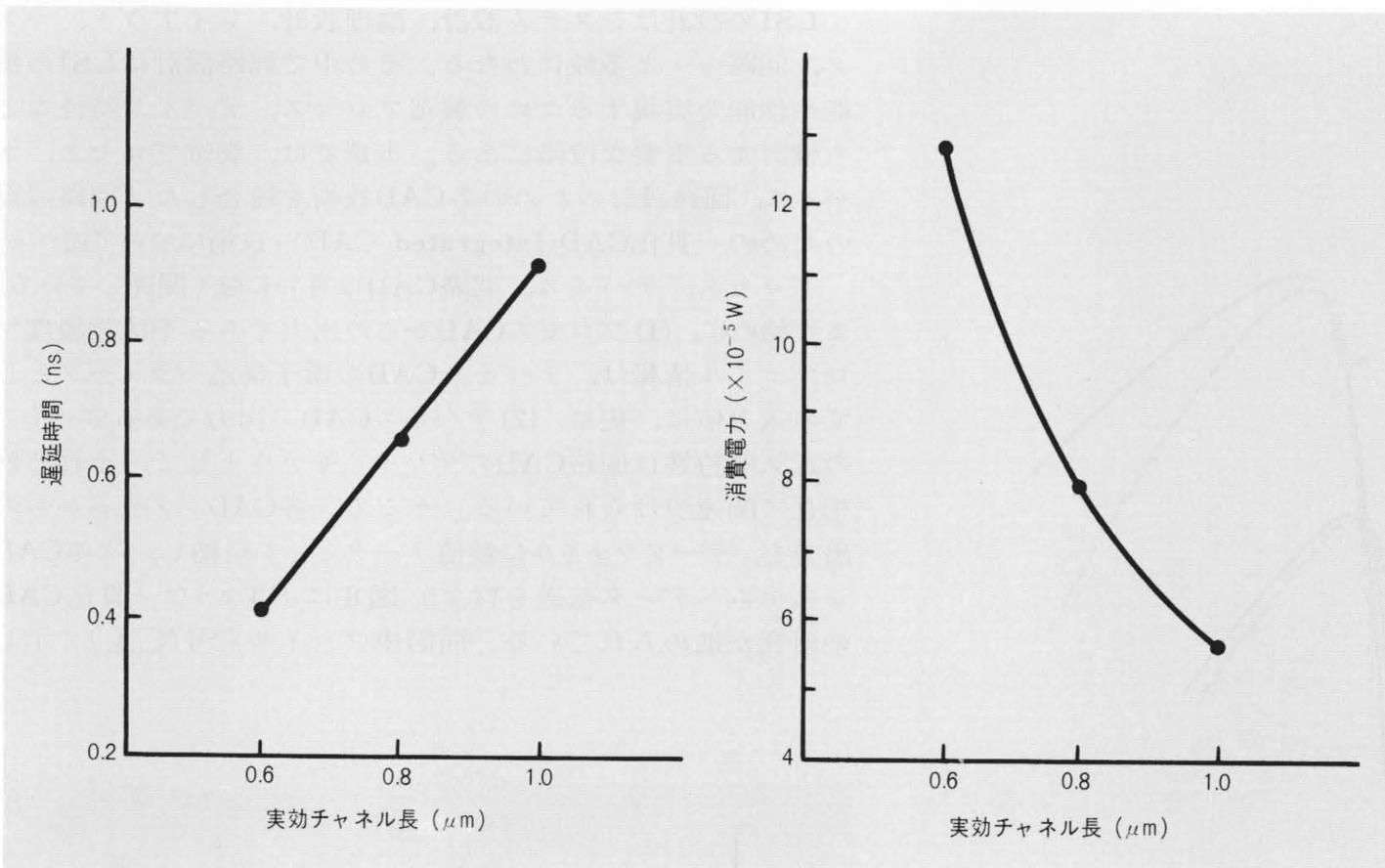


図10 遅延時間、消費電力と実効ゲート長の関係
製造プロセスがばらつくことにより実効ゲート長が変動し、これが回路特性に及ぼす影響がシミュレーションで予測される。

たデータファイルは、更に、解析結果のグラフィック出力用のデータファイルとして利用され、IC、LSI設計者へのデータフィードバックの即応性をも同時に満たすように配慮されている。

このIntegrated CADによる応用例として、E/Dインバータにより構成された101段リングオシレータの回路解析例を図9に示す。これはプロセス条件を入力として、デバイスの構造、電気的特性を予測した後、回路CADにより回路特性を解析したものである。遅延時間対電力の関係について整理したのが同図であり、実験結果とも妥当な一致が見られている。本CAD手法では、途中、特別のフィッティング操作を行なっておらず、精度面からも十分実用に供し得るものとする。

こうしたIntegrated CADの利点は、製造プロセスのばらつきが回路特性にどのような影響をもたらすかといった感度解析が容易に行なえることであろう。図10は、製造ばらつきの中でも、最も重要なチャンネル長のばらつきを考えた場合を示すもので、回路特性上の遅延時間や消費電力への影響を如実に表わしている。

このようにLSI設計では、各設計段階が互いに密に関連しており、相互の関係をとらえた総合的な視野からの設計、あるいは設計技術、CAD技術の開発が重要となってくる。

5 結 言

半導体デバイスシミュレーションとして、特にVLSIの構成素子であるショートチャンネルMOS FETの場合に着目して、シミュレーションの発展経過、方法、応用について述べた。今後のデバイス微細化に伴い、精密デバイスモデルの必要はますます高まるものと考えられる。計算機性能の年々の向上は、更に大規模、高精度のシミュレーションを可能とするであろう。最後に述べた半導体製造プロセス条件からIC、LSIの回路特性を予測するプロセス-デバイス-回路のIntegrated CADは、このようにして可能となってきたものである。現在は野心的な試みの段階であるが、今後実用的なシミュレーション技術に向け発展するものと思われる。

参考文献

- 1) J. J. Ebers, et al. : Proc. IRE Vol. 42, pp. 1761~1772 (1954)
- 2) H. K. Ithantola, et al. : Solid-State Electron., Vol. 7, pp. 423~430 (1964)
- 3) C. T. Sah : IEEE Trans. Electron Devices, Vol. ED-11, pp. 324~345 (1964)
- 4) W. Shockley : Proc. IRE, Vol. 40, p. 1365 (1952)
- 5) H. K. Gummel : IEEE Trans. Electron Devices, Vol. ED-11, pp. 455~465 (1964)
- 6) M. B. Barron : Stanford Electronics Lab., Report, No. 5501-1 (1969)
- 7) D. P. Kennedy et al. : IBM J. Res. Develop., Vol. 13, pp. 662~674 (1969)
- 8) J. W. Slotboom : IEEE Trans. Electron Devices, Vol. ED-20, pp. 669~679 (1973)
- 9) M. S. Mock : Solid-State Electron., Vol. 16, pp. 601~609 (1973)
- 10) H. L. Stone : SIAM J. Numer. Anal. Vol. 5, pp. 530~558 (1968)
- 11) G. D. Hachtel, et al. : Eighth Asilomar Conference on Circuits, System and Computers, pp. 332~338 (1974)
- 12) T. Toyabe, et al. : Proc. NASECODE-I Dublin, (1979)
- 13) A. Yoshii, et al. : Digest of Tech. Papers, 1980 ISSCC, pp. 80~81 (1980)
- 14) E. M. Buturla, et al. : Digest of Tech. Papers, 1980 ISSCC, pp. 76~77 (1980)
- 15) J. A. Meijerink, et al. : Math. Comp. Vol. 31, pp. 148~162 (1977)
- 16) R. H. Dennard, et al. : IEEE J. Solid-State Circuits, Vol. SC-9, pp. 256~268 (1974)
- 17) T. Toyabe, et al. : IEEE J. Solid-State Circuits, Vol. SC-14, pp. 375~383 (1979)
- 18) T. Toyabe, et al. : IEEE Trans. Electron Devices, Vol. ED-25, pp. 825~832 (1978)
- 19) T. H. Ning, et al. : IEEE J. Solid-State Circuits, Vol. SC-14, pp. 268~275 (1979)
- 20) E. Takeda, et al. : IEEE Trans. Electron Devices Vol. ED-29, pp. 611~618 (1982)