

パワーMOS FETとその電動機制御への応用

Power MOS FET and Its Application to Motor Control

システムの低消費電力化、小形・軽量化には、使用される半導体素子の高速スイッチング特性が不可欠である。パワーMOS FETは、スイッチングスピードが速く、破壊に強いなどの長があるが、電力用トランジスタとして非常に有望であるが、高耐圧化が難しかった。しかし、新しい素子構造を採用することにより、高耐圧、大電流素子が開発され、さまざまな用途に検討がなされてきている。

電動機制御に応用した場合、バイポーラトランジスタに比べ回路の簡素化、駆動電力の低減が可能となり、システムの小型化を実現できる。

大高成雄* Shigeo Ôtaka
 竹中智彦* Tomohiko Takenaka
 岡部健明** Takeaki Okabe
 遠藤常博*** Tsunehiro Endô

1 緒言

近年、あらゆる分野でシステムの省エネルギー化、小形・軽量化が積極的に検討され、実施されてきている。それに伴い、使用される半導体素子にはますます高速スイッチング特性が要求され、従来からあるバイポーラトランジスタでは実現の難しい領域さえも出てきている。一方、本質的に高速スイッチング素子であるMOS FET(Metal Oxide Semiconductor電界効果トランジスタ)は、高耐圧化、大電流化が難しいとされていたが、新しい構造を導入することにより、それらの問題を解決し、電力用トランジスタとして実用に供せられるまでになった。

本論文では、まずパワーMOS FETの各構造での高耐圧化の原理と長を、次に、その特性をバイポーラトランジスタ

と比較しながら述べ、更に、パワーMOS FETを電動機制御用として使用した場合の利点について、回路例を挙げて説明する。

2 MOS FET

MOS FETは低消費電力の高速スイッチング素子として、電子式卓上計算機、時計などのLSI(大規模集積回路)や半導体メモリにと幅広く活用され、高集積化により、エレクトロニクス時代の最先端をゆく素子であるが、これらの用途では、耐圧、電流とも非常に低い値のもので十分であった。しかし、MOS FETはバイポーラトランジスタに比べ、(1)電流の温度係数が負であり、二次降伏がなく、熱的安定性に優れている。(2)入力インピーダンスが高いため、電力利得が極めて大きい。(3)多数キャリア素子であるから、キャリアの蓄積効果がなく、大振幅時のスイッチングスピードが速い。といったさまざまな長があり、本質的に電力増幅用に適した素子である。この点に着目し、電力用トランジスタとして必要な高耐圧、大電流特性を得るため、最適構造の検討がなされてきた。

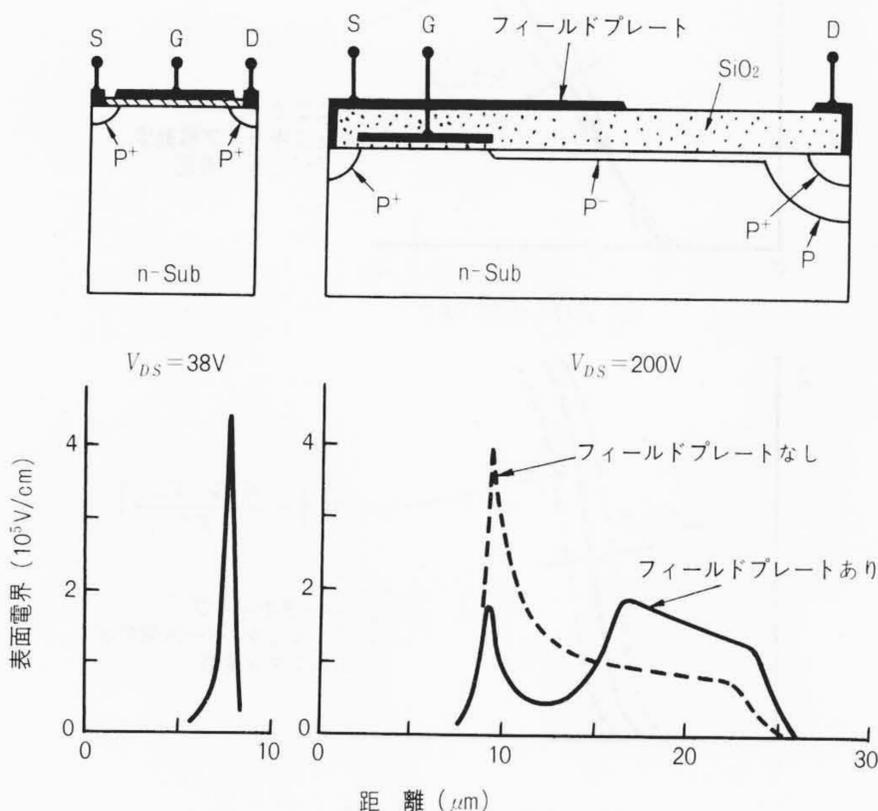
3 パワーMOS FETの構造

(1) 従来構造

図1(a)は通常MOS FETの断面構造と二次元数値解析^{※1)}により求めた表面に沿っての電界分布である。同図から明らかなように、電界はドレイン・ゲート電極間に集中し、ドレイン電圧38Vで既になだれ降伏の臨界電界強度($\sim 4 \times 10^{15} \text{V/cm}$)を超えている。このため基本構造のままでは、これ以上の高耐圧化は不可能である。

(2) オフセットゲート構造

この電界集中を緩和し、高耐圧化を達成するための構造として、図1(b)のオフセットゲート構造¹⁾がある。これは、イオン打込みによりオフセットゲート部に低不純物濃度層(高耐圧化層)を形成し、高電圧印加時には完全に空乏層化するように設計されているもので、高電圧を印加しているにもかかわらず表面電界は著しく増大せず、高耐圧化が可能となる。更に、



(a) 従来構造MOS FET (b) オフセットゲート構造MOS FET

図1 従来構造MOS FETとオフセットゲート構造MOS FETの断面構造及び表面電界分布 (a)の従来構造MOS FETに比べ(b)のオフセットゲート構造MOS FETは、表面電界強度が著しく緩和されており、高耐圧化が可能であることが分かる。

※1) 日立製作所の研究所で開発されたプログラムで、素子構造を入力し、素子の特性を求めるデバイスシミュレーション。

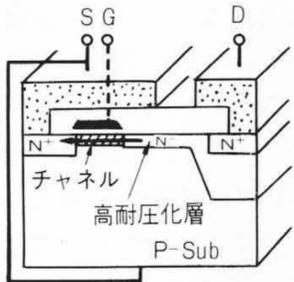
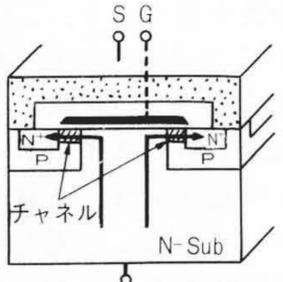
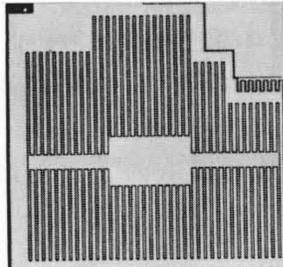
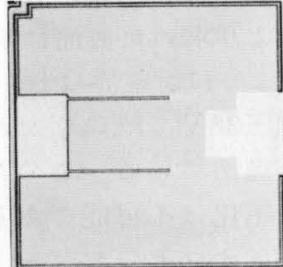
* 日立製作所高崎工場 ** 日立製作所中央研究所 工学博士 *** 日立製作所日立研究所

ソース電極をドレイン電極側に張り出させることによりフィールドプレートとして働かせれば、表面電界を更に下げることができ、したがって能率よく高耐圧を得ることができる。日立製作所が世界に先駆けて製品化したコンプリメンタリパワーMOS FET(2SK133/2SJ48シリーズ^{※2)})はこの構造を採用している。

(3) DSA(Diffusion Self Alignment)構造

パワーMOS FETのもう一つの構造にDSAがある。これは、ゲートとなる多結晶シリコンをマスクに、導電形の違う不純物をそれぞれ拡散することからその名が付いたもので、オフセットゲート構造ではチップ表面を横方向に電流が流れるため、「横形」と呼ばれているのに対し、DSA構造では基板を通過して縦方向に電流が流れることから、「縦形」とも呼ばれている。本構造では、耐圧はチップ外周に設けられたソースフィールドプレートやFLR(フィールドリミットングリング)によって決まるように設計できるため、プレーナトランジスタと同様の高耐圧化が容易に実現できる²⁾。

表1 オフセットゲート(横形)パワーMOS FETとDSA(縦形)パワーMOS FETの比較
オフセットゲート(横形)パワーMOS FETは、高周波特性に優れ、用途としては送信機などに適しているのに対し、DSA(縦形)パワーMOS FETは、高耐圧、低オン抵抗という特長があり、スイッチングレギュレータ、電動機制御などに使用される。

		A	B
構造		オフセットゲート構造(横形)	DSA構造(縦形)
断面構造			
ゲート形状		ストライプ	メッシュ
チップ外観			
特性比較	高耐圧	○	◎
	低オン抵抗	○	◎
	高周波特性	◎ (金属ゲートの場合)	○
用途		送信機 オーディオアンプ ほか	スイッチングレギュレータ 電動機制御 超音波応用 ほか

(4) 構造の比較

表1に、オフセットゲート構造(横形)とDSA構造(縦形)を比較して示す。横形では、ゲート面積が小さく、したがって入力及び帰還容量が小さくできる利点があるが、ドレイン電極をチップ表面から取らなければならないため、チップの有効面積が小さくなる欠点がある。一方、縦形では、ドレイン電極が基板にあり、しかもメッシュゲート構造化が容易なため、単位面積当たりのチャンネル幅^{※3)}が大きくとれる利点がある。更に、高耐圧化領域がバルクの内部にあるため、高耐圧化が容易にできる利点もある。したがって、高耐圧、低オン抵抗化には縦形が有利であり、高周波特性は、入力、帰還容量の小さい横形が有利となるので、各々用途に応じて使い分ける必要があるだろう。例えば、高耐圧、大電流、低オン抵抗が要求されるスイッチングレギュレータ、電動機制御などの分野には縦形素子が、放送、通信といった高周波高出力分野には、金属ゲートを用いた横形が適している。

4 パワーMOS FETの特長

次に、パワーMOS FETの特長を、バイポーラトランジスタとの比較の中で明らかにする。なお、以下に述べる特長は、横形、縦形で異なることはなく、パワーMOS FET固有のものである。

(1) 温度特性とASO(Area of Safe Operation:安全動作領域)

図2は、パワーMOS FETとバイポーラトランジスタの伝

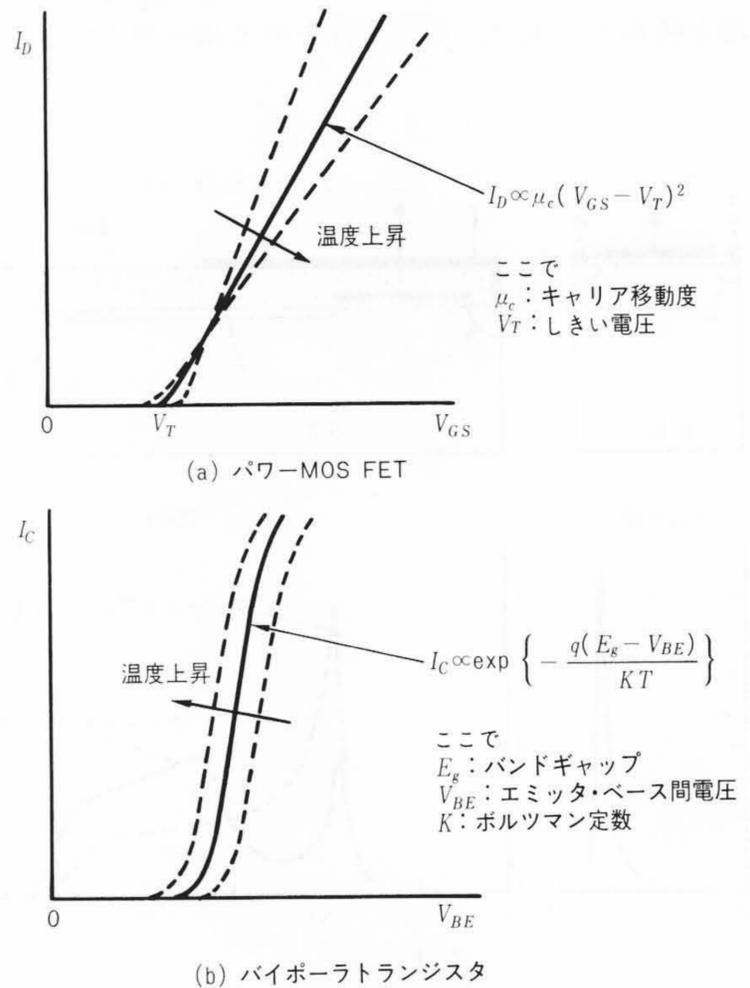
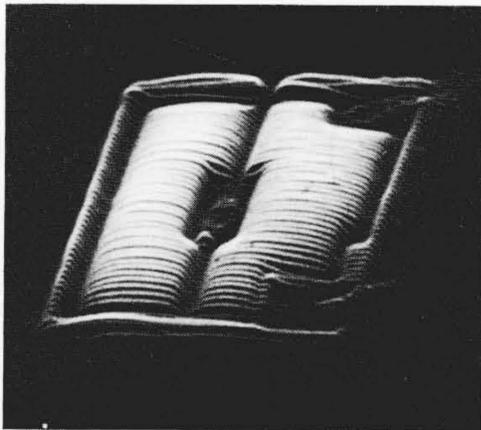


図2 伝達特性 バイポーラトランジスタのコレクタ電流Icは、正の温度依存性をもつのに対し、パワーMOS FETのドレイン電流Idは、負の温度依存性をもつ。

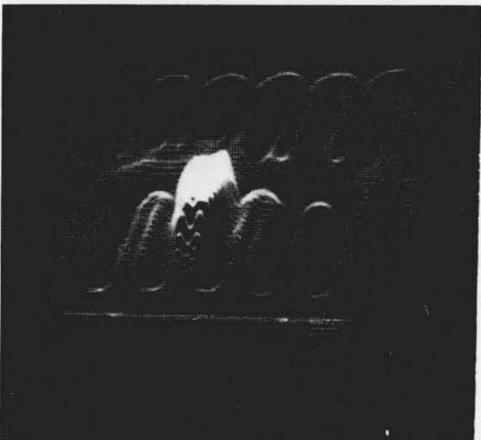
※2) $V_{DSX}=120V, 140V, 160V$
 $I_D=7A$
 $P_{ch}=100W$

※3) MOS FETでは、電流の流れる方向と平行なゲート部の長さをチャンネル長と呼び、電流に対し直角な方向をチャンネル幅と呼ぶ。



(a) パワーMOS FET
(2SK135)

$V_{DS} = 60V$
 $I_D = 2A$



(b) バイポーラトランジスタ
(2SC1343)

$V_{CE} = 60V$
 $I_C = 1A$
ホットスポット発生

図3 電力印加時のチップ表面温度分布 電力を印加したときのチップの表面温度を調べると、パワーMOS FETは熱分布が一様であるのに対し、バイポーラトランジスタはホットスポットが観察される。

達特性の温度依存性を模式的に示したものである。バイポーラトランジスタのコレクタ電流 I_C は、エミッタから注入されるキャリア量によって決まるため、正の温度依存性を示す。これは、ジャンクション温度が上がると正帰還がかかり、熱暴走を起こすことを意味している。一方、パワーMOS FETの大電流領域では、キャリア(Nチャンネル素子の場合は電子)の移動度の温度依存性が支配的となるため、負の温度依存性を示す。図3は、パワーMOS FETとバイポーラトランジスタに電力を印加したときのチップ表面の温度分布を示すが³⁾、パワーMOS FETの熱分布がほぼ一様であるのに対し、バイポーラトランジスタでは、 $\frac{1}{2}$ の電力印加にもかかわらず、電流集中によるホットスポットが見られ、前述の温度依存性の違いを証明している。この温度係数の正負の違いは、結果として図4に示すような熱的破壊限界の差となって現われる。すなわち、バイポーラトランジスタは高電圧領域で、二次降伏に起因した破壊限界の急激な低下が観測されるのに対し、パワーMOS FETでは、降伏電圧に至るまではほぼ等電力線上にのる。このように、高電圧領域でのASOの低下がないことは、パワーMOS FETが高出力のパワー素子に適していることを示している。

(2) 駆動電力

パワーMOS FETは入力インピーダンスが高く、駆動電力をほとんど必要としない。実際には、高速あるいは高周波で動作させる場合など、入力容量を充放電する電流が必要となるが、ON状態では、ベース電流を流し続けなければならないバイポーラトランジスタに比べ、小さな電力で動作させることができる。一例として、スイッチングレギュレータで約100Wの入力をスイッチするとき発生するドライブ損失のスイッチング周波数依存性を図5に示す⁴⁾。200kHzで、バイポーラトランジスタの約1.5Wに対し、パワーMOS FETは0.2~0.3Wと $\frac{1}{5}$ 以下となっている。なお、K319がK260に比べ約2倍の損失となっているのは、入力容量の差(約2倍)に起因し

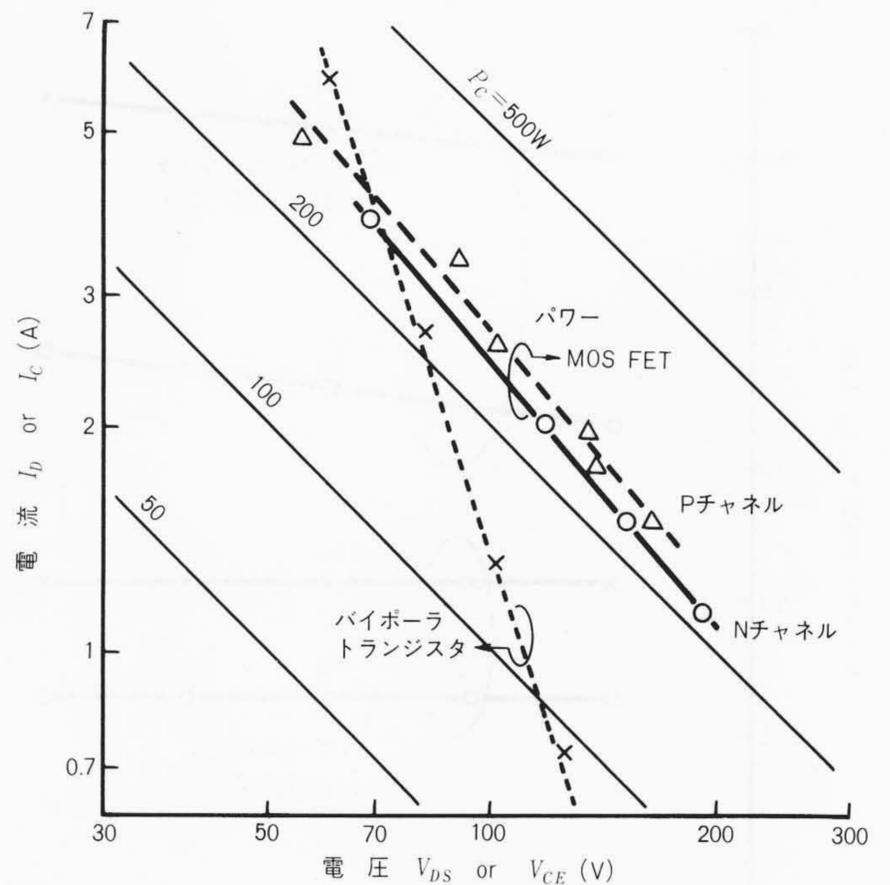


図4 熱的破壊限界 バイポーラトランジスタの破壊限界は、二次降伏現象により高電圧側で急激に低下するが、パワーMOS FETの破壊限界は降伏電圧まで等電力線上にある。

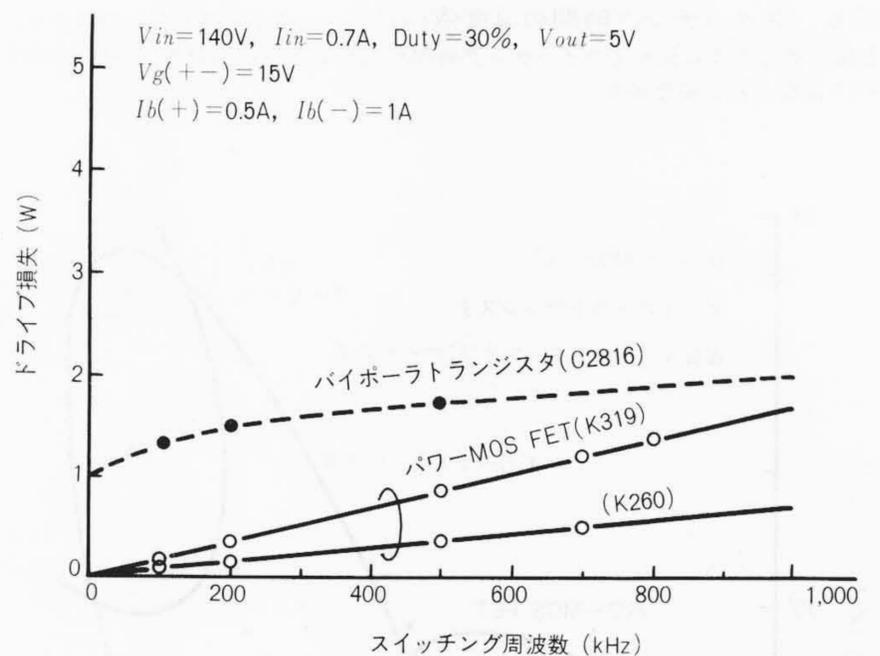


図5 ドライブ損失 パワーMOS FETは電圧制御素子であるから、ベース電流 I_B を必要とするバイポーラトランジスタに比べ、ドライブ損失が小さい。

ている。このように駆動電力が小さいということは、回路構成の簡略化につながり、更にCMOS(Complementary MOS), TTL(Transistor-Transistor Logic)からの直接ドライブの可能性を示唆している。

(3) スイッチング時間

パワーMOS FETの最大の特長は、スイッチングが速く高周波特性に優れていることであり、更に、そのスイッチング時間が、図6に示すように温度依存性がないことである。これは、パワーMOS FETがユニポーラデバイスで、少数キャリアの蓄積効果がないためである。図7は、スイッチング時間(下降時間)と取り扱える電力を、スイッチング素子として十分に実績のあるバイポーラトランジスタやGTO(ゲートターンオフ)サイリスタと比較して示したものである⁴⁾。GTO

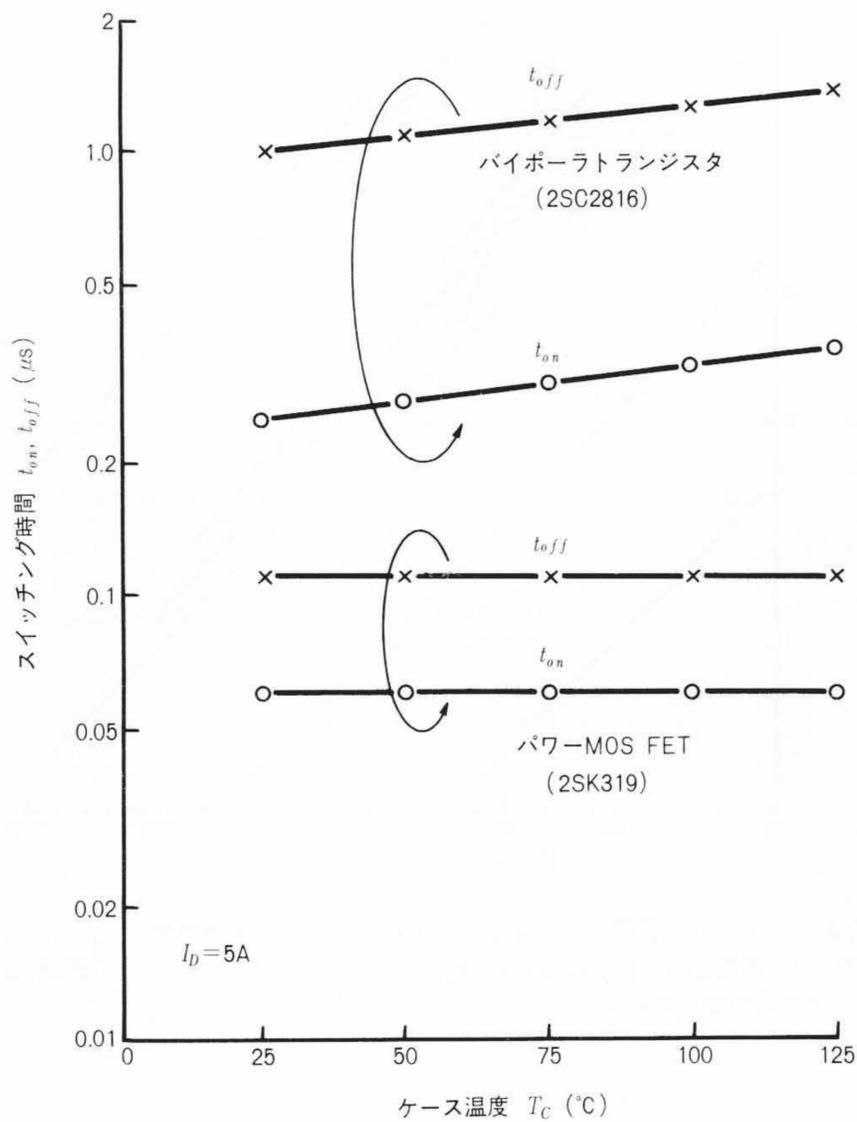


図6 スイッチング時間の温度依存性 バイポーラトランジスタは、温度が高くなるに従ってスイッチング時間が大きくなるのに対し、パワーMOS FETはほとんど変化がない。

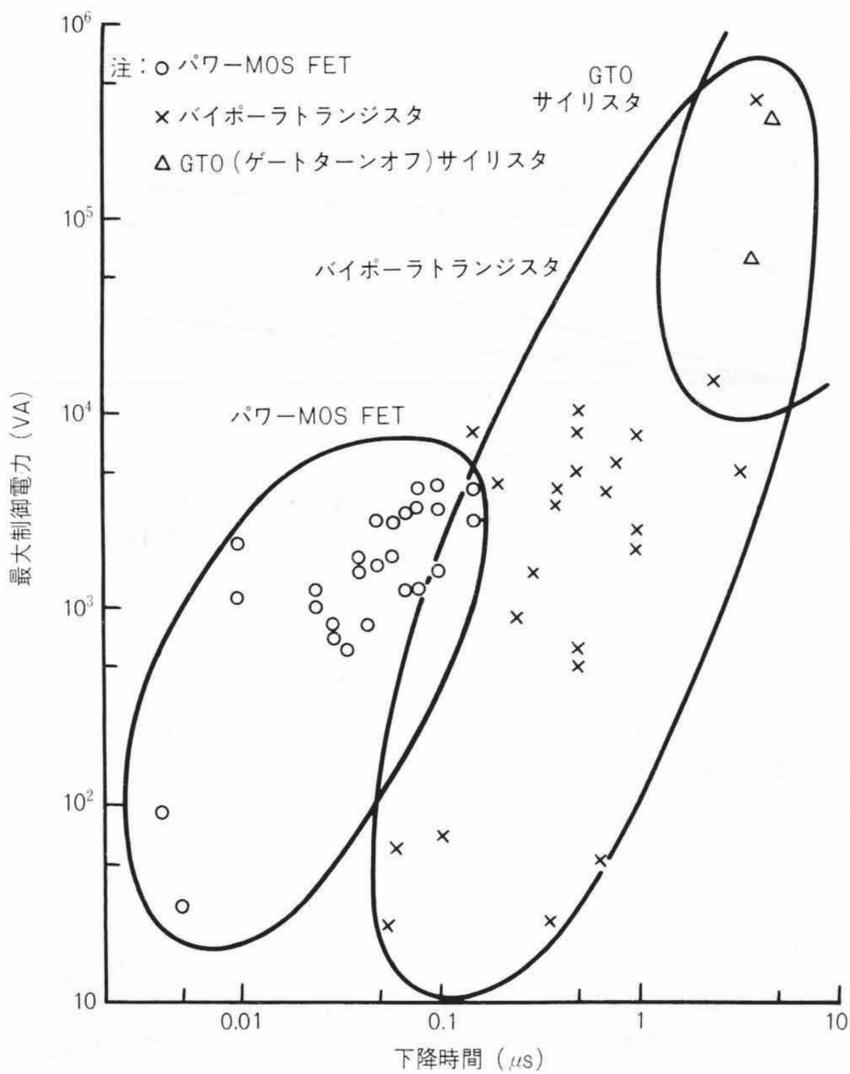
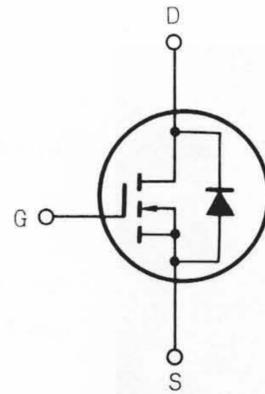
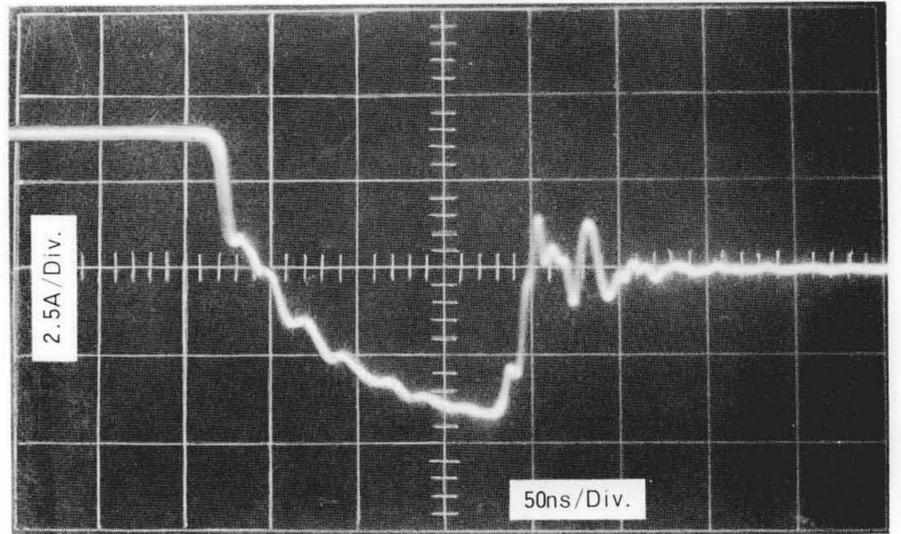


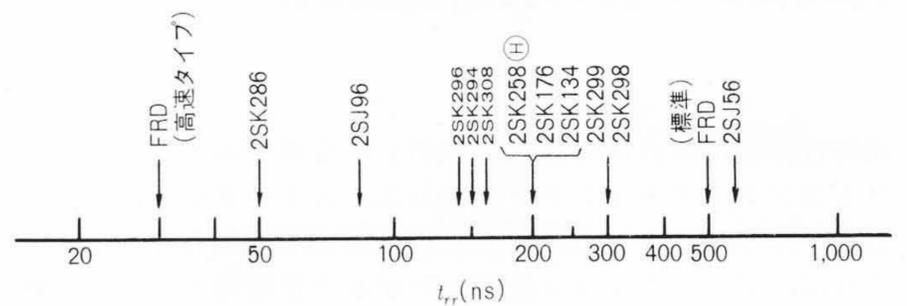
図7 パワー素子の下降時間と最大制御電力のマップ スイッチング素子としてGTOは低速で大電力の領域を、バイポーラトランジスタは中速で中電力から大電力までの幅広い領域を、パワーMOS FETは高速で中電力の領域をそれぞれ分担している。



(a) D(ドレイン)~S(ソース)間内蔵ダイオードの等価回路



(b) t_{rr} の波形(K308)



(c) t_{rr} の比較

注：略語説明 FRD(Fast Recovery Diode)

図8 D~S間ダイオードの逆方向回復時間 パワーMOS FETのD~S間に等価的に内蔵されるダイオードは、逆方向回復時間はFRDに匹敵する。

サイリスタは低速で大電力の領域、バイポーラトランジスタは中速で中電力から大電力までの領域、パワーMOS FETは高速で中電力の領域と、各々分担しているが、パワーMOS FETの高耐圧化(400V以上)、大電流化(20A以上)に伴い、さまざまな応用分野でまずバイポーラトランジスタと競合していくと考えられる。

(4) D(ドレイン)~S(ソース)間ダイオード

パワーMOS FETはその構造上、D~S間にダイオードが等価的に内蔵され、そのダイオードの逆方向回復時間は、図8に見られるように、FRD(Fast Recovery Diode)に匹敵する。したがって、電動機制御、スイッチングレギュレータ、PWM(パルス幅変調)アンプ出力などに使用する場合、フライホイールダイオードとして利用でき、外付ダイオードが省略できる利点がある。

5 電動機制御への応用

パワーMOS FETは、以上述べたようにバイポーラトランジスタに比べ優れた特性をもっている。このような特性は電動機制御用のパワー素子として使用した場合、バイポーラトランジスタではできなかった数多くの優れた制御性能を引き出すことができる。表2にパワーMOS FETを電動機制御に

表2 パワーMOS FETの特徴と電動機制御での利点 パワーMOS FETの種々な特徴は、電動機制御にいかんなく発揮できる。

パワーMOS FETの特徴	電動機制御に使用した場合の利点
スイッチング時間が速い。	動作周波数の高速化による高効率化、低騒音化、小形化
電圧制御形	駆動回路の省電力化、簡素化
電流特性が負の温度係数	電流集中がないため並列接続による大容量化が可能
ドレイン~ソース間ダイオード内蔵	フライホイールダイオードとして使用可能で部品点数の低減
P/Nチャンネルコンプリメンタリー	駆動回路の簡素化による部品点数の低減

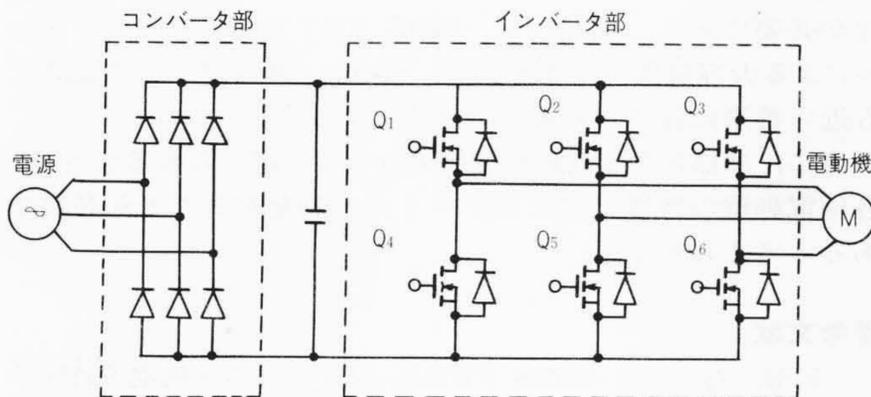
使用したときの利点を示す。これから分かるように、利点の主なものとしては、インバータの高効率化・駆動回路の小形化が挙げられる。ここでは、後者を中心にパワーMOS FETを使用した電動機制御用インバータ回路の特徴について述べる。

(1) インバータ回路

図9のQ₁~Q₆にパワーMOS FETを使用したインバータ回路を示す。ドレイン~ソース間に形成される内蔵ダイオードは、前述のように高速であり、フライホイールダイオードとして十分使用できる。そのため、外付けの高速フライホイールダイオードは不要となり、部品点数の低減を図ることができる。また、インバータ回路の短絡事故に対してパワーMOS FETは、バイポーラトランジスタに比べ破壊耐量大きい(破壊に至るまでの時間が長い。)ため、過電流保護回路の設計が容易になる。図10に負荷短絡試験結果を示す。

(2) ゲート駆動回路

パワーMOS FETの基本的なゲート駆動回路例を図11に示す。種々の方式が考えられるが、バイポーラトランジスタの電流制御に比べ、電圧制御のため駆動電力を小さくでき、小信号トランジスタで駆動回路を構成できる。この駆動電力について、バイポーラトランジスタとの比較を図12に示す。これは、インバータ回路にパワーMOS FET 2SK313(耐圧450V、電流定格12A)、又はダーリントントランジスタ 2SD1204(耐圧400V、電流定格15A)を使用して、1.2kW級の直流ブラシレス電動機を駆動した場合である。駆動電力については、駆動回路側でのトランス損失、制御回路の損失及び駆動回路の損失の合計を補助電源入力として測定した。図12に示すよ



注：略語説明 Q₁~Q₆(パワーMOS FET)

図9 パワーMOS FETインバータ パワーMOS FETインバータの特徴として、内蔵ダイオードをフライホイールダイオードとして利用可能である。また、バイポーラダーリントントランジスタの内蔵ダイオードよりも高速である。

うに、パワーMOS FET 2SK313を使用したほうが駆動電力損失の点で優れていることが分かる。また、インバータ効率については、駆動周波数が2.2kHzと低いため、ほぼ同等となった。

このように、駆動電力損失が少ないことから、駆動用電源構成も図13に示すように簡素化できる。同図(a)はインバータ入力直流電圧からツェナダイオードを使用して正・負電源を得る方式、同図(b)は電源トランスを使用して正・負である電源を得る方式である。電源トランスを用いた場合でも、電圧駆動のため電源の安定化が不要となる。

以上のように、パワーMOS FETを使用することによりゲート駆動回路の省電力化・小形化が図れる。

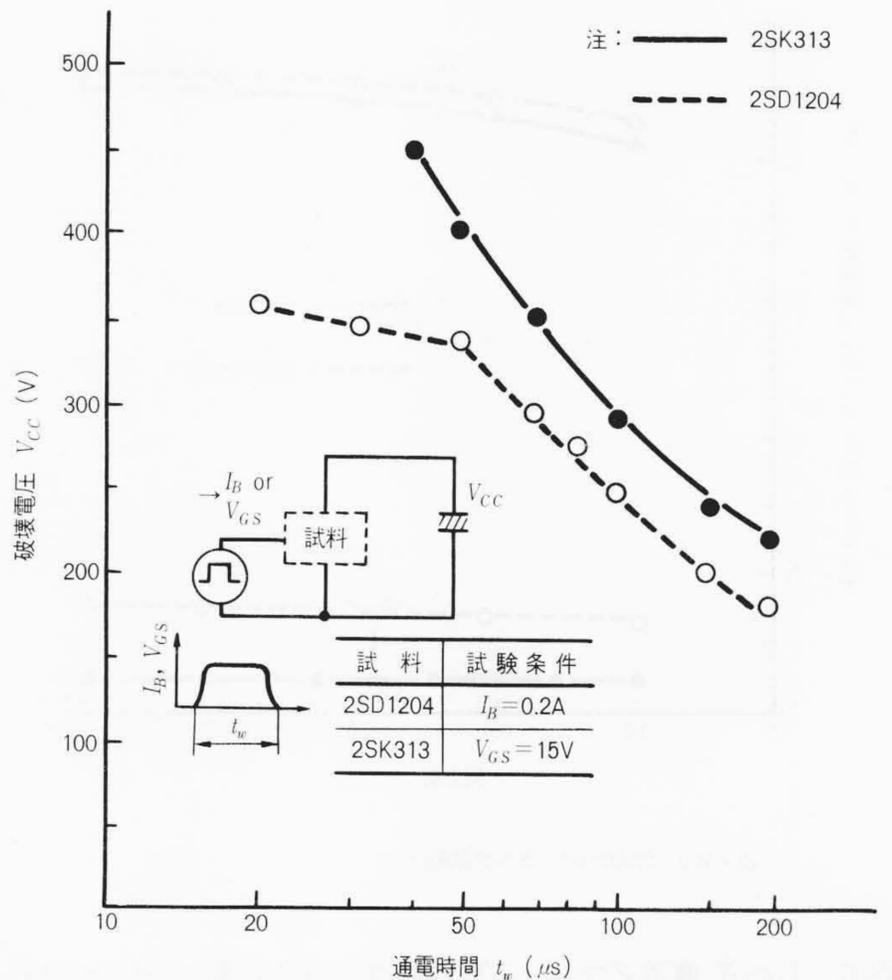
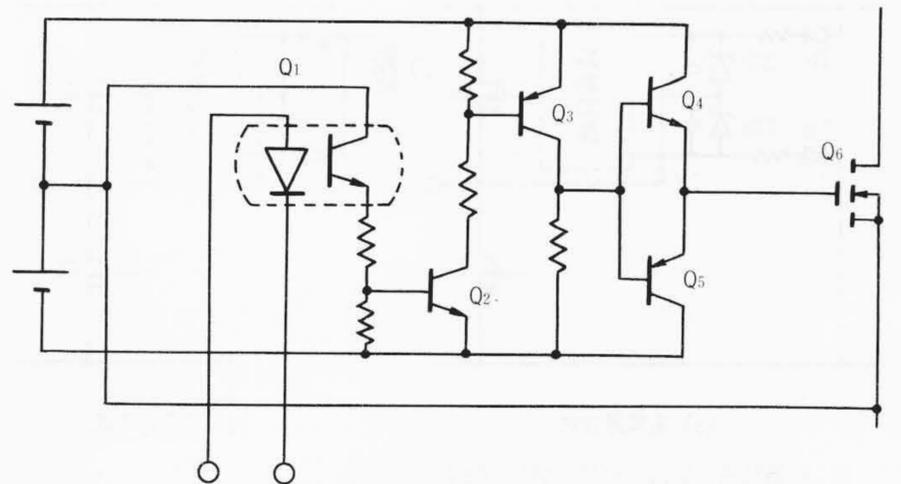


図10 短絡時の破壊電圧比較 パワーMOS FETのほうが破壊に至るまでの時間が長い。すなわち、順バイアス安全動作領域が広く、過電流に対する保護も容易となる。

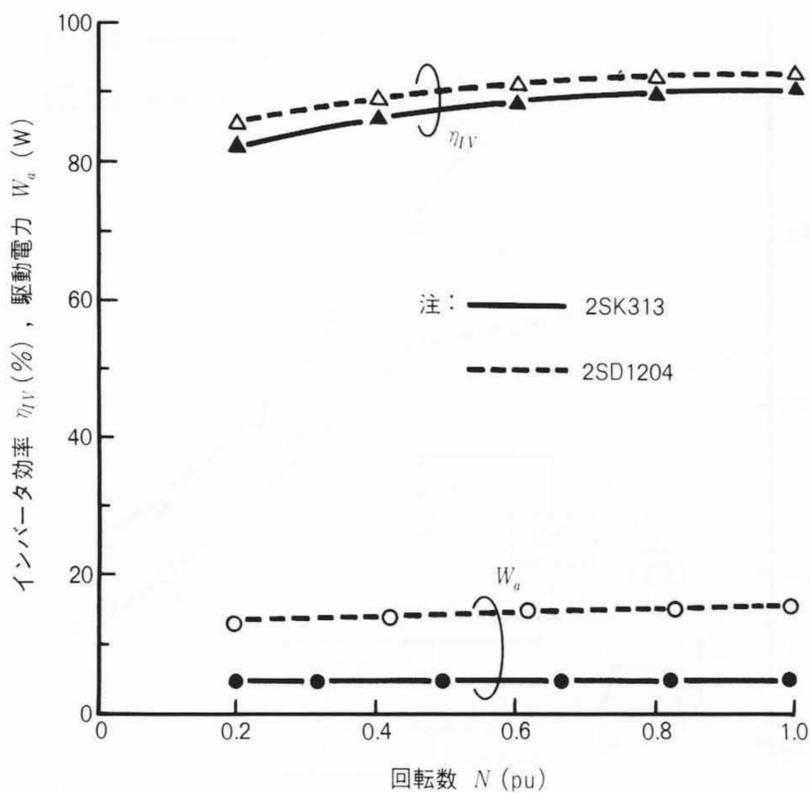


注：略語説明 Q₁(ホトカプラ), Q₂~Q₅(ドライブ用トランジスタ), Q₆(パワーMOS FET)

図11 パワーMOS FETのゲート駆動回路 種々の方式が考えられるが、いずれも小信号トランジスタで構成可能でドライブ損失が少ない。ただし、インバータでは対アームスイッチング時の誤動作防止に負バイアス必要である。

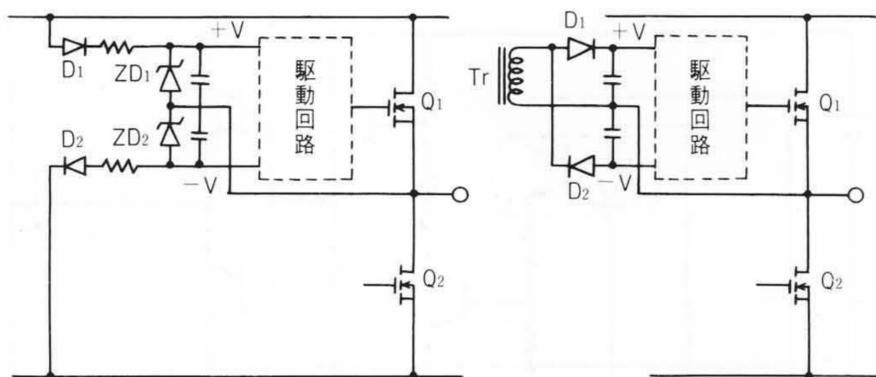
(3) Pチャンネル・NチャンネルコンプリメンタリーパワーMOS FETによるゲート駆動回路

バイポーラトランジスタでは、PNPタイプの増幅率のコンプリメンタリー性がとりにくく高耐圧化は困難である。しかし、パワーMOS FETは、Pチャンネルの高耐圧・大電流化は比較的容易である。図14にPチャンネル・NチャンネルコンプリメンタリーパワーMOS FETを使用した回路例を示す。インバータの上アームにPチャンネルを、下アームにNチャンネルを使用すれば、駆動電源としては上・下アーム1個ずつでよいことになる。表3にすべてNチャンネルで構成したものと主要な部品点数の比較を示す。駆動電源の数としては半減、部品点数としても約24%減となる。このように、駆動回路の大幅な簡素化が可能となる。



注: 1pu=6,000rpm トルク20kg・cm

図12 1.2kW 直流ブラシレス電動機運転特性比較 パワーMOS FETを使用すると、ゲート駆動電力は半減する。インバータ効率は、オン抵抗のためほぼ同等となるが、高周波化により改善できる。

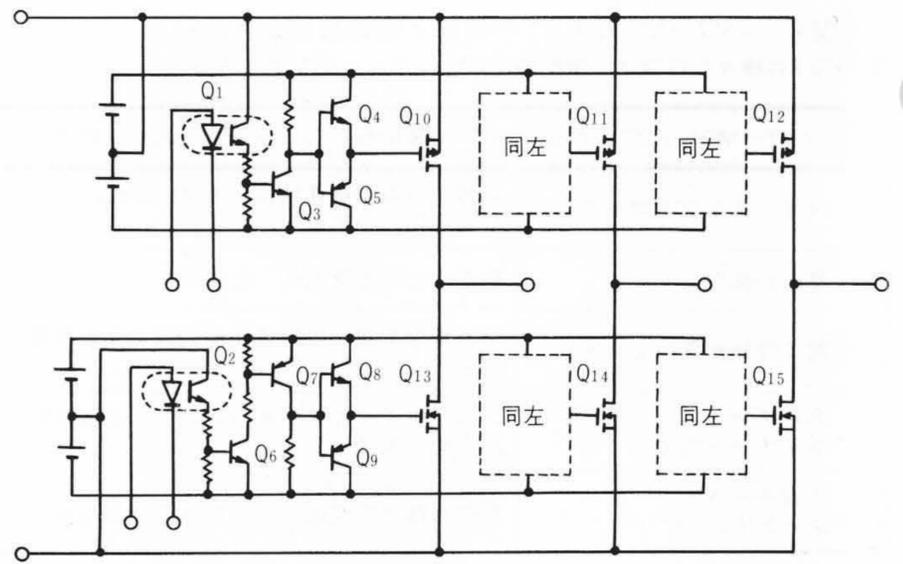


(a) 主電源方式

(b) 別電源方式

注: 略語説明 Q₁, Q₂ (パワーMOS FET)
D₁, D₂ (ダイオード)
ZD₁, ZD₂ (ツェナダイオード)
Tr (電源トランス)

図13 上アーム側パワーMOS FET駆動用電源構成例 駆動電力損失の少ないことから駆動電源として、インバータ入力直流電圧からツェナダイオードを用いて構成できる。また、電源トランスを用いるときも安定化不要である。



注: 略語説明 Q₁Q₂ (ホットカプラ)
Q₃~Q₉ (ドライブ用トランジスタ)
Q₁₀~Q₁₂ (PチャンネルパワーMOS FET)
Q₁₃~Q₁₅ (NチャンネルパワーMOS FET)

図14 Pチャンネル・NチャンネルパワーMOS FET使用時の駆動回路構成 上側アームにPチャンネルパワーMOS FETを使用すれば、電源が共通化され、部品点数が半減する。

表3 P-Nチャンネル使用時とすべてNチャンネル使用時の部品点数比較 P-Nチャンネルを使用すると、部品点数で24%減となる。

	P/Nチャンネルコンプリメンタリー構成		全Nチャンネル構成使用	
	上アーム	下アーム	上アーム	下アーム
トランジスタ	9	12	12	12
抵抗	9	15	15	15
ホットカプラ	3	3	3	3
駆動電源部	5	5	15	5
合計	26	35	45	35
	61		80	

注: 単位(個数)

6 結 言

以上述べたように、パワーMOS FETを電動機制御に使用した場合、装置の小形・軽量化、高効率化など優れた制御性能を引き出すことが可能となる。しかし、まだパワーMOS FETの適用できる範囲は、前出の図7に示すようにバイポーラトランジスタやGTOサイリスタに比べ限られている。今後電動機制御に広く使用されるためには、更に高電圧・大電流化が必要である。現在パワーMOS FETでもパワーモジュールによる大容量化の要求が強く、50A, 100Aクラスの製品化も近い将来に行なわれるものと考えられる。

更に、多様化する電動機制御のニーズに応じられるように、各種電動機の特성에応じたデバイスを開発することが必要であるとされる。

参考文献

- 1) 岡部, 外: パワーMOS FET(1)~(2), 昭和52年度電子通信学会半導体部門全国大会, 112~113
- 2) 飯島, 外: 800VパワーMOS FET昭和57年度電子通信学会総合全国大会, 2-7
- 3) 越智, 外: パワー素子としてのMOS FETとその特徴, 昭和53年電気四学会連合大会
- 4) 勝枝, 外: 電源用パワーMOS FETのスイッチング損失の検討, 電子通信学会技術研究報告, Vol. 82, 55~62(1982-7)