

コンピュータ用超LSIとその技術動向

Recent Advancement and Future Trends of VLSI for Computers

半導体集積回路の著しい進歩により、コンピュータのハードウェアの主要部分が超LSIで占められつつある。本論文では超LSIのシステムへのインパクトについて述べ、次に最近の開発製品として、大形コンピュータ用のバイポーラカスタム論理、バイポーラ高速メモリ、汎用のMOSメモリのほか、最近注目を浴びている小形コンピュータ、周辺・端末装置用のCMOSカスタム論理を取りあげ、これらの特徴とその性能の位置付けを示した。また、超LSI開発上重要な設計自動化技術についても述べた。最後に、コンピュータ用超LSIの将来動向として、研究開発中のSiデバイスプロセス技術、及びGaAsやJJデバイス技術とこれらの位置付けを示した。

谷口研二* *Kenji Taniguchi*
 田中正美** *Masami Tanaka*
 千葉常世*** *Tsuneyo Chiba*
 久保征治**** *Masaharu Kubo*

1 緒言

近年の半導体技術の著しい進歩により、集積度の極めて高い、いわゆる超LSI(VLSI: Very Large Scale Integrationともいう。)が実現され、その適用により、コンピュータの高性能化、小形化、低コスト化、更には高信頼化が促進されている。

本論文では、まず超LSIのシステムへのインパクトについて述べ、次に超大形コンピュータを支えるバイポーラ論理VLSI、バイポーラメモリVLSIと、小形コンピュータ、周辺・端末装置を支えるCMOS(Complementary Metal Oxide Semiconductor)カスタム論理VLSI、及びコンピュータをはじめとするほとんどの情報機器を支えるMOSメモリVLSIの最近の開発成果と将来動向について述べる。

2 超LSIのシステムへのインパクト

微細加工技術及びLSI設計技術の進歩により、LSIの集積度は年々増加している。図1はその様子を示したもので、特にMOS LSIの集積度は既に超LSIの領域に達している。これに比較してバイポーラLSIの集積度は低いが、その加工精度はMOS LSIと同様であり、かつその難易度からいって超LSIというにふさわしい。

超LSIの与える第一のインパクトは、集積度の増加に伴うゲート単価あるいはビット単価の低下であり、これにシステムの組立てコストの低減も加わって、システムでの主メモリ単価や1命令当たりのシステム使用料が大幅に低減される。

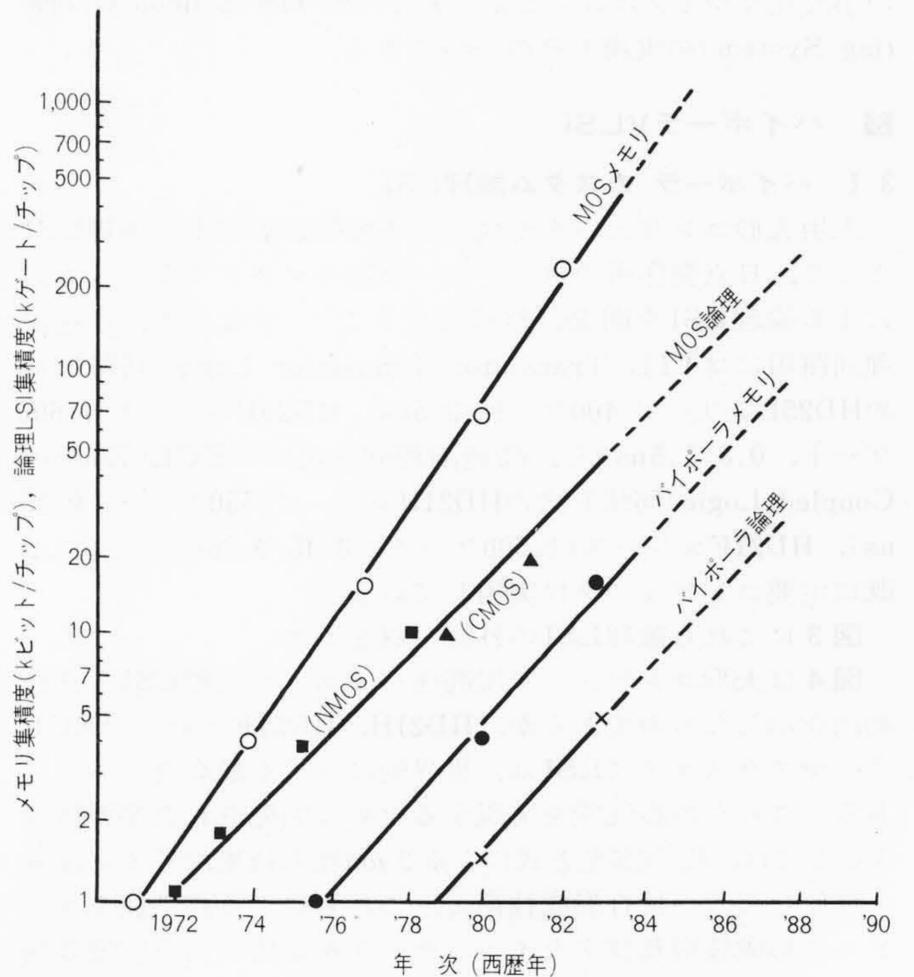
第二のインパクトは、微細加工技術や回路・デバイス構造の改良に伴う回路素子の高速化・低消費電力化であり、これによってシステムの処理速度が向上する。

第三のインパクトは、LSIの高集積化、低消費電力化に伴うシステムの小型化であり、大形コンピュータもその恩恵を受けているが、極端な例はMOS LSIを用いた電子式卓上計算機、マイクロコンピュータ、デスクトップコンピュータにみることができる。また、大形コンピュータでは論理LSI間の配線での遅延時間の低減のためにも、超LSI化による実装密度の向上が不可欠となっている。

上記の超LSI化に伴うインパクトの総合されたものとして、高性能で低コストのLSIをふんだんに用いて高性能のシステムを経済的に実現することが考えられる。図2は回路素子の

高速化に伴って短縮可能なマシンサイクル時間、CPU(Central Processing Unit: 中央処理装置)の回路規模とシステムのMIPS(Million Instruction Per Second: 平均命令実行速度)の関係をまとめたもので¹⁾、使用LSIが1個から複数個までをカバーした表現となっている。

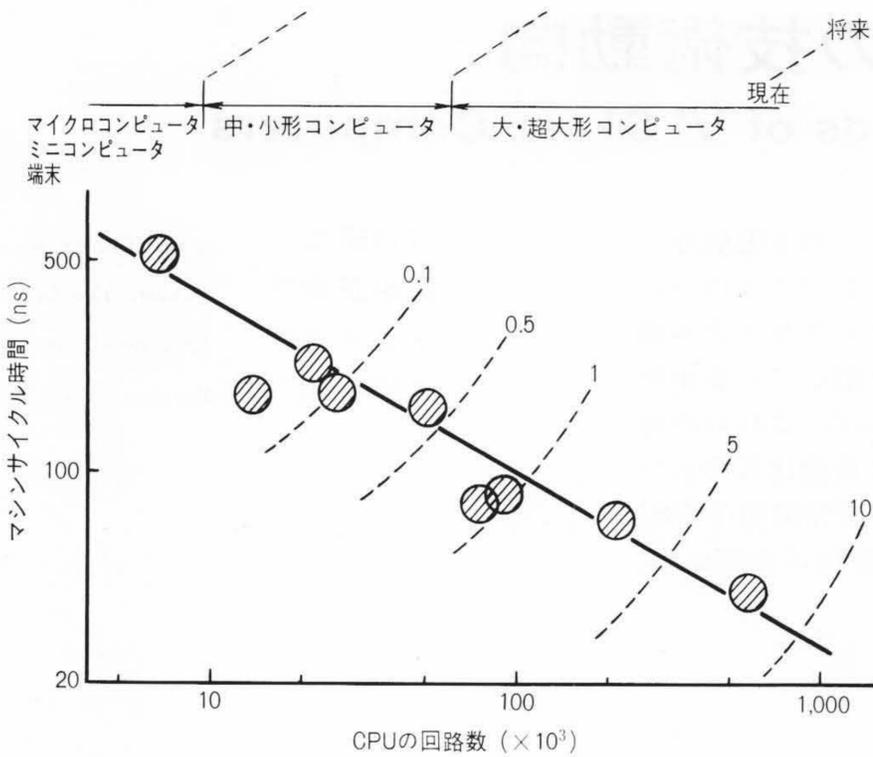
LSIの進歩により、単純な論理やRAM(Random Access Memory)に加えて各種機能の超LSIが実現され、システムの小形化やコストパフォーマンスの向上に役立ちつつある。



注: 略語説明 MOS(Metal Oxide Semiconductor)
 NMOS(N Channel MOS)
 CMOS(Complementary MOS)

図1 LSIの集積度の年次推移 LSIの集積度は3倍/3年(論理)ないし4倍/3年(メモリ)の割合で増加しており、既に超LSIの領域にある。

* 日立製作所デバイス開発センタ 工学博士 ** 日立製作所デバイス開発センタ *** 日立製作所中央研究所 **** 日立製作所中央研究所 工学博士



注：略語説明

MIPS (Million Instruction Per Second)
CPU (Central Processing Unit)

図2 コンピュータCPUの回路数，マシンサイクル時間と性能の関係 コンピュータの性能向上は，マシンサイクル時間の短縮とCPU当たりの回路規模の増大によって実現されていることが分かる。

大容量のROM (Read Only Memory) による日本語処理装置の小形化やマイクロコンピュータでのSi-OS (Silicon-Operating System) の実現もその一つである。

3 バイポーラVLSI

3.1 バイポーラ カスタム論理LSI

汎用大形コンピュータや高速の各種制御装置用の論理LSIとして，日立製作所ではバイポーラ形のマスタスライス方式による論理LSIを開発，整備してきた²⁾。すなわち，中速論理回路用にはTTL (Transistor Transistor Logic) 回路形式のHD25Lシリーズ(400ゲート，2.5ns)，HD25Fシリーズ(1,600ゲート，0.8/1.5ns)を，高速論理回路用にはECL (Emitter Coupled Logic) 回路形式のHD21Hシリーズ(550ゲート，0.35ns)，HD21Fシリーズ(1,500ゲート，0.45/0.8ns)を開発し，既に主要コンピュータに実用している。

図3にこれら論理LSIの外観写真を示す。

図4は大形コンピュータ用高速バイポーラ論理LSIの性能動向を示したものであるが，HD21H，HD21FといったECL系のマスタスライスLSIは，世界的にみても最高速レベルにある。これらの高性能を実現するために開発された半導体技術としては，投影露光方式による2 μ m加工技術，イオン注入を駆使した浅い接合形成技術と，これらによる高性能トランジスタ形成技術及びドライエッチングを駆使した高密度3層配線技術がある²⁾。

3.2 バイポーラメモリVLSI

日立製作所では，コンピュータのバッファメモリ及びコントロールメモリ用としてバイポーラメモリの超高速化を追求してきており，アクセス時間が4.5nsの1kビットECL RAMや7nsの4kビットECL RAMといった，世界的にみても最高速の性能を実現しており，コンピュータの高性能化に寄与してきている³⁾。また，最近では最も高集積度の高速バイポーラメモリとしては，16kビットECL RAMを開発した⁴⁾。

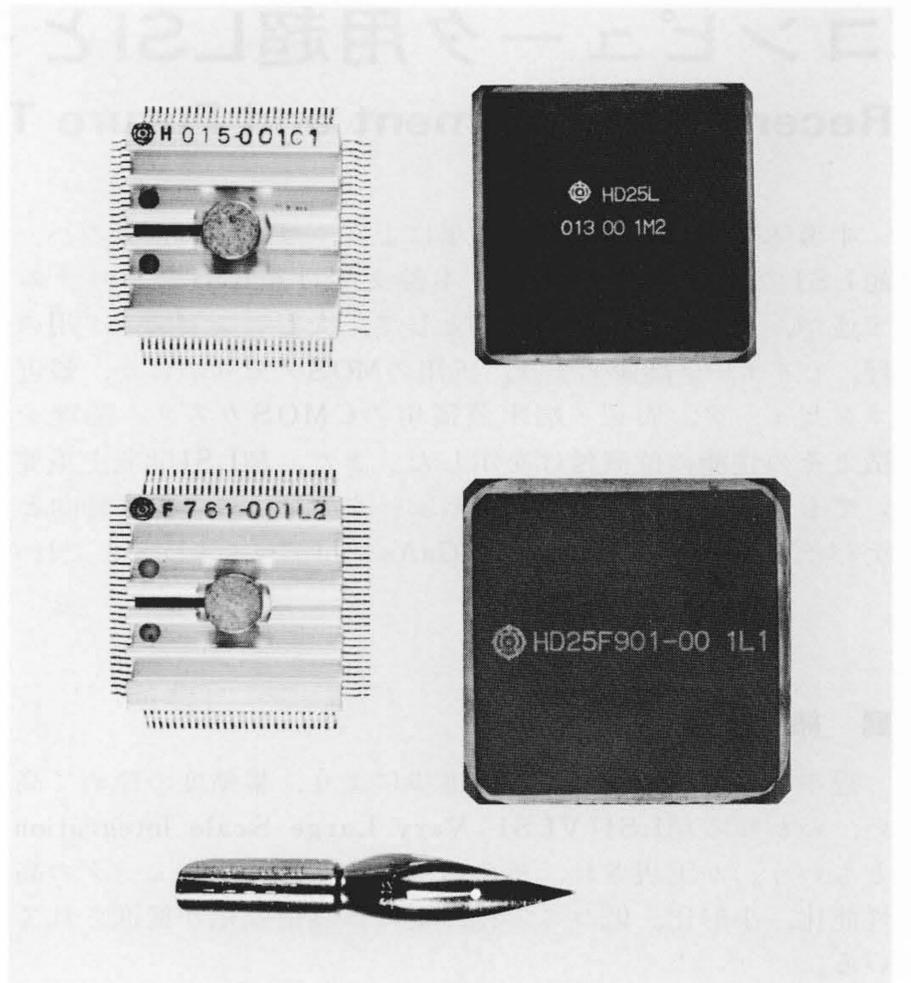


図3 バイポーラ論理LSI外観 写真右上はHD25Lシリーズ[TTL (Transistor Transistor Logic), 400ゲート]，右下はHD25Fシリーズ[TTL, 1,600ゲート]，左上はHD21Hシリーズ[ECL (Emitter Coupled Logic), 550ゲート]，左下はHD21Fシリーズ[ECL, 1,500ゲート]である。

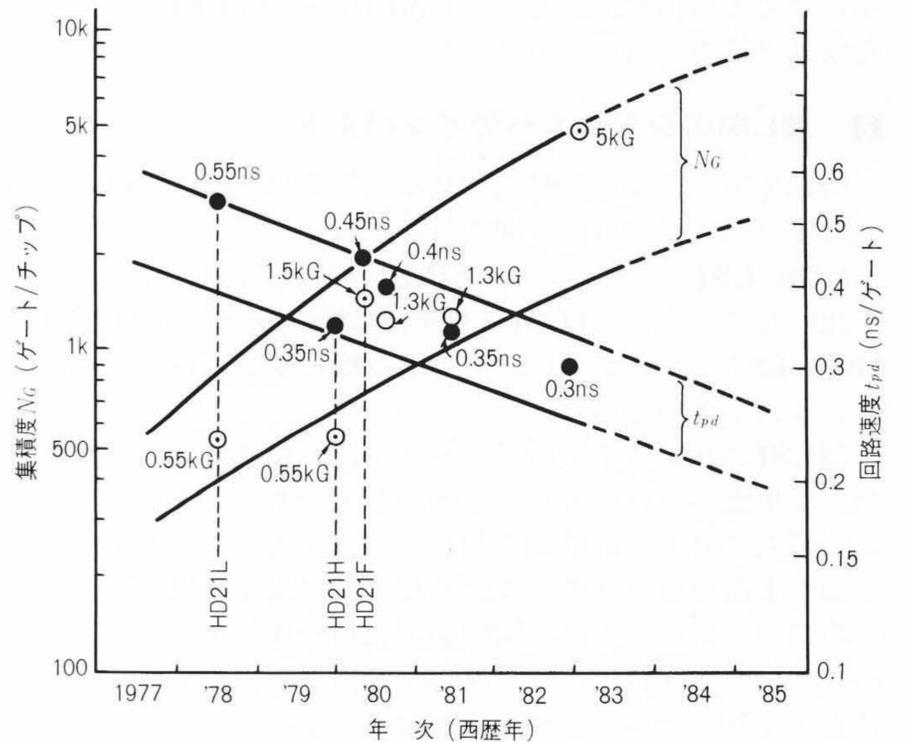


図4 大形コンピュータ用高速バイポーラ論理LSIの性能動向 大形コンピュータ用論理LSIでは，高速性が第一に追究される。破線部は将来動向予測を示す。

3.3 論理混在形高速バイポーラメモリVLSI

最近のコンピュータでは，仮想記憶方式及びバッファメモリ方式を採用しているが，このために必要なメモリ制御を実現するハードウェアとしての，仮想アドレス変換テーブルが設けられる。このテーブルの高密度実装及び高速化のため，6,196ビットのメモリと770ゲートの論理回路を同一チップに集積した論理混在形メモリを開発した^{3),4)}。図5にそのチップ写真を示す。メモリのアドレスアクセス時間は6.7ns，コンペアア

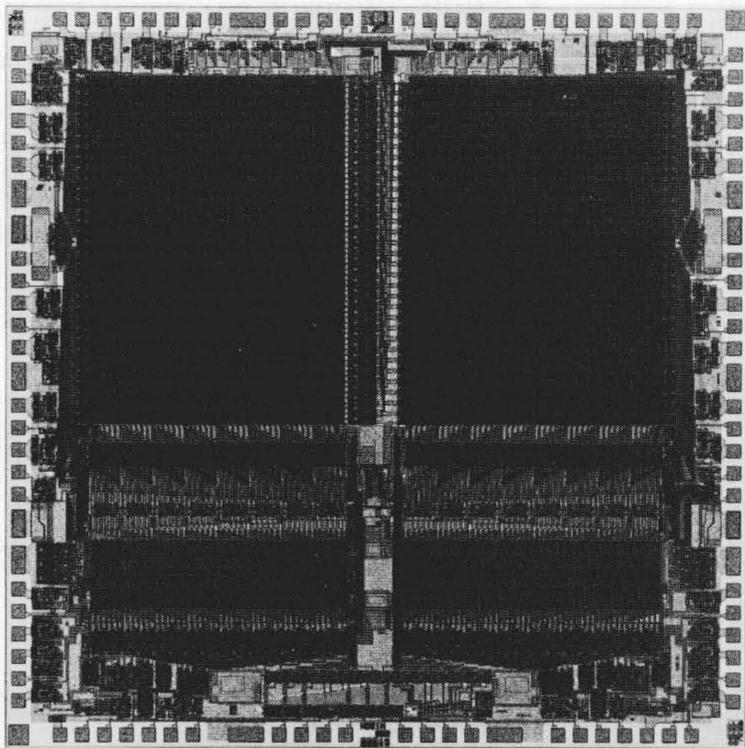


図5 論理混在形高速バイポーラメモリVLSIのチップ写真 大形コンピュータ用に開発した6,196ビットの超高速メモリと770ゲートの超高速論理を同一チップで実現したLSIであり、システムのコストパフォーマンスの向上に大きく貢献している。

アクセス時間は5.5nsである。このVLSIは日立大形コンピュータHITAC M-200H, M-280, S-810などに用いられ、システムのコストパフォーマンスの大幅な向上に役立っている。

4 MOS VLSI

4.1 CMOSカスタム論理VLSI

小形コンピュータ、周辺・端末装置用のカスタム論理用としては、CMOS論理LSIが重要視されている。それは、MOS LSIがもつ高集積性によってもたらされるコスト低減と、高集積化に伴って不可欠となる低消費電力化が極めて容易で、かつ高速性も実現できることによる。

カスタム論理LSIは、製造方法によってフルカスタム方式とセミカスタム方式に分類される。表1にこれらの方式の特徴を対比して示す。

フルカスタム方式は、LSIの1品種ごとに、ウェーハ製造の全工程に必要とする専用のホットマスク系列を設計し、各製

表1 カスタムLSI方式の比較 フルカスタム方式とセミカスタム方式は、各々の長所を生かして使い分けられる。多品種少量生産となるコンピュータ用カスタムLSIでは、開発期間、開発費だけでなく、ゲート単価の面からもセミカスタムが重要視されている。

項目	フルカスタム方式	セミカスタム方式 (マスタスライス)	
集積可能な回路機能	● 論理ゲート ● RAM, ROM, PLAなどの特殊回路(マクロセル)を任意に設定。	● 論理ゲート	
製品ごとに異なる工程	拡散工程+配線工程	配線工程	
集積密度(比)	1.5~2	1	
開発期間(比)	2~3	1	
開発費(比)	3~10	1	
ゲート当たりコスト	(少量生産)	高	低
	(大量生産)	低	高

注：略語説明 RAM(Random Access Memory), ROM(Read Only Memory)
PLA(Programmable Logic Array)

品ごとにウェーハ処理をする方式であり、一般に開発費が膨大となるが、最近、コンピュータで自動レイアウト設計を行ない、10~20kゲートのVLSIが比較的短期間に少ない労力で開発可能となった^{6)~9)}。

図6は自動レイアウト設計による13kゲートのCMOS VLSI⁷⁾のチップ写真である。このVLSIでは2μm CMOS技術を採用しており、平均遅延時間は約1.8ns/ゲートとなっている。チップサイズは10.2×10.2mm²であり、208ピンのピングリッドアレイパッケージに封入されている。

一方、セミカスタム方式では、ウェーハ製造工程の大半のホットマスクは一つの品種系列に共通になっており、配線工程のホットマスクだけを製品ごとに設計する。この方式は、マスタスライス又はゲートアレイとも呼ばれており、フルカスタム方式に比較して若干量産性が劣るが、開発費が少なく、かつ開発期間が短い利点をもつ。図7は、2μm CMOS技術を用

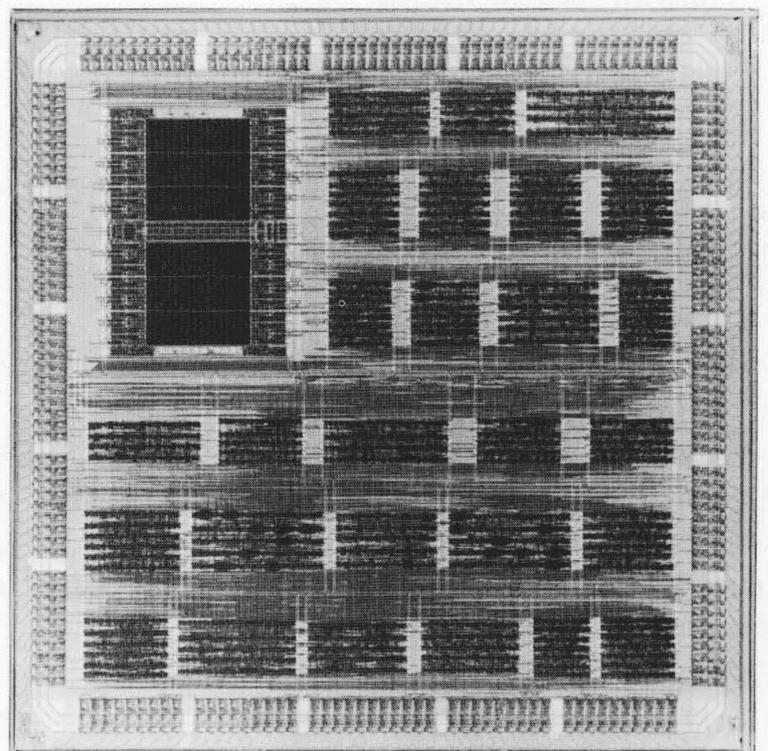


図6 自動設計によるフルカスタム 2μm CMOS VLSIのチップ写真 64語×36ビットのRAMを含む約13kゲートの論理が、10.2×10.2mm²のチップに集積されている。

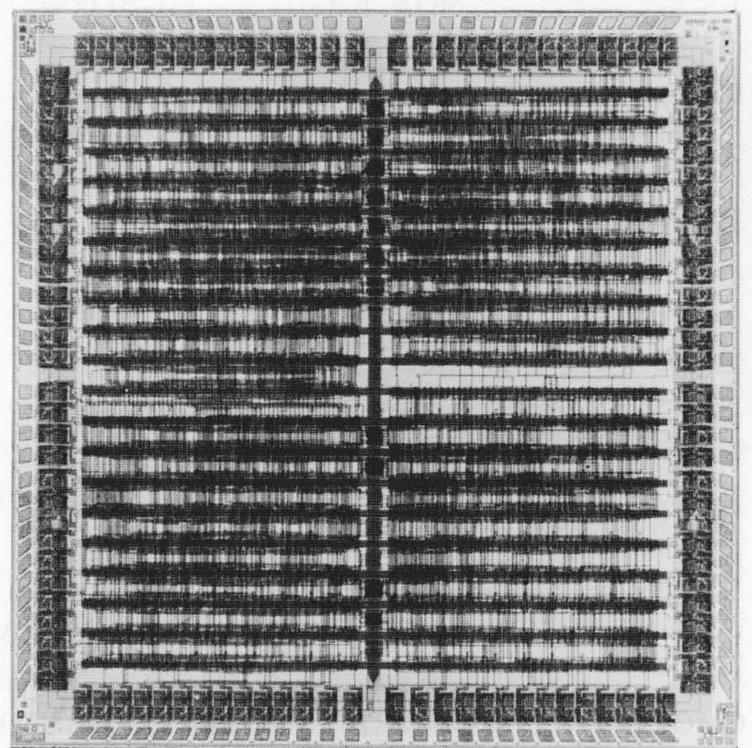
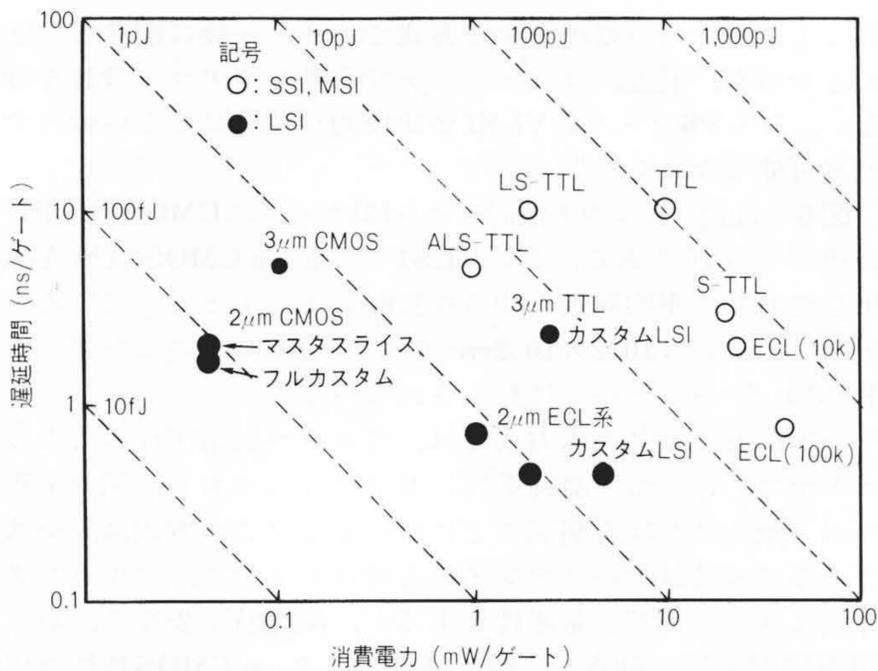


図7 6kゲートCMOSマスタスライスによるセミカスタムVLSIのチップ写真 2μm技術による6kゲートの論理セルのうち、約5kゲートを用いて自動配置配線設計した例を示す。チップサイズは8.2×8.3mm²である。



注：略語説明

- S-TTL (Schottky Transistor Transistor Logic)
- LS-TTL (Low Power Schottky Transistor Transistor Logic)
- ALS-TTL (Advanced Low Power Schottky Transistor Transistor Logic)

図8 CMOSカスタムLSIの性能の位置付け CMOSカスタムLSIの性能を、標準論理IC、高速バイポーラカスタムLSIと比較して示してある。2μm CMOSの遅延時間は、S-TTL並みとなっている。

いた6kゲートCMOSマスタスライス^{9),10)}のチップ写真を示すものである。

これらのCMOSカスタム論理VLSIの遅延時間対消費電力性能を、従来の標準論理ICや2.1節で述べたバイポーラカスタム論理LSIの性能と比較して図8に示す。同図に示すように、CMOSが低消費電力でS-TTL (Schottky-TTL)並みの速度であることが分かる。

上記の2μm CMOSデバイスの設計では、後述のスタティックRAMと同様なHi-CMOS (高性能CMOS)構造¹²⁾を母体とし、更に高集積性、高速性を確保するために不可欠なAl 2層配線を採用している¹⁶⁾。

4.2 MOSメモリVLSI

(1) ダイナミックMOS RAM

図1に示したように、MOS RAMは常に超LSI技術の先導役となってきている。

図9に最近の開発品である256kビットRAMのチップ写真を示す。このRAMには、従来のページモード版と新機能であるニブルモード版の2種がある。後者では、より高速のニブルサイクルが可能であり、これによって主メモリだけでなく、ビデオメモリなどの高速用途にも採用されていくものとみられる。

上記の256kビットRAMでは、2交点メモリセル構造によってS/N比(信号対雑音比)を向上し、かつ動作マージンのパターン依存性をなくすことによって安定なメモリを形成している。また、電氣的ヒューズ方式の高信頼度の冗長技術を確立している¹¹⁾。

(2) スタティックCMOS RAM

日立製作所ではCMOSに着目し、低速という従来のCMOSの欠点を克服してNMOS (NチャンネルMOS)に匹敵する高速性能とCMOS本来の低消費電力性とを兼ね備えたHi-CMOS技術を開発し、これによって4kビット、16kビット、更には64kビットのCMOSスタティックRAMを開発した¹²⁾。

(3) マスクROM

小形コンピュータや周辺・端末装置などでの日本語処理用として、安価な高速マスクROMが求められている。日立製作所では、最近高速形の1MビットマスクROM(128k語×8ビットの構成)を開発した¹³⁾。図10にそのチップ写真を示す。このROMは2μm CMOS技術を採用しており、最大350nsのアクセス時間を実現しているほか、歩どまり向上のためECC (Error Checking and Correcting: 誤り訂正回路)を内蔵していることが特徴であり、実用性が高い設計となっている。

5 設計自動化技術

大規模化、微細化している超LSIを、短期間に設計品質を保証して開発するには、各種の設計自動化技術を開発し、システムとして整備することが不可欠である^{14),15)}。すなわち、

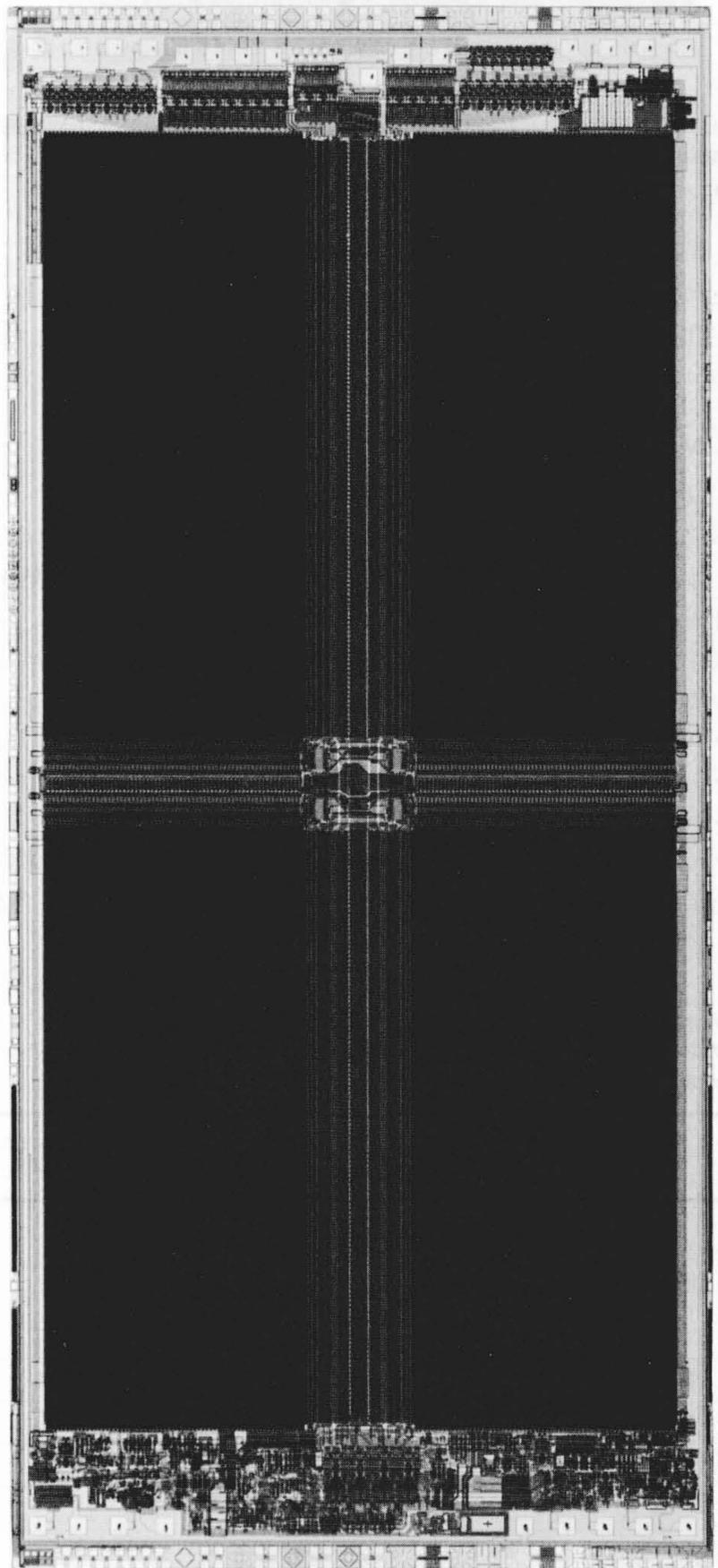


図9 256kビットダイナミックRAMのチップ写真 独自の2交点方式メモリセルを採用することによって、安定動作を確保した設計となっている。

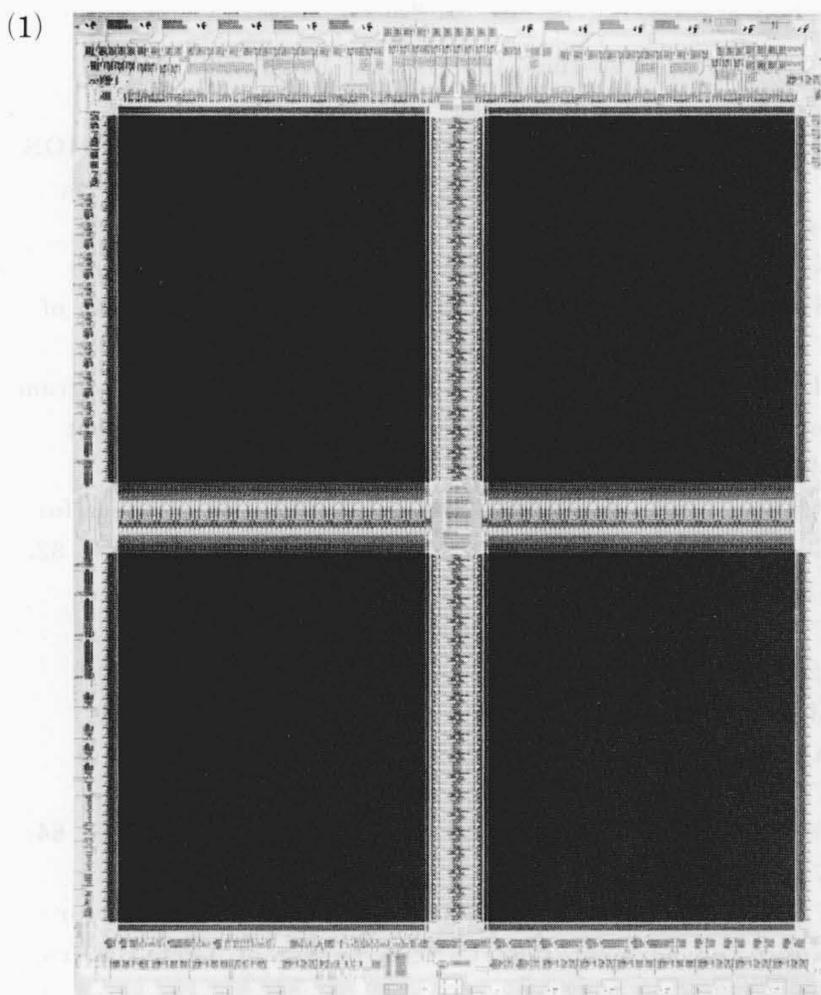


図10 高速1MビットマスクROMのチップ写真 集積度と高速性で世界的にも最先端に位するマスクROMであり、歩どまり向上のためECC(Error Checking and Correcting)回路を内蔵したことに特徴があり、実用性が高い。

(1) プロセスシミュレータ, (2) デバイスシミュレータ, (3) 回路シミュレータ, (4) レイアウトDA (Design Automation), (5) 論理シミュレータ, (6) 診断データ生成DA, などが必要である。

最近進歩の著しいのはカスタム論理VLSI用のレイアウトDA (配置配線DAともいう。)である。日立製作所では、コンピュータ用カスタム論理VLSIの開発ツールとして一連のDAシステムを開発してきており、現在ではバイポーラとCMOS共に、コンピュータによる自動設計が定着している^{8), 9), 15)}。

図11は、カスタム論理VLSI用DAシステムの構成と処理フローを示すもので、論理設計者が記述した論理図を基に、論理シミュレーション、ディレイチェック、自動配置・配線、人手による配線修正のチェックを行ない、次にマスク作製用データとLSIをテストするための診断データを磁気テープとして出力する。

6 LSI技術の将来動向

6.1 Siデバイス プロセス技術¹⁴⁾

現在コンピュータ用超LSIの主流となっているSiデバイスプロセス技術の進歩は当面とどまるところがなく、今後更に微細加工が進み、より高集積度が実現されるであろう。1MビットMOSメモリが1 μ mレベルの加工技術で実現され、これに対応してMOS論理VLSIの集積度も現在の数倍に達し、正にシステムがSiチップ上に集積されるであろう。

これらの高集積化を支える超LSI技術の第一は、微細パターン形成技術であり、その基本は露光技術である。現在光による密着露光、又は1:1投影露光が多用されているが、256kビットダイナミックRAMなど最先端の2 μ mレベルの製品には、光による縮小投影露光技術やDeep UV (Deep Ultraviolet) による露光技術などが採用されつつある。

一方、電子線描画技術は、レチクル及びマスクの製作には

既に実用されている。パターン発生の自由度大とマスク不要の利点から、マスタスライスLSIの工程に電子線による直接描画技術が有望視されている。更に、1 μ m以下の超微細パターンの形成を目指してX線による露光技術の研究開発が進められている。

パターン形成技術と並んで、デバイス構造、材料及びその加工技術も重要である。最近LOCOS (Local Oxidation of Silicon) に代わる新しい素子分離技術の検討や、多結晶Siに代わる金属けい化合物など、低抵抗材料の検討が活発に進められている。微細加工法では、反応性イオン及びラジカルによる異方性ドライエッチングが開拓されている。

6.2 新デバイス技術¹⁴⁾

Siデバイスは今日のコンピュータで全面的に主役を演じているが、将来は新しい材料を用いたデバイスが新たな境地を開き、コンピュータ技術の推進の一翼を担うことが期待される。

例えば、超高速素子としてGaAs (ガリウムヒ素) デバイス、JJ (Josephson Junction: ジョセフソン接合) デバイスの実用化が期待される。これらのデバイスの性能面の位置づけを示したのが図12である。同図に示すように、加工技術の進歩に伴いSiによるCMOSやGaAsなど、FET (Field Effect Transistor: 電界効果トランジスタ) 系のデバイスの性能向上が大きいと期待されている。ただし、これらの性能はLSI内のように配線負荷の小さい場合のものであり、超大形コンピュータのように空間的広がり大きい場合には、Si系バイポーラ

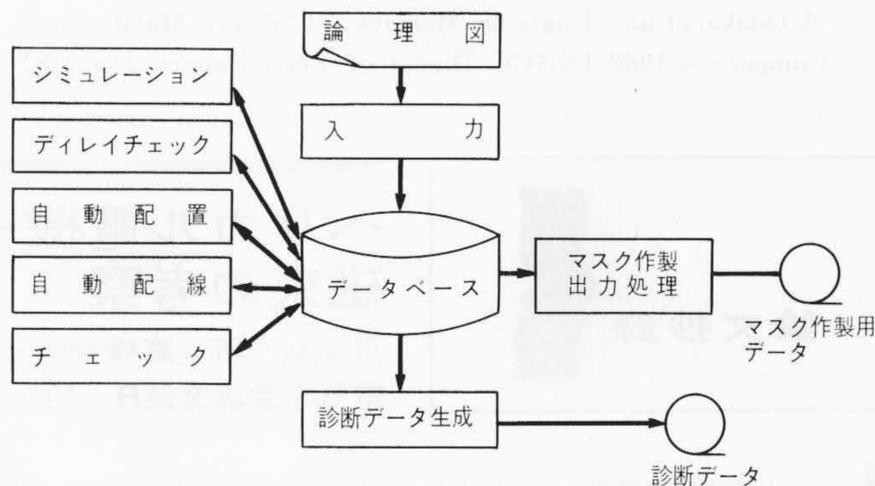
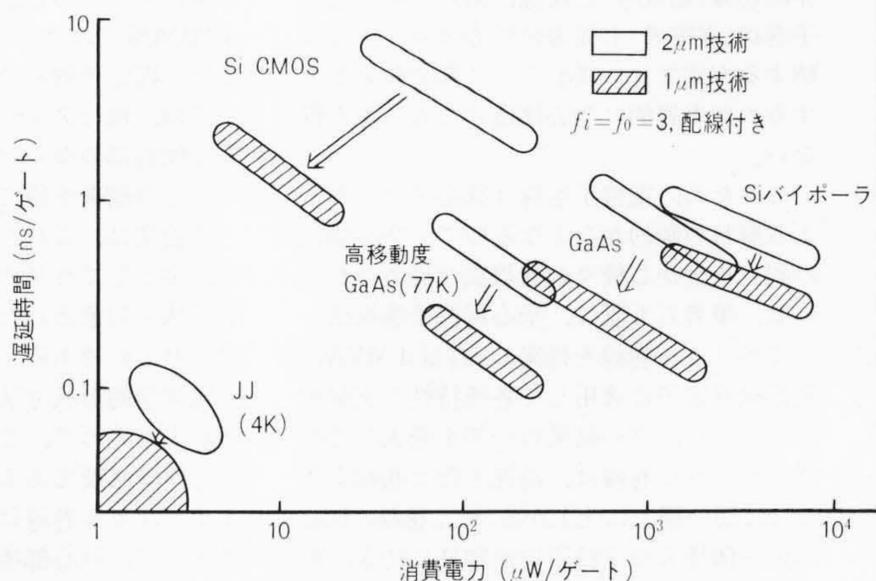


図11 カスタム論理LSI用レイアウトDA (Design Automation) システム 論理図を入力として、LSIの配線マスクを作るためのデータ、及び完成品テスト用の診断データが出力される。



注: 略語説明 JJ (Josephson Junction)

図12 遅延時間、消費電力マップ上に見る新デバイスの役割 GaAs, JJ両デバイスの現状(2 μ m技術)及び数年後(1 μ m技術)の性能をSi-CMOS, Siバイポーラとの比較で示したものである。

デバイスの高駆動能力が不可欠である。このように、新デバイスはその高性能性が生かされる分野から徐々に応用が開拓されていくものと考えられる。

7 結 言

- (1) Si超LSIの高集積性と高速性が、システムのコストパフォーマンスの向上、小形化、更には高信頼化の面で大きなインパクトを与えている。
- (2) Siデバイス プロセス技術、回路技術、設計自動化技術の進歩を図り、これにより、超大形から小形に至るコンピュータ、周辺・端末装置を支える超LSIとして、超高速のバイポーラ論理とメモリ、高速・低消費電力のCMOS論理、汎用MOSメモリから成る製品群を開発した。
- (3) 将来のコンピュータ用として、より高集積度のSi系超LSI、GaAsやJJなど新材料による超高速LSIの実現が期待される。

参考文献

- 1) A. Masaki, et al.: Design Aspects of VLSI for Computer Logic. IEEE Trans. Electron Devices, ED-29, 4, 751~756 (April 1982)
- 2) 細坂, 外: 高速TTL1,600ゲートマスタスライスLSI, 日立評論, 64, 7, 523~528(昭57-7)
- 3) 荻上, 外: 超高速バイポーラメモリ, 日立評論, 64, 7, 503~508(昭57-7)
- 4) M. Odaka, et al.: Logic in Memory VLSI for Mainframe Computers, 1982 ISSCC Digest of Tech. Papers, 180~181 (Feb. 1982)
- 5) Y. Kato, et al.: A 16ns 16k Bipolar RAM, 1983 ISSCC Digest of Tech. Papers, 106~107(Feb. 1983)
- 6) S. Horiguchi, et al.: An Automatically Designed 32b CMOS VLSI Processor, 1982 ISSCC Digest of Tech. Papers, 54~55(Feb. 1982)
- 7) K. Koide, et al.: Building Block Approach and Variable Size Memory for CMOS VLSIs, 1983 ISSCC Digest of Tech. Papers, 148~149(Feb. 1983)
- 8) H. Terai, et al.: Automatic Placement and Routing Program for Logic VLSI Design Based on Hierarchical Layout Method, Proc. of 1982 ICCD, 415~418(Oct. 1982)
- 9) Y. Ohno, et al.: Integrated Design Automation System for Custom and Gate Array VLSI Design, Proc. of ICCD 82, 512~515(Oct. 1982)
- 10) T. Itoh, et al.: A 6000 Gate CMOS Gate Array, 1982 ISSCC Digest of Tech. Papers, 176~177(Feb. 1982)
- 11) M. Ishihara, et al.: A 256k Dynamic MOS RAM with Alpha Immune and Redundancy, 1982 ISSCC Digest of Tech. Papers, 74~75(Feb. 1982)
- 12) 湊, 外: 64kビットCMOSスタティックRAM, 日立評論, 64, 7, 497~502(昭57-7)
- 13) T. Shinoda, et al.: A 1 Mb ROM with On-chip ECC for Yield Enhancement, 1983 ISSCC Digest of Tech. Papers, 158~159(Feb. 1983)
- 14) 武田, 外: マイクロエレクトロニクスの現状と動向, 日立評論, 64, 7, 471~474(昭57-7)
- 15) 池本, 外: LSI開発における設計自動化, 日立評論, 64, 7, 513~518(昭57-7)
- 16) 生崎, 外: 6,000ゲートCMOSゲートアレイLSI, 日立評論, 64, 7, 519~524(昭57-7)

論文抄録

ヘリカル電機子巻線による固定子鉄心部軸方向磁束の考察

日立製作所 高橋身佳・渡部正敏・他2名
電気学会論文誌B 103-1, 15~22 (昭58-1)

超電導同期発電機は、効率向上、機械寸法の小形化、安定度向上などが期待できるため、次代の発電機として世界的に開発が進められている。この超電導発電機では、界磁巻線(超電導)と同様、固定子側の電機子巻線(常電導)も従来の鉄心スロットに収納する方式では、鉄心テース部で磁気飽和するので本質的に空心構造にならざるを得ない。

このため、電機子巻線は鉄心スロットによる形状の制約がなくなるので、空心構造の利点を生かし種々の巻線法が提案されている。筆者らも既に、空心電機子巻線法としてヘリカル巻線を提案し、容量4 MVAの発電機固定子に適用して各種特性の実験検討を行ない、その結果の一部を発表してきた。ヘリカル巻線は、端部も含め巻線全体がほぼ同一径上に仕上がるので、巻線の鉄心への一体挿入や支持固定が容易にでき、ねじりトルク耐力も大きいなどの長所がある。

しかし、ヘリカル巻線では巻線を構成す

る各コイルが、鉄心積層方向に対し常に斜行するため、巻線電流の周方向成分によって軸方向電機子反作用磁束を生じ、固定子鉄心への悪影響(鉄損増加、温度上昇など)を及ぼすことが懸念される。先に試作した4 MVA機では、この点に留意した測定も行ない、固定子鉄心を通る軸方向磁束の量としては、現行ダイヤモンド巻線のように胴部で傾斜部のない巻線法の場合と同程度であるとの結果を得ていた。

本論文は、これを解析的に検証するために、主としてヘリカル巻線採用時の鉄心内部領域を対象とした磁界解析法について検討したものである。空心固定子では、巻線の幾何学的形状寸法が磁束分布に及ぼす影響が大きいので、これらを考慮した3次元考察が必要である。そこで本論文では、まずヘリカル巻線に対する3次元磁界解析法として、鉄心部透磁率の積層効果による異方性を考慮することによって、積層鉄心内部での軸方向磁束量を定量的に評価可能

な解析式を導出する。また、提案手法によって容量4 MVAの試作機を対象に数値解析を行ない、測定結果と一部比較検討し、本解析結果の妥当性を確認するとともに次の点を明らかにした。

(1) 固定子鉄心の磁気異方性が磁気飽和などによって小さい場合には、局部加熱や特性低下の原因となる固定子鉄心部の軸方向磁束が発生してくるが、実機並みの磁気異方性〔固定子鉄心積層方向透磁率 $\mu_z=(10\sim 20)\mu_0$, μ_0 : 空気の透磁率〕に対しては無視できるほど小さい。また、このように固定子鉄心部の軸方向磁束密度が小さくなる分、逆に固定子鉄心周方向磁束密度が増大して磁気バランスが保たれる。

(2) 試作4 MVA機の例では、ヘリカル電機子巻線電流による固定子鉄心部の軸方向磁束密度は、超電導発電機のように回転子が空心構造の場合でも、空けきの最大径方向磁束密度の約0.5%以下と、実用上無視できる大きさである。