

スーパーコンピュータHITAC S-810 アレイプロセッサ システム

Supercomputer HITAC S-810 Array Processor System

HITAC S-810アレイプロセッサ システムは、大規模科学技術計算に対する市場要求にこたえて、日立製作所の技術を結集して開発した世界最高速クラスのスーパーコンピュータである。高速化を図るためにアーキテクチャを新しく開発し、最新のLSI、ICメモリなどの半導体及び実装技術を使用して論理方式を構成した。

大規模問題を高速処理するために、主記憶が256Mバイトまで拡張できるようにしたのに加え、半導体メモリによる拡張記憶が1,024Mバイトまで実装できる。高速化方式として並列演算パイプライン方式を採り、複数個の演算器を並列に動作させることが可能である。また、約80種のベクトル命令をサポートすることにより高速処理の範囲を拡大した。

小高俊彦* *Toshihiko Odaka*
長島重夫** *Shigeo Nagashima*
河辺峻* *Shun Kawabe*
村山浩* *Hiroshi Murayama*
後藤二三男* *Fumio Gotô*

1 緒言

近年、科学技術の多くの分野で複雑かつ大規模な計算が必要になってきている。これまでに、原子力、航空工学、気象といった分野での大規模計算を対象に、一般にスーパーコンピュータといわれている科学技術計算専用機が、主として米国で開発され使用されてきた。最近では利用分野が急速に拡大し、構造計算、分子科学、核融合、半導体、資源探査、環境分析、エネルギー給配、経済分析などいろいろな分野で高速計算のニーズが高まってきている¹⁾。

これらの分野では、物理の方程式を高精度に解くこと、大量の数値データに一定の計算処理を行なうこと、現象の時間的経過をシミュレーションすること、物理実験や工学実験に代えてシミュレーションすることなど、スーパーコンピュータの使用法で新しい道が開かれつつある。そして、いずれの問題でも、膨大な数値データを処理する巨大な計算パワーが必要になってきている。

HITAC S-810アレイプロセッサ システム(以下、S-810と

略す。)は、このような膨大な数値データを高速に処理する分野に、特に適合するように開発したスーパーコンピュータである²⁾。

図1にS-810の外観を示す。

2 開発の概要

(1) S-810の位置付け

S-810は、科学技術計算用プロセッサの最上位機種であり、現時点での商用の科学技術計算用プロセッサの最上位グループに位置付けることができる。

日立製作所では従来から、科学技術計算を高速に処理する専用機構として、IAP(Integrated Array Processor:内蔵アレイプロセッサ)の開発を行ない、汎用超大形機であるHITAC M-180、M-200H、M-280Hに組み込んで高速処理のニーズにこたえてきた^{3,4)}。今回開発したS-810は、IAPでの技術と経験を生かし、開発思想を更に発展させたものである。

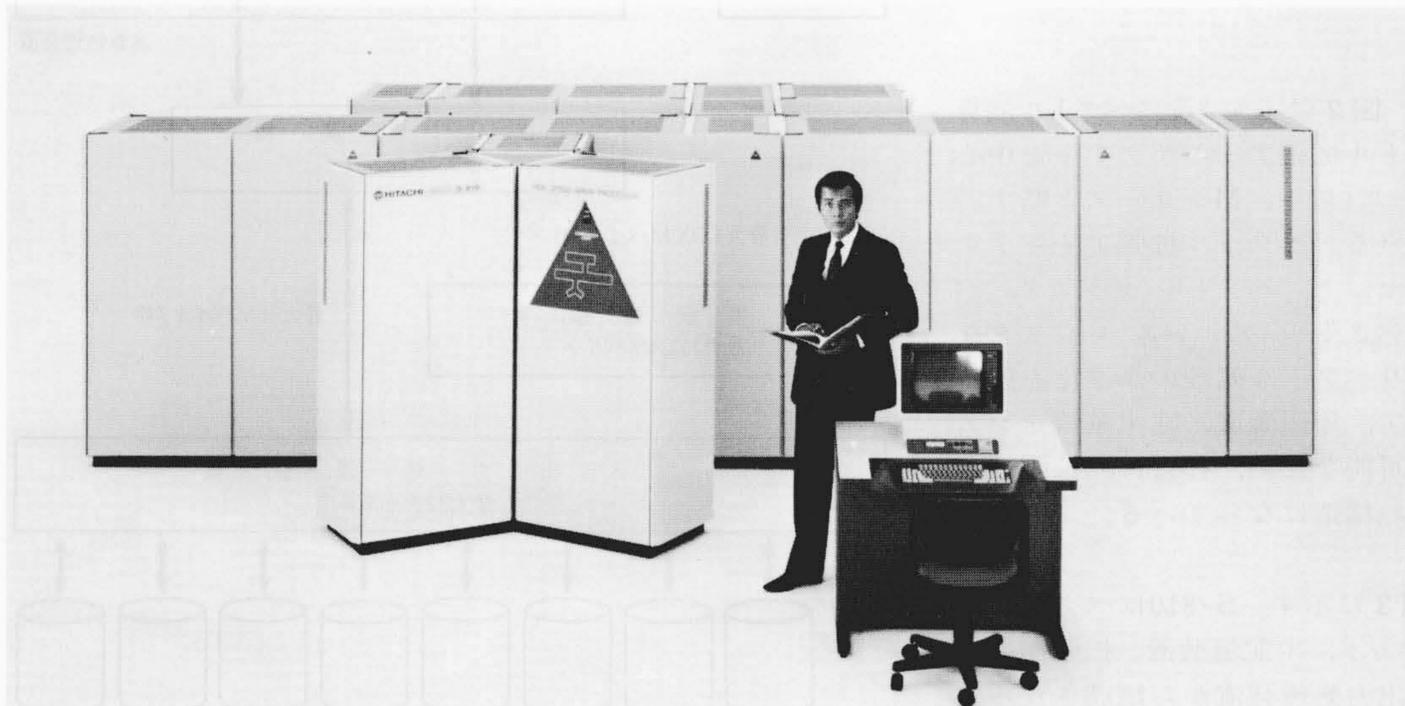


図1 HITAC S-810アレイプロセッサ システムの外観
配線遅延を小さくするため、架がトライアングル構造になっている。最大256Mバイトの主記憶、最大1,024Mバイトの半導体拡張記憶が構成できる。

* 日立製作所神奈川工場 ** 日立製作所中央研究所

(2) 高速処理能力

S-810はモデル10とモデル20の2モデルがあり、最大処理能力はモデル10が315MFLOPS(Million Floating Operations Per Second)、モデル20が630MFLOPSである。この超高速処理能力は次の技術により実現している。

- (a) 複数個の演算器がそれぞれ並行して動作することが可能な並列パイプライン演算処理
- (b) 256語×32(モデル10では16)の大容量ベクトルレジスタ
- (c) 最大256Mバイト(モデル10では最大128Mバイト)の大容量主記憶と並列主記憶アクセス処理
- (d) ベクトル命令機能拡張によるベクトル処理化の拡大

(3) 新しい記憶階層構成

演算処理速度の向上とともに、巨大科学技術計算では入力動作時間の高速化も極めて重要である。S-810ではこの問題を解決するために、主記憶とディスク装置との間に半導体を用いた大容量の拡張記憶を用意した。これは最大容量が1,024Mバイトで主記憶との転送速度が500Mバイト/秒若しくは1,000Mバイト/秒と、従来のディスクの転送速度に比べ150~300倍も高速化している。

(4) 新しい半導体技術と高速実装技術

超高速処理を実現するために、次に示す最新テクノロジーを採用している。

- (a) 550ゲート/チップ、0.35ns及び1,500ゲート/チップ、0.45nsの速さをもつ論理LSIを全面採用することにより、性能と信頼性の向上を図った。
- (b) ベクトルレジスタにはアクセス時間4.5nsの1kビットバイポーラRAM(Random Access Memory)を高密度に集積したハイブリッドモジュールを使用し、大容量化を実現した。
- (c) 主記憶にはアクセス時間40nsのスタティックRAMを高密度に集積したハイブリッドモジュールを使用し、最大256Mバイトの主記憶容量を可能にした。

(5) 信頼性、保守性の向上

高信頼性のLSIを全面採用することにより、信頼性の向上を図るとともに、サービスプロセッサを用いて診断プログラムの処理や遠隔保守動作を行なうことが可能であり、保守性を向上させた。

3 基本仕様

3.1 アーキテクチャ

S-810のアーキテクチャは、図2に示すようにベクトル演算を高速に処理する新しいベクトル拡張アーキテクチャを中心とし、従来のHITAC Mシリーズ(以下、Mシリーズと略す。)のアーキテクチャも包含している。ベクトル拡張アーキテクチャは、83種のベクトル命令セット、ベクトルレジスタ、ベクトルマスクレジスタ及びベクトルアドレスレジスタなどから構成される。これによりベクトル処理の高速化を図るとともに、従来のソフトウェア、周辺装置、端末装置をシステム構成品としてもつことが可能なため、移行性、拡張性の点でも柔軟なアーキテクチャの構造になっている。

3.2 システム構成

S-810のシステム構成図を図3に示す。S-810はベクトル処理ユニット、スカラー処理ユニット、主記憶装置、拡張記憶装置、サービスプロセッサ、入出力処理装置から構成される処理装置複合体である。

ベクトル処理ユニットはモデル10とモデル20により演算器の個数及びレジスタ個数が異なり、ベクトル処理能力がモデ

HITAC Mシリーズアーキテクチャ		ベクトル拡張アーキテクチャ	
Mシリーズ命令セット	195命令	ベクトル命令セット	83
汎用レジスタ	16	ベクトルレジスタ	32
浮動小数点レジスタ	4	ベクトルマスクレジスタ	8
制御レジスタ	16	ベクトルアドレスレジスタ	48
アドレス変換		浮動小数点レジスタの追加	+12(計16)
記憶保護		論理アドレス、実アドレス拡張	
プログラム事象記録		拡張記憶保護	
インタバルタイマ		ベクトル処理用タイマ	
クロックコンパレータ			
CPUタイマ			
TODクロック			
		データ形式	
		浮動小数点データ	64/32ビット
		固定小数点データ	32ビット
		論理演算データ	64ビット

注：略語説明

CPU(Central Processing Unit)
TOD(Time of Day)

図2 HITAC S-810のアーキテクチャ S-810のアーキテクチャは、ベクトル演算を高速処理するベクトル拡張アーキテクチャを中心とし、従来のHITAC Mシリーズのアーキテクチャも包含している。

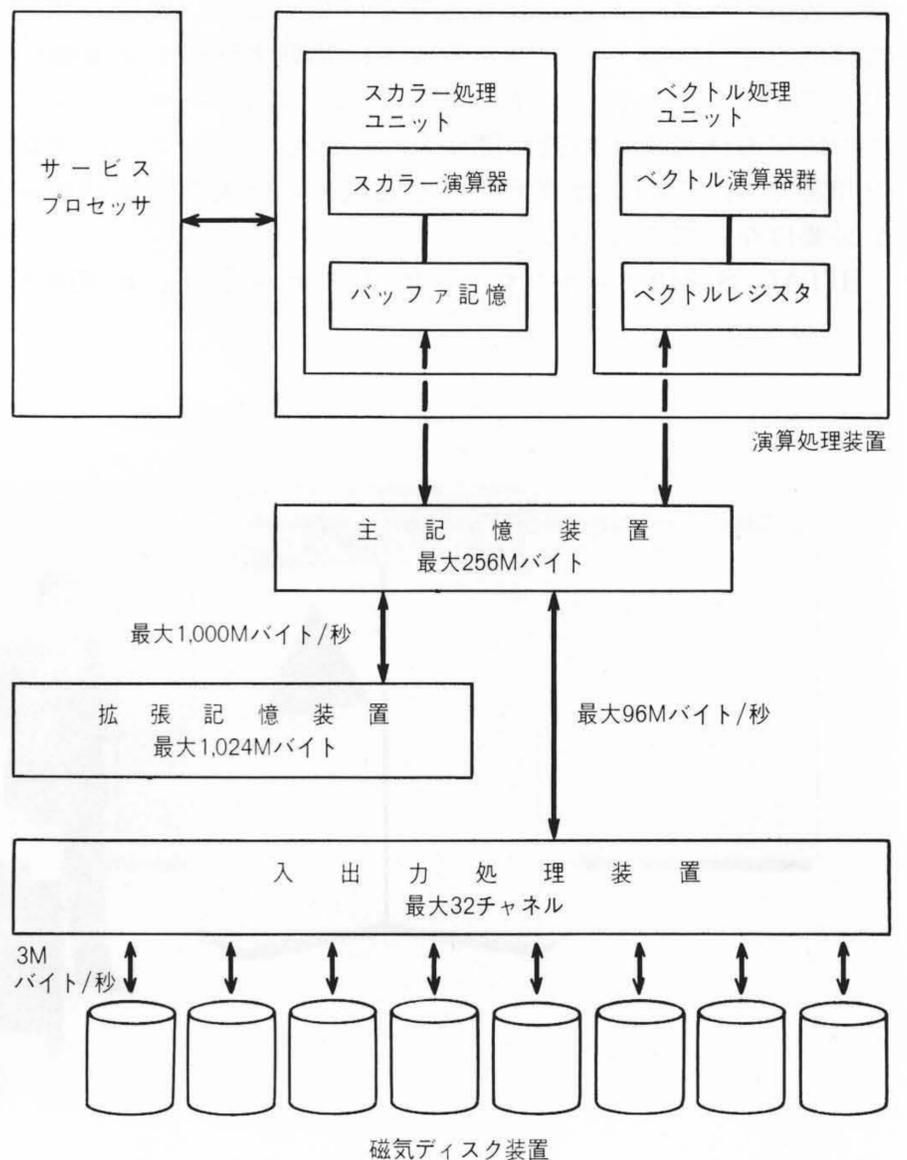


図3 HITAC S-810のシステム構成図 演算処理能力に見合った主記憶、拡張記憶を構成することができる。

表1 HITAC S-810の概略仕様 モデル10と20の二つのモデルがあり、モデル20はベクトル処理能力がモデル10のほぼ2倍になるように構成されている。

モデル		S-810/10	S-810/20	
演算処理装置	ベクトル命令数	80	83	
	レジスタ	汎用レジスタ	16(32ビット)	
		浮動小数点レジスタ	16(64ビット)	
		制御レジスタ	16(32ビット)	
		ベクトルレジスタ	256語×16	256語×32
		ベクトルマスクレジスタ	256語×8	256語×8
		スカラレジスタ	16	32
		ベクトルアドレスレジスタ	48	
	データ形式	固定小数点	32ビット	
		浮動小数点	32, 64ビット	
		論理	64ビット	
条件付ベクトル処理	あり			
ベクトル処理用タイマ機構	あり			
バッファ記憶機構	64kバイト	256kバイト		
主記憶装置	容量	16, 32, 64, 128Mバイト	32, 64, 128, 256Mバイト	
	エラーチェック	1ビットエラー訂正, 2ビットエラー検出		
拡張記憶装置	容量	128~512Mバイト	128~1,024Mバイト	
	エラーチェック	2ビットエラー訂正		
	最大転送速度	500Mバイト/秒	500, 1,000Mバイト/秒	
	予備メモリ自動切替機構	あり		
入出力処理装置	チャンネル数	8, 16, 24, 32		
	最大転送速度	96Mバイト/秒		
	チャンネル種類	B LMPX, B YMPX		

モデル20はモデル10のほぼ2倍にしてある。また、主記憶装置は最大256Mバイト、拡張記憶装置は最大1,024Mバイト、チャンネルは最大32台接続が可能である。

これらのS-810の概略仕様を表1に示す。

また、システムを運用する場合のシステム構成としては、

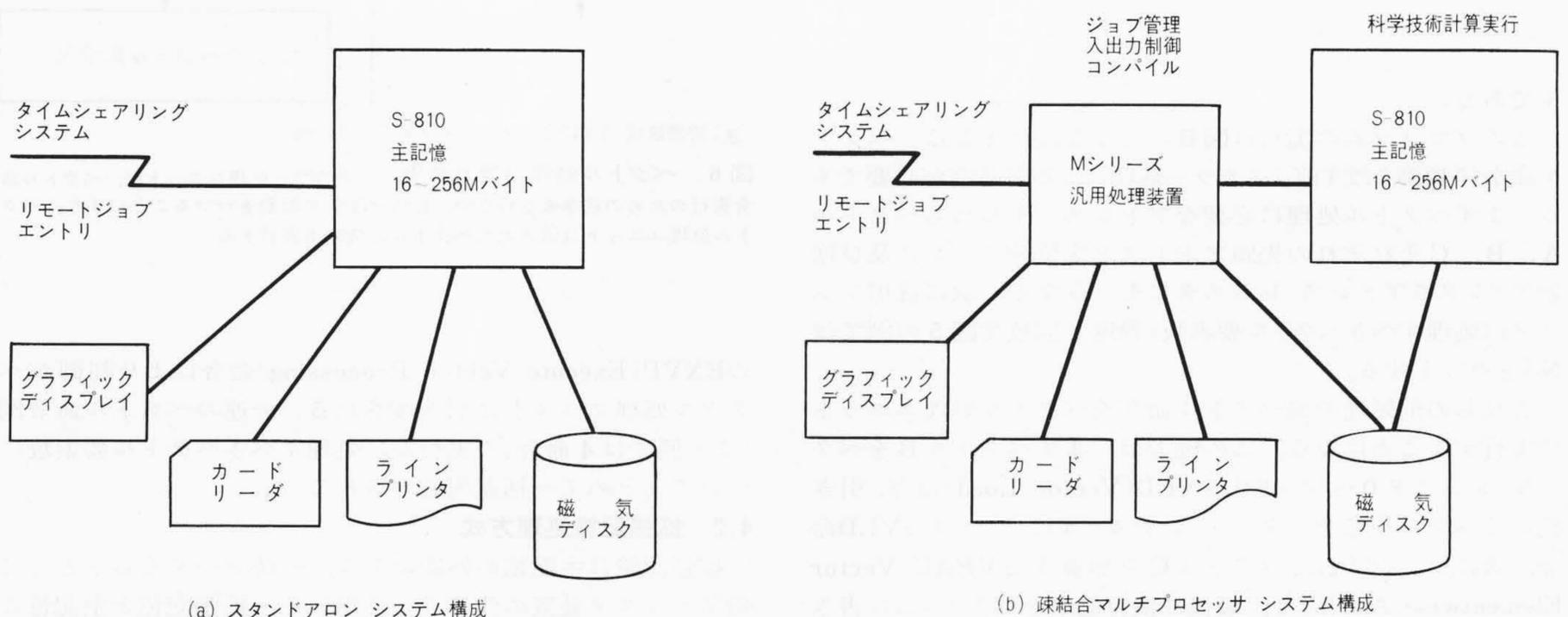


図4 HITAC S-810システム構成例 スタンドアロン構成(a)で使用する場合と、フロントエンドに汎用機を接続した疎結合マルチプロセッサの構成(b)の両方の構成が可能である。

図4に示すような二つのタイプのシステム構成をとることができる。一つは同図(a)に示すスタンドアロン構成であり、他の一つは同図(b)に示すフロントエンドに汎用処理装置を接続した疎結合マルチプロセッサ構成である。Mシリーズのもっている機能を一通り備えているので、S-810単独で会話処理や入出力制御処理をも実行させることができる。疎結合マルチプロセッサ構成の場合は、汎用処理装置でジョブ管理、入出力制御、コンパイルなどを受け持ち、S-810は科学技術計算の実行に専心するという最適な負荷分散が可能である。

4 方式設計

4.1 ベクトル処理方式

(1) ベクトル命令の種類

S-810の高速処理能力を十分に引き出すためには、ベクトル処理範囲を拡大することが重要である。ベクトル命令を実行した場合の演算能力比は、その部分を従来の命令で実行した場合と比べ十~数十倍に達する。したがって、FORTRANで書かれたソースプログラムをできるだけベクトル命令に展開し処理することが必要になる⁵⁾。

そこで、表2に示すように計算の構成要素の広範囲にわたりベクトル命令に展開し、ベクトル処理ができるようにした。同表にはM-280H IAPの場合のベクトル処理可能な範囲とを対比させて示している。S-810ではIAPでのベクトル処理可能な範囲に加えて、スパース行列の処理によくでてくる間接指標ベクトルに対する演算、整数・論理演算、関数などをベクトル命令に展開することができる。

このようなベクトル処理範囲の拡大を図るために、表3に示すベクトル命令レパートリを用意した。モデル10では80種、モデル20では83種のベクトル命令がある。これらの命令レパートリの約半数の命令には、条件付きベクトル演算を可能とするマスク付きベクトル命令のバリエーションがあり、命令数はそれらのバリエーションを含めると更に多い。

(2) ベクトル命令実行方式

ベクトル処理のアーキテクチャを具体的なFORTRANプログラムを例にとって説明する。プログラムのDOループがコンパイラによりベクトル命令に展開される対象となる。図5に簡単な例を示す。ここでA(I), B(I), C(I)は通常のベクト

表2 計算の構成要素とベクトル処理の可能性 S-810では計算の構成要素の広範囲にわたってベクトル処理ができるようにし、高速処理を図っている。

No.	構成要素	FORTRAN例	M-280H IAP	S-810
1	四則演算	A(I)=B(I)+C(I)	○	○
2	内積、総和	S=S+A(I)*B(I)	○	○
3	条件文付ループ	IF[A(I),EQ,B(I)] C(I)=D(I)	○	○
4	整数・論理演算	N(I)=L(I)+K(I)	×	○
5	間接指標ベクトル (リストベクトル)	K=N(I) A(K)=B(K)+C(K)	×	○
6	集約・分散	A(I)=B[L(I)]	×	○
7	関数(SIN, EXP)	X(I)=EXP[Y(I)]	○	○
8	参照関係不適	A(I)=A(I-4)+B(I)	×	×
9	DOループ以外	—	×	×

表3 ベクトル命令の種類と命令数 ベクトル処理範囲を拡大するために、S-810では大幅にベクトル命令の種類と数を増やしている。

分類	M-200H IAP	M-280H IAP	S-810/10	S-810/20
ロード/ストア	0命令	0命令	16命令	18命令
転送	4	4	6	7
四則演算	8	8	11	11
マクロ演算	14	20	10	10
フォーマット変換	2	2	2	2
比較	0	12	12	12
検索	0	0	7	7
論理演算	0	0	7	7
マスク演算	0	0	7	7
制御	0	0	2	2
合計	28	46	80	83

注：略語説明 IAP(Integrated Array Processor)

ルである。

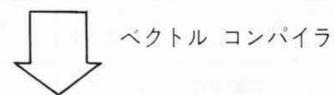
このプログラムの実行は図6のような流れとなる。ベクトル命令に制御を渡す前にスカラー処理による前準備が必要である。まずベクトル処理に必要なアドレス、すなわちベクトルA、B、Cそれぞれの先頭アドレスと変位分アドレス及び増分アドレスをアドレスレジスタにセットする。次に汎用レジスタに処理すべきベクトル要素数(繰返し回数で図5の例ではN)をセットする。

これらの前処理の後ベクトル命令をベクトル処理ユニットで実行することになる。この例では、まずベクトルBをベクトルレジスタ0へロードするVLD(Vector Load)命令、引き続いてベクトルCをベクトルレジスタ4にロードするVLD命令、次にベクトルBとベクトルCを加算するVEAD(Vector Elementwise Add)命令、最後に演算結果をベクトルAに書き込むVSTD(Vector Store)命令を、ベクトル処理ユニットで実行する。これらのベクトル命令はスカラー処理ユニットから

FORTRANプログラムのDOループ

```

DO 10 I=1,N
10 A(I)=B(I)+C(I)
    
```



ベクトル命令オブジェクト

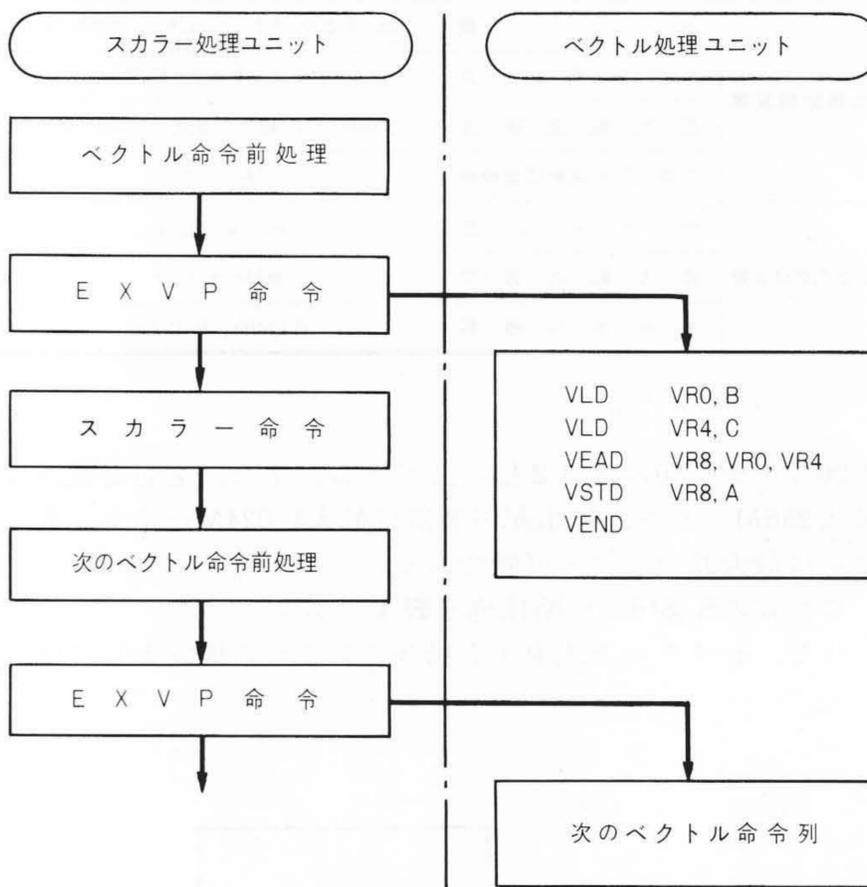
```

VLD VR0, B
VLD VR4, C
VEAD VR8, VR0, VR4
VSTD VR8, A
    
```

注：略語説明

- VLD(Vector Load)
- VEAD(Vector Elementwise Add)
- VSTD(Vector Store)
- VR_i(i番ベクトルレジスタ)

図5 ベクトル命令への展開例 FORTRANプログラムのDOループがベクトルコンパイラにより自動的にベクトル命令に展開される。



注：略語説明 EXVP(Execute Vector Processing)

図6 ベクトル処理の流れの例 スカラー処理ユニットが、ベクトル命令実行のための前準備を行ない、EXVP命令で起動をかけることにより、ベクトル処理ユニットは渡されたベクトル命令列を実行する。

のEXVP(Execute Vector Processing)命令により制御がベクトル処理ユニットに引き渡される。一連のベクトル命令例(この例では4命令)の実行が、処理すべきベクトル要素数についてまとめて一括並列処理される。

4.2 拡張記憶処理方式

拡張記憶は主記憶の外側に置き、一時データセットとして磁気ディスク装置の代替として用いる。拡張記憶と主記憶との間のデータ転送の最小単位は4kバイトである。このデータ転送は、主記憶から拡張記憶へのWrite命令と、拡張記憶

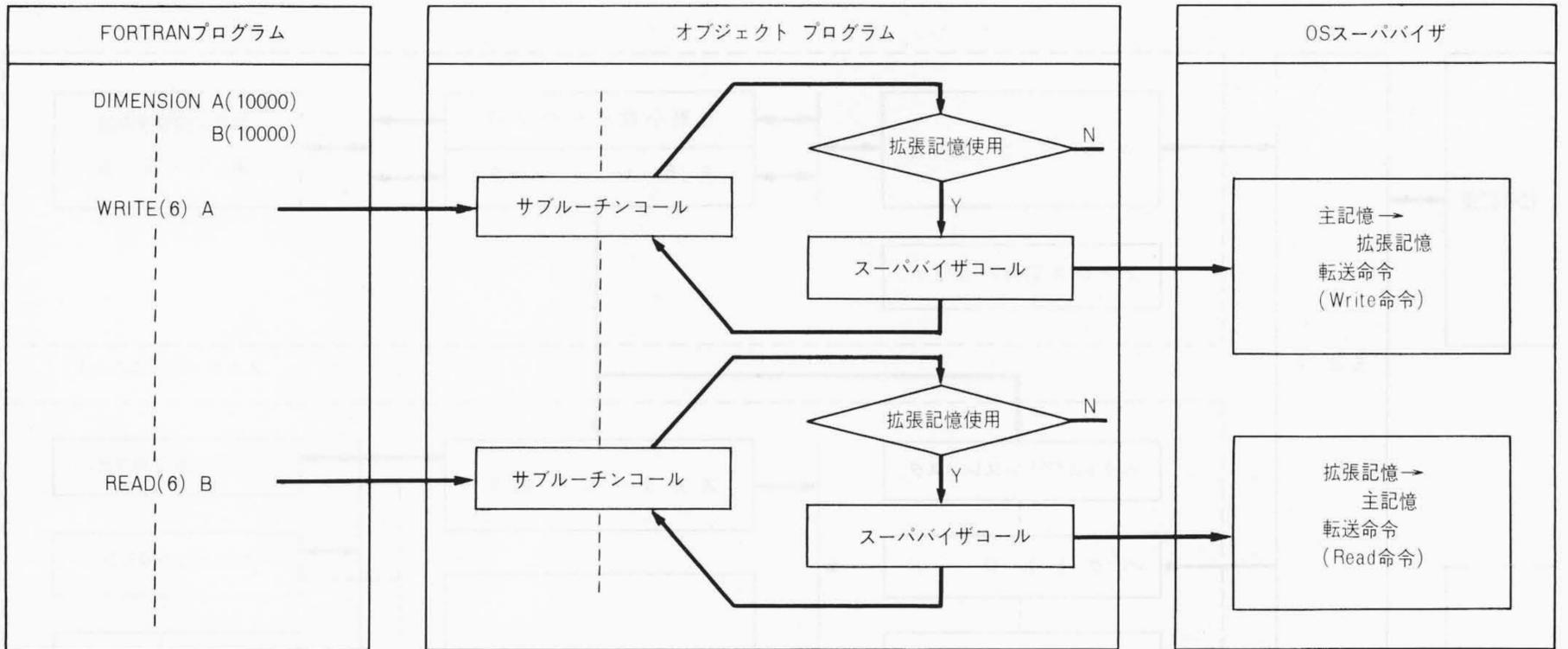


図7 拡張記憶のプログラムからの利用方式 拡張記憶はデータセット単位に磁気ディスクの代替として使用され、ユーザーは特に拡張記憶を意識することなく、プログラムを作成することができる。

から主記憶へのRead命令によって行なうことができる。これらの命令は、Mシリーズの命令セットにあるMVCL(Move Character Long)命令と同じような動作をするデータの移動命令であり、入出力命令とは異なる。このため入出力命令の場合に伴う起動時間に相当するようなオーバヘッドはない。

拡張記憶のプログラムからの利用方式の概要を図7に示す。プログラムでWRITE、READ文を発行すると、オブジェクトプログラムは、該当するサブルーチンを実行する。拡張記憶使用時は、このサブルーチンの中でOS(Operating System)スーパーバイザが呼び出され、主記憶と拡張記憶の間の転送命令が実行される。拡張記憶の使用はデータセット単位にJCL(Job Control Language)で指定するので、ユーザーは拡張記憶の存在を意識することなくプログラムを作成することができる。

5 論理構造

5.1 論理構造の特長

S-810の高速処理を実現するための論理構造の特長を次に記す。

- (1) 高速のベクトル処理を実現するために、特にベクトル処理ユニットを設けた。ここで並列動作が可能なパイプライン演算器を複数個(モデル10で6個、モデル20では等価的に12個)もち、これらが並列に動作することにより最大処理能力を高めている。
- (2) パイプライン演算器に高速にデータを供給するために、ベクトル処理ユニットに大容量のベクトルレジスタを設けた。これは主記憶とパイプライン演算器との間に位置し、高速データバッファとしての役割を果たしている。モデル20では256語×32セットを用意し、その素子にはアクセス時間が最大4.5nsという高速のバイポーラRAMを用いている。
- (3) ベクトル処理ができない部分は、従来の命令で実行する(これをスカラ処理と呼ぶ。)ことになるが、この処理を高速に実行するスカラ処理ユニットを、ベクトル処理ユニットとは別に設置した。このスカラ処理ユニットには、高速化のために専用の高速バッファ記憶を256kバイト(モデル20)用意した。また、浮動小数点レジスタ数をMシリーズの4個から16個に

増強して処理の高速化を図っている。更に、ベクトル処理ユニットとスカラ処理ユニットを並列に処理することにより、実効性能の向上を図った。

5.2 ベクトル処理ユニット

S-810の論理構造の概略ブロック図を図8に示す。主記憶、ベクトル処理ユニット、スカラ処理ユニット、入出力処理装置、拡張記憶から成る。ベクトル命令を実行するベクトル処理ユニットは、6個のパイプライン演算器を中心にベクトルアドレスレジスタ群、ベクトルロードバス、ベクトルストアバス、スカラレジスタ、ベクトルレジスタ、ベクトルマスクレジスタなどから成る。

モデル10の場合に、図8に示すように、64/32ビットの浮動小数点演算を行なうパイプライン演算器としては加算/論理演算器が2個と、直列に接続する乗除算器と加算器及び同じく直列に接続する乗算器と加算器とがある。また、ベクトルレジスタは、256語×16セット(モデル10では256語×32セット)ある。これらのベクトルレジスタには、主記憶からベクトルレジスタへデータをロードするためのベクトルロードバスと、逆にベクトルレジスタからデータをストアするためのベクトルストアバスを設けた。そして、これらのロード/ストアバスは独立に並列動作できるようにして、ベクトルレジスタ～主記憶間の転送スループットを高めている。

モデル20はモデル10に比べ、パイプライン演算器の能力が2倍、ベクトルレジスタの容量が2倍である。更に主記憶とベクトルレジスタ間のベクトルロードバスとストアバスのスループットもそれぞれ2倍になるようにしてある。こうしてモデル20のベクトル演算能力がモデル10のほぼ2倍になるような構成になっている。

6 ソフトウェア

S-810の高速性能を最大限に引き出し、効果的に運用するため次のソフトウェアを開発した^{6,7)}。

- (1) 制御プログラムVOS 3/HAP(Virtual storage Operating System 3/High speed Array Processor)

S-810を制御するプログラムプロダクトであり、汎用プロセッサ制御プログラムプロダクトVOS 3/SP 2(VOS 3/Sys-

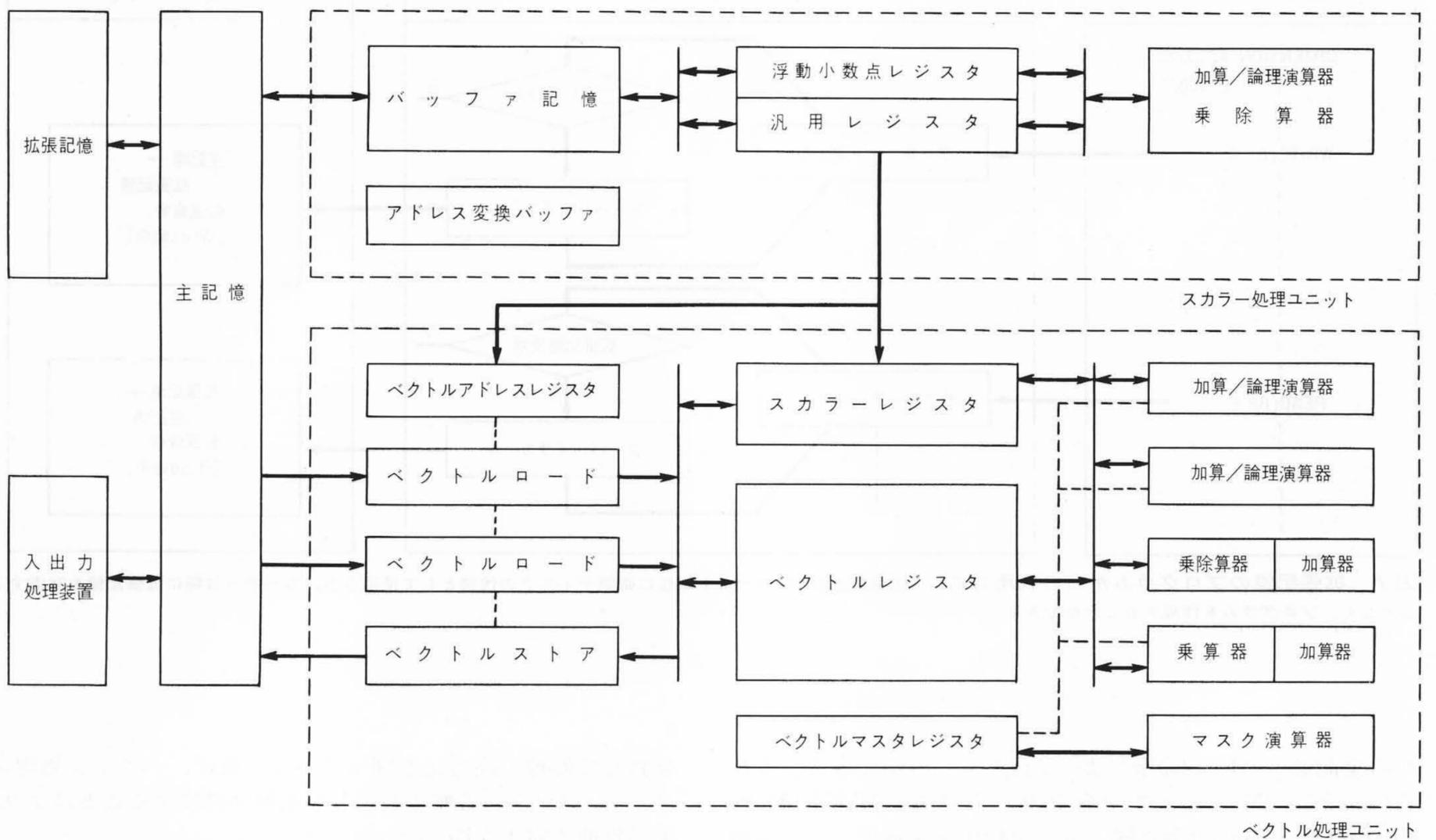


図8 HITAC S-810論理構造概略図 ベクトル処理の高速化を図るために、パイプライン演算器を複数個もち、これらが並列に動作可能になっている。

tem Product 2)とともに使用する。

(a) VOS 3/HAPによりスタンドアロン システム構成による汎用性と高速性の両立、及び疎結合マルチプロセッサ構成による最適な機能分散が可能である。

(b) また、VOS 3/SP 2の使用により、ベクトル処理と合わせてMシリーズと同様なセンタ運用が可能である。

(2) FORTRANコンパイラ

S-810の高速性能を最大限引き出すように設計されたコンパイラである。標準の言語仕様によって作成されたFORTRANプログラムから、ベクトル命令で実行できる部分を自動的に探し出す自動ベクトル処理化機能をIAPから更に発展させ拡充している。

(3) ベクトル処理化アナライザ“VECTIZER”

VECTIZERはFORTRANプログラムを解析して、ベクトル処理を広範囲に拡大するためのチューンアップを効率よく実施するためのプログラムである。この出力情報を利用してプログラムを修正することにより、ベクトル処理の部分が拡大し高速性能が得られる。

(4) サブルーチン ライブラリ“MATRIX/HAP”

S-810の高速性能を生かした専用の行列計算サブルーチンライブラリであり、次のものがある。

(a) 行列の加減算・乗算

実行列×実行列、実行列×帯行列などを扱う。

(b) 連立一次方程式

実行列、実対称行列、複素行列、帯行列などを扱う。

(c) 固有値解析

実行列、実対称行列、エルミート行列、複素行列などを扱う。

7 結 言

以上、S-810の高速処理方式について、科学技術計算を高速に処理するためのアーキテクチャの開発と、論理方式上の特徴を中心として述べてきた。スーパーコンピュータの性能を最大限に引き出すためには、処理の多くの部分がベクトル処理化されなければならないが、S-810ではこのために多くの機能をもって高速性能を実現している。

このスーパーコンピュータは、1983年下期から出荷する予定であり、性能、信頼度などの面でユーザーの要求、期待にこたえるように努力したい。

この装置の開発に当たり、終始適切な御指導、御協力をいただいた多くの関係各位に対し深く謝意を表わす次第である。

参考文献

- 1) S. Fernbach: 米国でのスーパーコンピュータの利用分野—現状と将来, 日経コンピュータ, 7, 116~125(昭56-12)
- 2) 小高, 外: 最大性能が630MFLOPSで1Gバイトの半導体拡張記憶が付くスーパーコンピュータHITAC S-810, 日経エレクトロニクス, 314, 159~184(昭58-4)
- 3) 小高, 外: HITAC M-180内蔵アレイプロセッサ, 日立評論, 60, 53~56(昭53-6)
- 4) 河辺, 外: HITAC M-200H内蔵アレイプロセッサ, 電子通信学会技術研究報告, EC80-79, (昭56-3)
- 5) 梅谷, 外: 技術計算プログラムの自動ベクトル化技術, 情報処理, 23, 1, 29~40(昭57-1)
- 6) 青山, 外: スーパーコンピュータHITAC S-810 FORTRANコンパイラ“VOS 3 FORT77/HAP”, 日立評論, 65, 8, 551~556(昭58-8)
- 7) 後, 外: スーパーコンピュータ“HITAC S-810”による行列計算, 日立評論, 65, 8, 557~562(昭58-8)