

スーパーコンピュータHITAC S-810 アレイプロセッサ ハードウェア技術

Packaging Technologies for HITAC S-810 Array-Processor

急速な科学技術の進歩に伴い、多くの分野で複雑で大規模な計算需要が増えてきている。このような大形科学技術計算分野での要求にこたえるために、最大処理性能が630MFLOPSのスーパーコンピュータHITAC S-810アレイプロセッサを開発した。

スーパーコンピュータでの高速性能を実現するためには、演算処理の高度な並列化をはじめとする論理方式上の改善に加えて、ハードウェア技術の面でも高速化及び高密度化実装が重要な課題となる。

本稿では、HITAC S-810アレイプロセッサの高速化、及び高密度化実装を実現するために採用した半導体、ハイブリッドモジュール、多層プリント基板、冷却技術などについて述べる。

小林二三幸*	Fumiyuki Kobayashi
滝沢克彦*	Katsuhiko Takizawa
荻上勝己**	Katsumi Ogiue
戸田堯三***	Gyôzô Toda
和嶋元世****	Motoyo Wajima

1 緒言

HITAC S-810アレイプロセッサシステム(以下、S-810と略す。)では、630MFLOPS(Million Floating Operations Per Second)という超高速処理能力を実現するために、論理方式的には、並列動作可能な最大12個のパイプライン演算器とそこへ高速でデータを供給するための高速・大容量ベクトルレジスタ256語×32セットを用意している。更に、巨大計算に備えて最大256Mバイトの高速・大容量主記憶、最大1,024Mバイトの大容量半導体拡張記憶を備えることによって、従来のコンピュータの性能、機能及び記憶容量をはるかに上回る能力と構成をもたせている。

こうした高速化、大容量化を支えるために、ハードウェア技術の面でも、HITAC M-280H(以下、M-280Hと略す。)で確立したLSI化技術に加えて、幾つかの新しいハードウェア技術を取り入れ、アレイプロセッサに最適な高速、高密度化実装を図った。具体的にはアクセス時間4.5nsの1kビット高速バイポーラメモリ、アクセス時間40nsの16kビットスタティックメモリと、それらをセラミック基板上に実装したハイブリッドモジュール化実装、格子間隔が50ミル(1.27mm)の多層プリント基板を使った両面実装、バックボード間結線を最短化したスーパートライアングル架構造、循環水式空冷方式による高効率冷却などの技術である。ここでは、これらの高速化、高密度化技術について述べる。

2 高速、大容量半導体

S-810には、M-280Hで開発した高速論理LSIに加えアクセス時間4.5nsの1kビット高速バイポーラメモリと、アクセス時間40nsの16kビット高速スタティックメモリを新しく開発し使用している。

(1) 論理LSI

M-280Hで開発した技術を基に、集積度1,500ゲート、回路遅延0.45nsの高集積LSIと集積度550ゲート、回路遅延0.35nsの高速LSIの2種類のLSIを用途に応じ混在して使用している。すなわち、1,500ゲートの高集積LSIは規則性がある高

速化が必要な論理回路に用い、550ゲートの高速LSIはゲート・ピン比がそれほど高くなくて高速化を要求される論理回路に使用した。

このことによって、LSI内のゲート使用効率を大幅に高めることができ、全体のゲート数の中でLSIの占めるゲートの割合(LSI化率)を98%と大幅に向上させた。

(2) ロジックインメモリ素子

M-280Hで開発した6,144ビットのメモリと770ゲートの論理回路とを同居させたロジックインメモリ素子をS-810でも、TLB(アドレス変換バッファ)、BS(高速バッファ記憶)のBAA(バッファアドレスアレイ)などに使用している。

(3) 高速バイポーラメモリ素子

BSやCS(制御記憶)には、M-280Hと同じアクセス時間が7nsの4kビットバイポーラメモリを使用している。

更に、アレイプロセッサの心臓部であるベクトルレジスタ用には、アクセス時間4.5nsの1kビットバイポーラメモリを開発した。このベクトルレジスタ用メモリは、消費電力1W、電源電圧は-5.2Vで入出力はECL(Emitter Coupled Logic)レベルである。図1にチップの写真を示す。チップを収容するパッケージには、従来のデュアルインライン方式のパッケージに対してリードレスチップキャリア方式を採用することにより、パッケージのリード部分のインダクタンスをなくし、高速動作でのS/N比(信号対雑音比)を改善した。また、パッケージの小形化によりパッケージ上の遅れも低減できた。

(4) 主記憶用16kビットスタティックメモリ

主記憶装置には、処理能力に見合っアクセス時間の速いメモリ素子が要求される。そこで、アクセス時間40nsの16kビットスタティックメモリ素子を使用した。

このメモリ素子も、20ピンのリードレスチップキャリアに収納し高速化するとともに、ハイブリッドモジュール化によりデュアルインラインに比べ4倍以上の実装密度の向上を図っている。

* 日立製作所神奈川工場 ** 日立製作所デバイス開発センター *** 日立製作所生産技術研究所 **** 日立製作所日立研究所

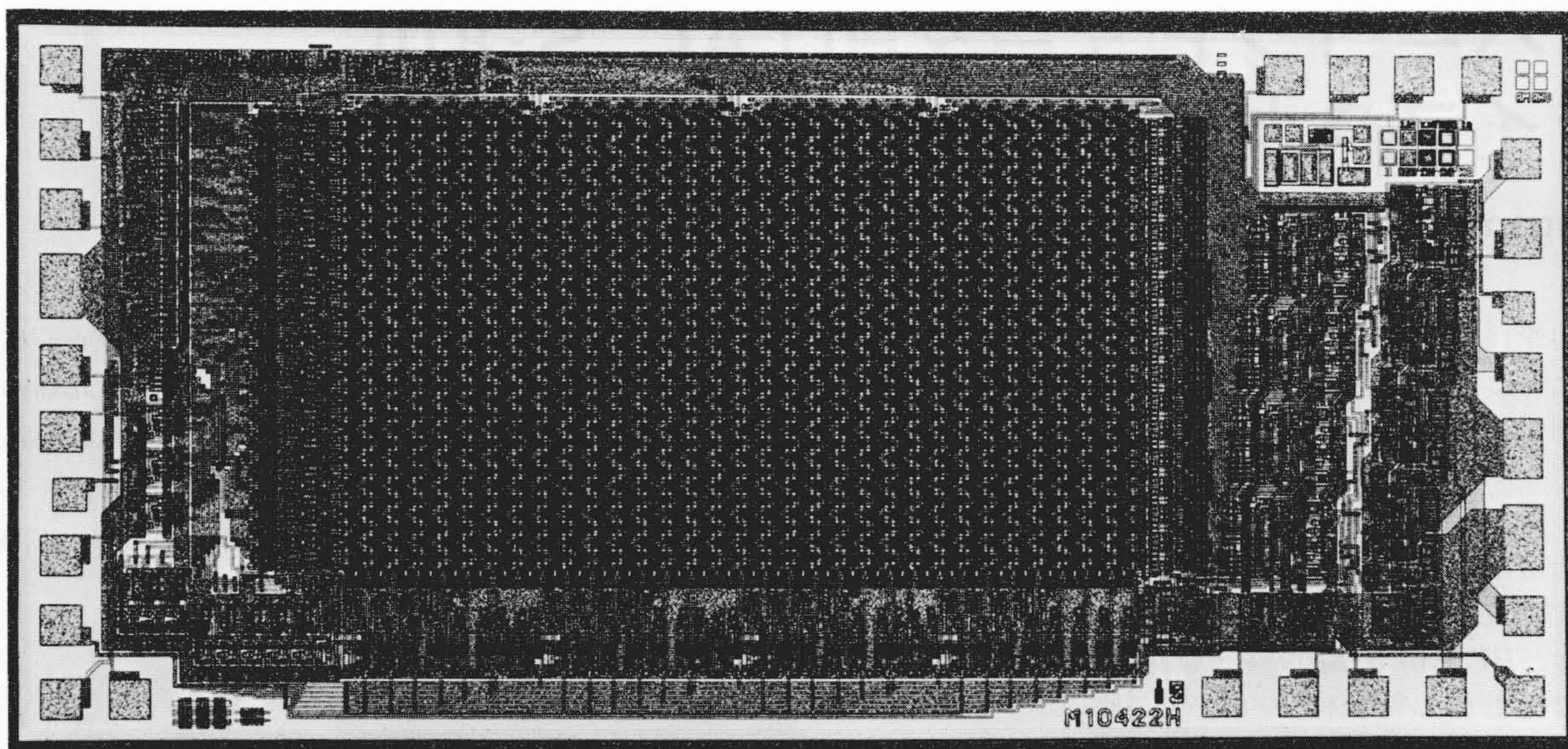


図1 1kビット バイポーラ メモリ チップ アクセス時間4.5nsでチップ サイズは4.0×1.9mm²である。ベクトル レジスタに使用している。

3 セラミック基板を使ったハイブリッド実装

VR(ベクトル レジスタ)用のVRモジュールと主記憶用のMS(メインストレージ)モジュールの2種類のハイブリッドモジュールを開発した。これらのモジュール化実装技術は、前記のリードレスチップキャリアに適した実装方式として開発されたものである。チップキャリアパッケージと熱膨張係数の等しいアルミナ多層基板を配線基板として、その上にチップキャリアを直接はんだ付けしているため、実装密度の大幅な改善と高速化を可能にした。

VRモジュールは、導体層数が8層の2.5cm角のセラミック基板に、アクセス4.5nsの1kビットバイポーラメモリを6個搭載して、6kビット/モジュールとしたものである。プリン

ト基板に実装するのに比べて2倍以上の高密度化になっている。このモジュールの消費電力は6Wで、冷却のために図2のようにそれぞれのチップキャリア上には冷却フィンを付け、風速5m/sで熱抵抗は7℃/W以下に設計してある。モジュールのピン数は全部で108ピンで論理LSIと同じ30ミル(0.762mm)ピッチのフラット形である。

一方、MSモジュールは、導体層数が7層の5.4×4.6cm²のセラミック基板にアクセス40nsの16kビットスタティックメモリを36個基板に両面実装している。この結果、プリント基板実装に比べ4倍以上の高密度化を実現した。図3にMSモジュールの写真を示す。

4 高密度パッケージ

M-280Hなどで使用している格子間隔75ミル(1.91mm)10層のプリント基板を使った高密度論理パッケージに加えて、高速化のかなめとなるベクトルレジスタとその制御回路用の両面実装パッケージ、及び高速・大容量の主記憶用の大形パッケージの2種類のパッケージを新たに開発した。

VR用の両面実装パッケージには、格子間隔50ミル(1.27mm)の14層多層プリント基板を使用している。このプリント基板の大きさは、高密度論理パッケージと同じ40×20cm²で、電源グランド用の6層、表面の2層、信号用の6層から成る。信号層のスルーホール形式には、一つの格子点で複数信号の層渡りが可能な多重スルーホール技術を採用している。この技術は、M-280Hの100ミル(2.54mm)格子のバックボードで実用化したものを、今回50ミル(1.27mm)多層基板に応用したものである。この結果、M-280Hなどのパッケージに使用した75ミル(1.91mm)10層基板に比べ、同一面積で3.5倍以上の配線を収容することができた。

これは、多層化接着に適した寸法安定性の良い薄いプリント板材料と、アスペクト比(穴径/板厚比)を1対7まで高めた小径穴技術とスルーホールめっき技術の開発、100μmという細かいパターン幅を実現するための高精度パターン形成技術など、新しいプリント基板製造プロセスの開発と改良によって可能になったものである。

この高密度多層プリント基板は、両面実装構造を採用する

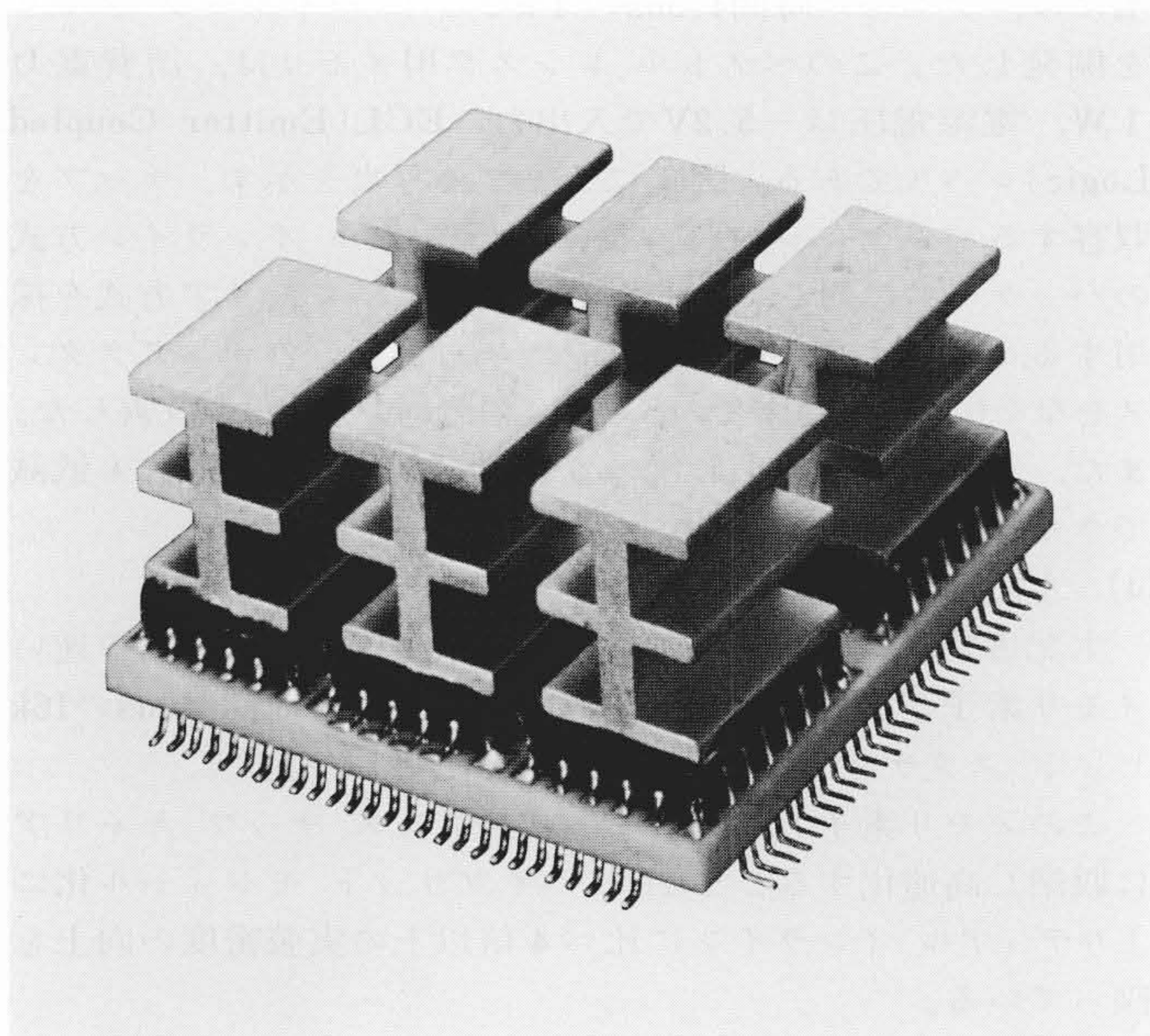


図2 VR(ベクトル レジスタ)モジュール 導体層8層の2.5cm角のセラミック基板に1kビットメモリを6個実装している。ピン数は108ピンで30ミル(0.762mm)間隔のフラット形である。

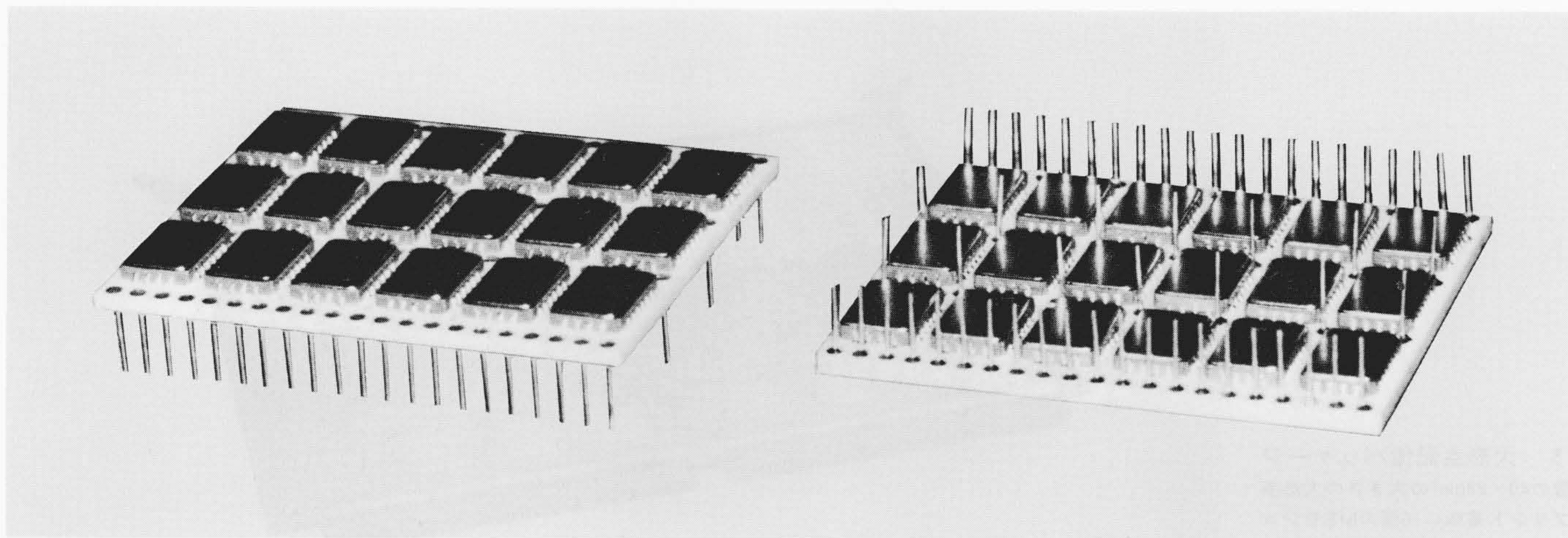


図3 MS(メイン ストレージ)モジュール 導体層7層の $5.4 \times 4.6\text{cm}^2$ のセラミック基板の両面に16kビット スタティック メモリを36個実装している。ピン数は60ピンで主記憶用に使用している。

ことによって、プリント基板上の配線による遅れ時間の短縮を図った。図4に両面実装パッケージの写真を示す。表面にはベクトルレジスタの制御回路である41個のLSIと52個のSSIを配置し、裏面には16個のVRモジュールと100個の終端抵抗モジュールを配置した。この結果、パッケージ1枚当たりの実装密度として中形計算機1台分に相当する、50kゲート

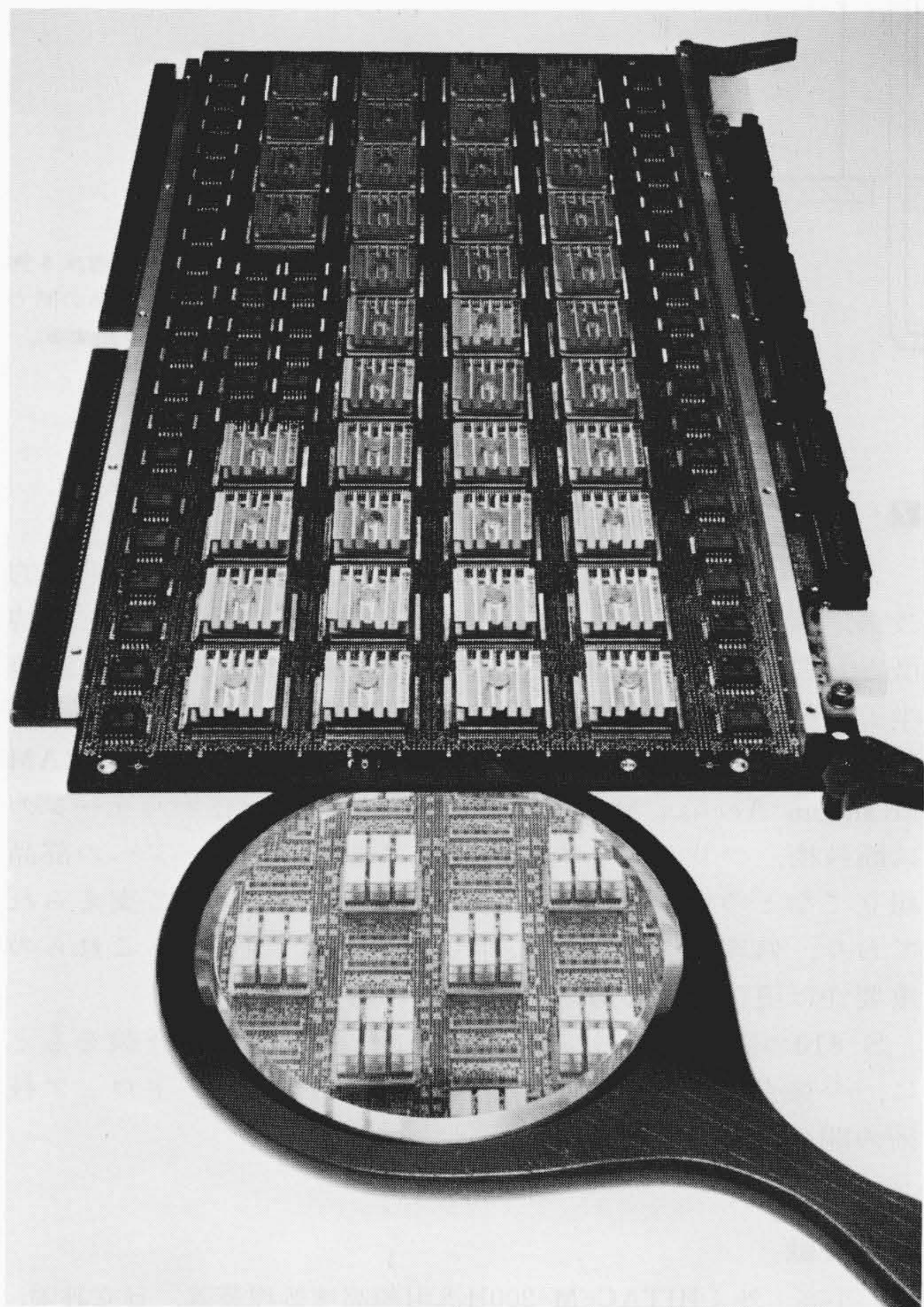


図4 両面実装パッケージ 50ミル格子14層の多層プリント基板の両面に、50kゲートの論理回路と100kビットのメモリが実装されている。ベクトルレジスタとその制御論理回路に使われ、基板の大きさは $40 \times 20\text{cm}^2$ である。

トの論理回路と100kビットのメモリを収容することができた。

主記憶用大形パッケージは、高速記憶の大容量化に対応するためM-280Hなどで使用しているプリント基板($40 \times 20\text{cm}^2$)よりも一回り大きな $40 \times 28\text{cm}^2$ の大きさのプリント基板を使用している。このプリント基板は、電源グランド用の4層、表面2層、信号用の4層から成り、格子間隔は実装部品のリードピッチに合わせた100ミル(2.54mm)である。

図5に大形主記憶パッケージの写真を示す。この大形主記憶パッケージには、主記憶制御回路用に8個の高速論理LSI、パリティチェック用の2個のTTL(Transistor Transistor Logic)レベルLSI、80個のメモリドライバ/レシーバ用IC、16個のMSモジュールが実装されている。この結果、大形パッケージ1枚当たり1Mバイトの容量を実装できた。

5 実装架構造

M-280Hなどと同様に容積当たりの実装密度を上げるため、パッケージ、バックボードと呼ぶ2種類の基板を組み合わせた3次元実装を採用している。バックボードは18層の多層プリント基板から成り、1枚のバックボードには最大24枚のパッケージを収容している。架構造は、これらのバックボードを上下に2段積み重ねて一つの実装架を構成した。

このように高集積LSIに加え、新しいハイブリッドモジュール化実装、パッケージの両面実装、バックボード上への3次元実装法の実現により、単位体積当たりの実装密度をM-280Hの約8倍にするとともに、配線遅延時間の改善を行なうことができた。更に、これらの新しいパッケージ実装法に加えて、10cm当たり0.5nsというケーブル配線による遅れを短縮するために、ベクトル演算部の実装架の配列をY字形に配置した「スーパートライアングル」構造を開発した。これにより、バックボード間のケーブルの長さを従来に比べ30~50%短縮し、ケーブル配線による遅れ時間を短縮した。更に、このスーパートライアングル構造はS-810の外観デザインにも効果的に生かされ、S-810のスーパーコンピュータとしてのイメージ強化にも貢献している。

6 新しい冷却方式

以上述べてきたように、高速性能を実現するための高密度化実装の工夫を行なった結果、単位面積、容積当たりの発熱

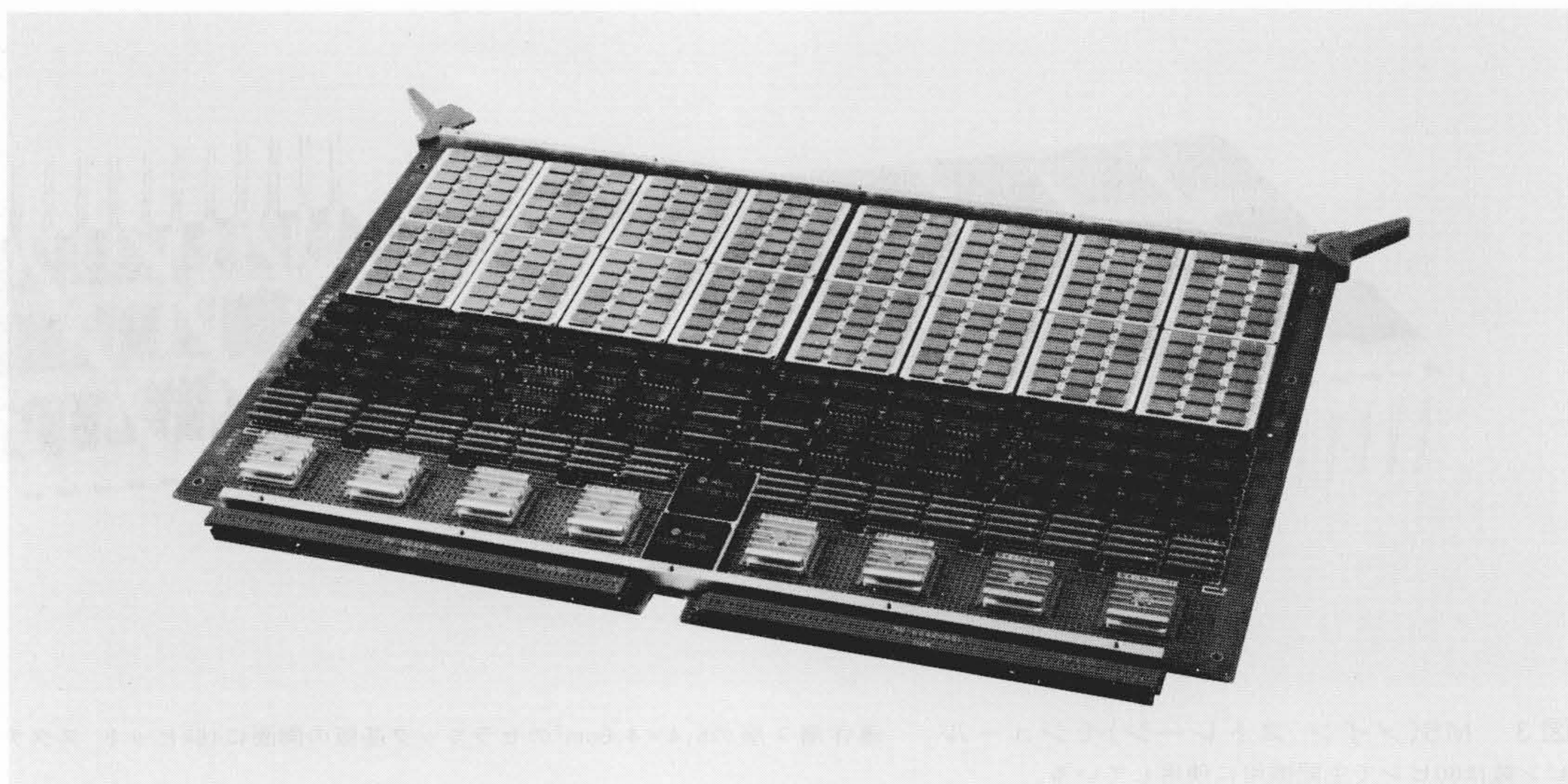
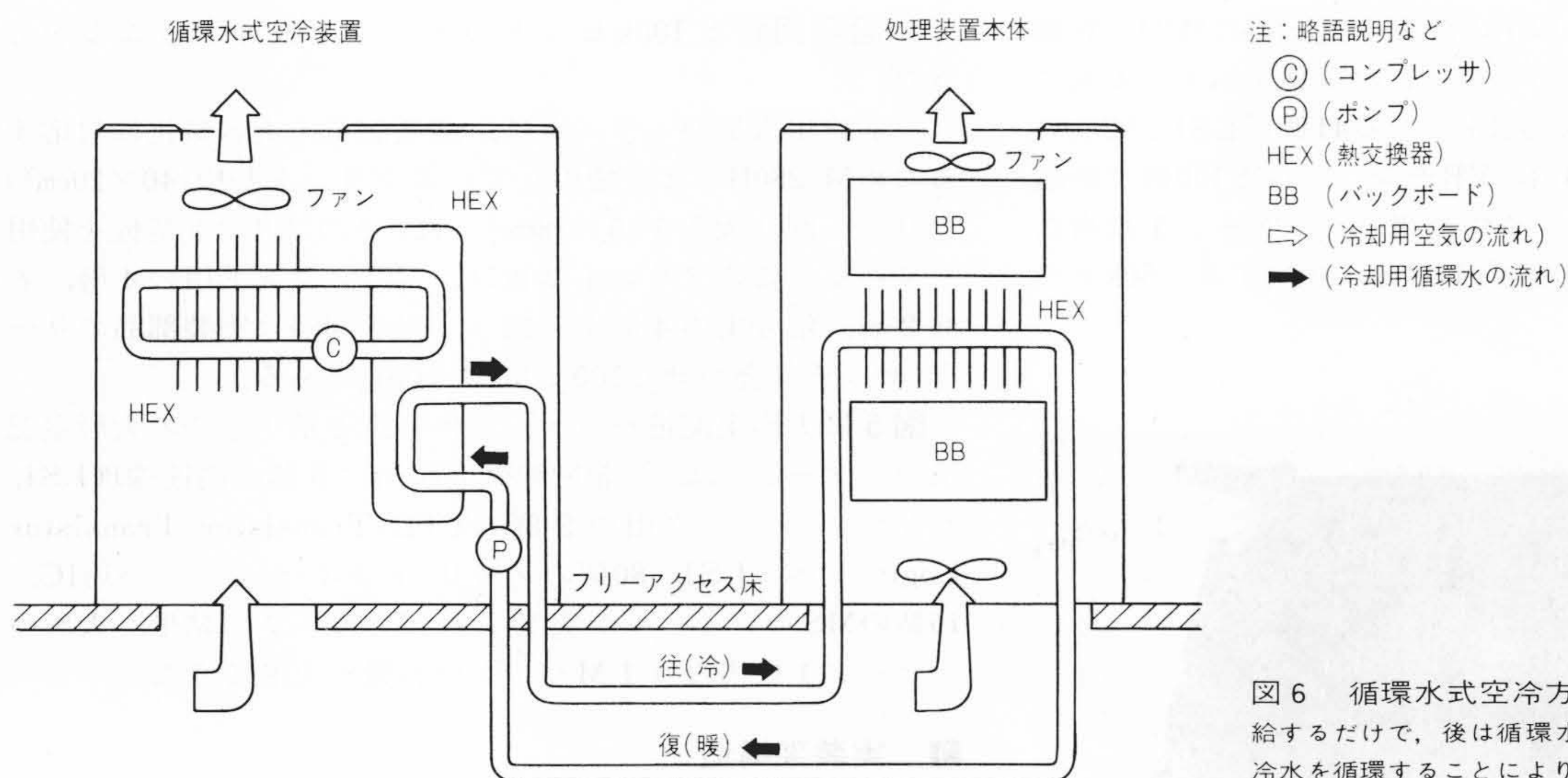


図5 大形主記憶パッケージ
10層の40×28cm²の大きさの大形多層プリント基板に16個のMSモジュールと周辺回路を実装し、パッケージ1枚当たり1Mバイトのメモリ容量をもつ。



注：略語説明など

Ⓒ (コンプレッサ)

⒫ (ポンプ)

HEX (熱交換器)

BB (バックボード)

⇨ (冷却用空気の流れ)

→ (冷却用循環水の流れ)

図6 循環水式空冷方式 導入時に100lの水道を水を供給するだけで、後は循環水式空冷装置と処理装置本体の間で冷水を循環することにより、処理装置内の空気を冷却する。

を高めることになり、熱の処理が大きな問題となった。これを解決するために、論理LSIには低熱抵抗パッケージを採用し、上下のバックボード間には冷水を流した熱交換器を取り付けた架構造とした。このようにすることにより、下段のバックボードによる空気温度上昇分をこの熱交換器で取り去り、上段のバックボードへの入気の温度を下段バックボードへの入気温度とほぼ等しくしている。この結果、処理装置部分は空冷でありながらバックボード1枚当たりの発熱量を従来の2倍以上許容することが可能となった。

上下バックボードの間に取り付けした熱交換器に冷水を供給するために、一定量の水をコンピュータシステム内で循環させる循環水式空冷装置を開発した。この装置はコンプレッサと熱交換器を標準装備した空冷式のため、特別な配管設備がいらず、水冷でありながら水は循環水空冷装置と処理装置本体との間を循環しているだけなので、導入時に約100lの給水を行なうだけで常時給排水の必要がなく、水冷方式の利点を生かしながら設備条件の面でも大幅に緩和されている(図6)。

これらの新しい冷却技術の導入により、一般的な大形コンピュータ室の空調条件の下で、LSIの接合部温度を70℃以下に、架内温度ばらつきを20℃以下に抑えることができた。

7 結 言

スーパーコンピュータS-810では、内部処理能力の飛躍的改善、高速・大容量の主記憶、高速半導体拡張記憶などを特徴としている。本稿はこれらを実現するために開発した高速半導体技術、高密度実装技術について述べた。ここに述べた新しいハードウェア技術は、設計自動化の技術、LSI、RAM (Random Access Memory) などのテスト技術、パッケージの診断技術、プリント基板製造及び高密度パッケージへの部品組立てなどの生産技術の地道な改善、開発によって支えられており、処理装置が複雑、高性能になるにつれて、これらの重要性は更に高まるものと考えられる。

S-810の開発に伴って得られたこれらの技術的経験をもとに、今後もより高速化、高密度化を指向したハードウェア技術の開発に努力していきたい。

参考文献

- 1) 小高, 外: HITAC M-200H汎用超高速処理装置, 日立評論, 61, 12, 841~846(昭54-12)
- 2) 泉, 外: HITAC M-280H処理装置の開発, 日立評論, 63, 9, 627~632(昭56-9)