

# CMOS技術動向と応用展開

## Recent Advancement and Future Trends of CMOS Technology for VLSI Application

最近になって、CMOS技術が特に注目されるようになってきた。本論文では、CMOS技術のシステムに与えるインパクトとして、集積トランジスタ数が $10^5$ 個を超えるVLSIでは、集積度増に伴う消費電力低減手段として、CMOSが必要条件となることを示す。また、従来形CMOSの欠点を解除する手段として、 $2\mu$ 以下の微細加工技術を用いて高速化を図り、寄生的に発生するラッチアップ対策、ドレーン耐圧向上及びホットキャリア対策について述べる。これらの高性能CMOS技術を用いたシングルチップマイクロコンピュータ、マイクロプロセッサ及び各種の周辺LSI系列について述べ、ゲートアレイに適用した例も示す。特に、Hi-CMOS適用による高速MOSメモリセル面積の大幅な改善例を示す。

富永四志夫\* *Yoshio Tominaga*  
 小佐保信\* *Yasunobu Kosa*  
 久保征治\*\* *Masaharu Kubo*

### 1 緒言

最近、あらゆるMOS(Metal Oxide Semiconductor)製品分野で、CMOS(Complementary MOS)技術の適用が強力に推進され始めた。古くから、CMOSの低消費電力特性などの回路的優位点は分かっていた。しかし、製造工程数の増加や低速動作などの欠点が指摘され、時計や電子式卓上計算機などの特殊用途に限定されていた。ところが、従来のNMOS(NチャンネルMOS)デバイスによる高集積化が進むにつれて消費電力が増し、特殊冷却をしない限り、高信頼性を保つためのデバイス接合温度を維持することが困難となる。そこで低消費電力特性を生かしたCMOSの適用が検討され、同時に、微細加工技術力と回路技術の改良工夫により、CMOSの欠点を取り除かれて、MOSメモリやマイクロコンピュータなどの一般製品に積極的に採用されるようになった。

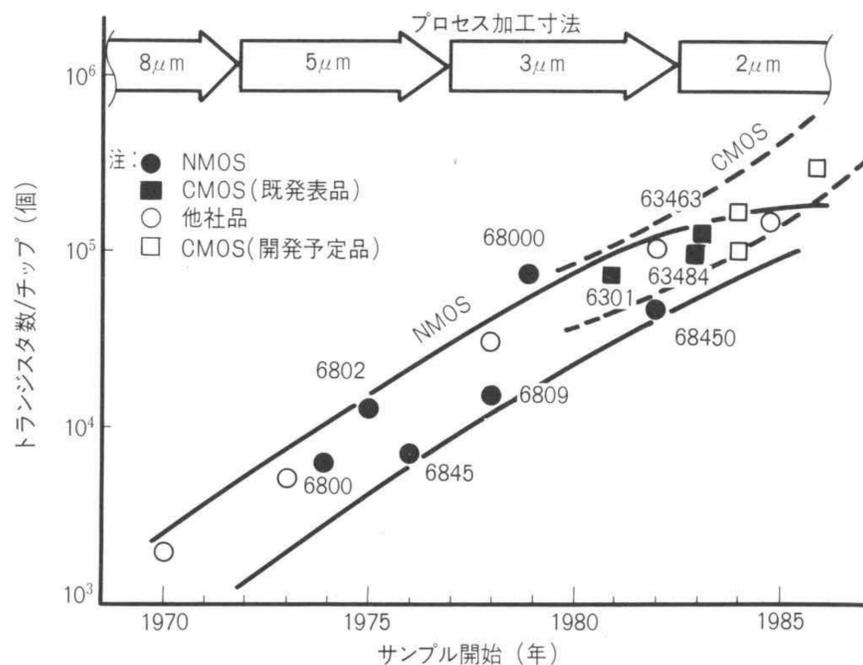
### 2 CMOS技術のシステムへのインパクト

微細加工技術の進歩と設計技術の向上により、LSIの集積度は2~3年に2倍の割合で増加している。図1は、マイクロプロセッサの集積度について年次推移を示し、そのときの基本プロセス最小加工ピッチも同時に示したものである。最近製品化されるLSIは、ほとんど $2\mu$ 加工のCMOS技術を用いて開発されている。CMOS技術は今後もあらゆる分野のLSIに採用されてゆく。図2に、高性能CMOSの発展過程を示す。従来のアルミゲートCMOSが低消費電力特性などの長所をもちながら、自己容量が大であるため、内部負荷遅延が大きく低速動作の時計、電子式卓上計算機などの特殊小形用途にだけ使用されていた。一方、NMOSは、電子移動度が大きく高速動作に適し、MOSメモリやマイクロプロセッサなどの高集積LSIに採用されてきた。しかも、NMOSダイナミックMOSメモリのように集積度が4倍になっても消費電力の増加が、主にアドレスとセンス系に限られる場合に適用された。しかし、一般的には、集積論理数の増加にほぼ比例して消費電力が増す。消費電力の増加はデバイスの接合温度上昇となるため、通常の場合、チップを実装するパッケージの熱抵抗で決まる最大消費電力が1W以下である必要がある。集積された論理LSIの動作ゲート数比率にもよるが、図1に示すようにLSI当たりの集積トランジスタ数は $10^5$ 個がNMOSの限界であり、

これ以上に大きくするときには特殊な放熱パッケージを必要とする。したがって、 $10^5$ 個以上の素子を集積する場合のCMOS化は必然的結果であると言ってもよい。そこで、CMOSの短所である低速動作をいかに解決したかについて述べる。

最近の微細加工技術の向上によって、デバイスの縦横方向にスケールダウンすることが可能となり、電流駆動能力が増すと同時に寄生容量が減少し、遅延時間が減り高速化された<sup>1)</sup>。2種類の縮小法について、遅延時間と消費電力の改善程度を図3に示す。なお、スケールダウンによって配線抵抗も増加するので、これを考慮した場合の高速化は影響を受ける。そこで、微細化と同時に配線抵抗を下げるために、モリブデンシリサイド配線技術や純金属材料による配線加工技術の開発も必要となってきた。

スケールダウンによる高速化は、消費電力と遅延時間積を



注：略語説明 CMOS(Complementary Metal Oxide Semiconductor)  
 NMOS(NチャンネルMOS)

図1 マイクロプロセッサの集積度推移と基本プロセスの進歩 加工寸法の微細化に伴い集積度も増加してきたが、トランジスタ数が $10^5$ 個を超えると、デバイス接合温度上昇の制限から、CMOS方式を採用する製品が主流となる。

\* 日立製作所武蔵工場 \*\* 日立製作所中央研究所 工学博士

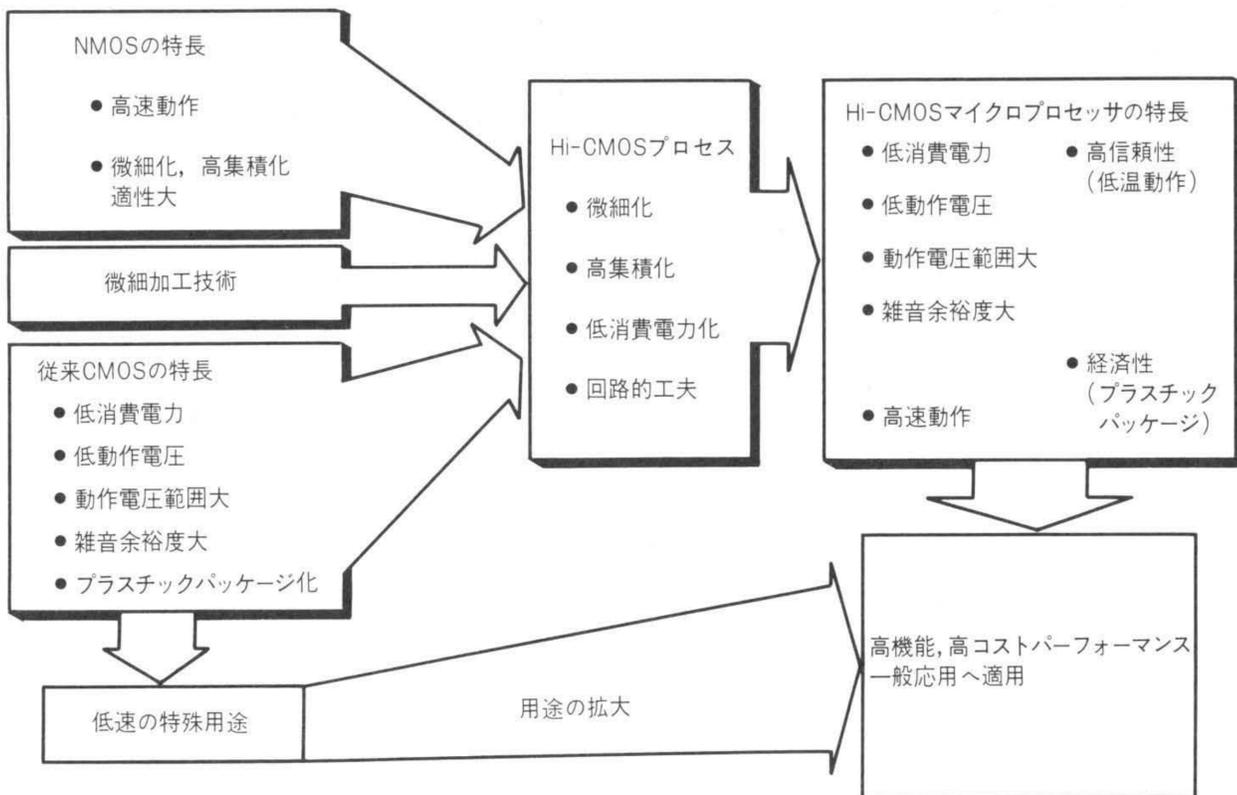


図2 高性能CMOS(Hi-CMOS)の発展過程 従来のCMOSが低消費電力で動作余裕も広いが、低速動作であった。微細加工技術の発達と回路的工夫により、高性能VLSIに適用されるようになった。

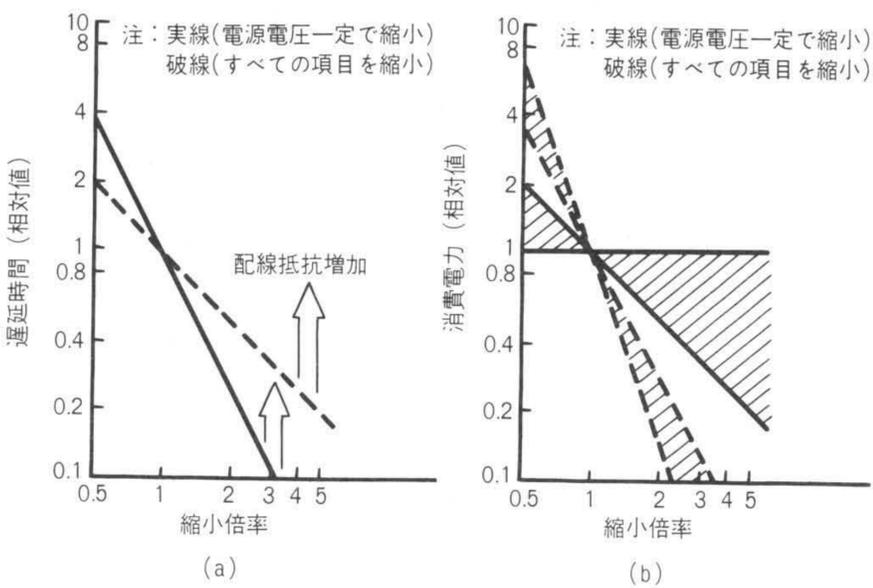


図3 デバイス縮小による遅延時間と消費電力の改善程度 (a)は電源電圧を一定としてスケールダウンした場合、デバイス構造寸法の縮小による高速化が縮小倍率の2乗に比例して改善されることを示し、(b)は消費電力が最善のケースで縮小倍率に反比例することを示す。

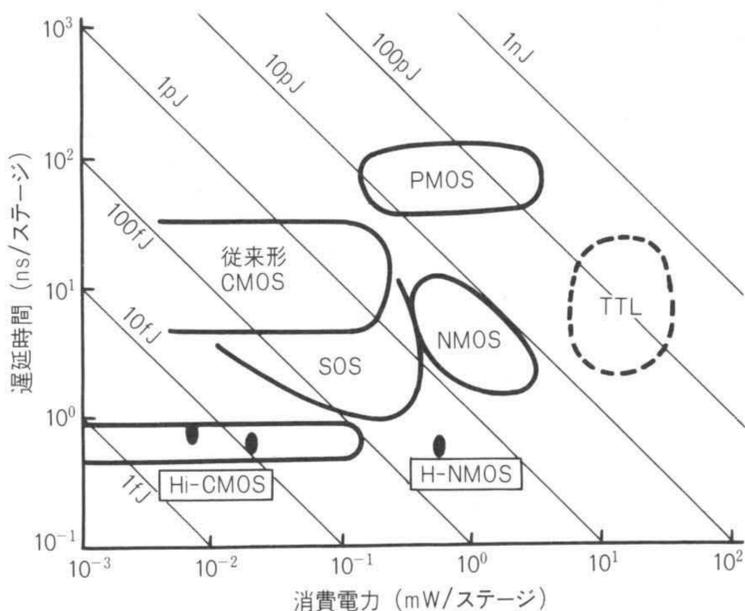


図4 高性能CMOS(Hi-CMOS)の電力遅延積 従来形CMOSに対し、改良形Hi-CMOS方式では、電力遅延積が約一けた改善されている。

下げ、図4に示す例のように、従来形CMOSからHi-CMOS (Hitachi High performance CMOS)とすることによって、約一けたの高性能化が図られている。このように、CMOSの回路的長所を生かしながら、微細化によって高速性を確保した高性能CMOS技術のシステムへの適用によって得られる利点は、次に述べるとおりである。

- (1) 低消費電力特性を活用し、VLSIによって電池駆動の携帯用システムを実現することができる。
- (2) 通常は高速動作させ、スリープモードやスタンバイモードに移した場合は、最小限必要なデータやプログラムをメモリに退避し、電池駆動によって長期間情報を保持し、あたかも不揮発性RAM(Random Access Memory)のように使うことができる。
- (3) セル面積の小さいスタティックNMOSメモリの周辺回路にCMOS技術を用い、消費電力の少ない高速メモリを実現できる。
- (4) CMOSの広い動作電圧範囲と雑音余裕が活用できる。
- (5) 微細化高性能CMOSにより、高速高集積論理LSIをプラスチックモールドとし、コストメリットが得られる。
- (6) 高電圧駆動部分に高耐圧CMOSデバイス構造を採用し、消費電力の少ない液晶表示システムと一体にできる。
- (7) CMOSのバイポーラ構造を積極的に利用してBi-CMOS回路とし、高い駆動電流により容量負荷の高速化が図れる。
- (8) アナログ・デジタル変換機能へのCMOSの適用により、スイッチ特性がよく、ダイナミックレンジの広いシステムが組める。今後CMOSがシステムオンチップの時代に向けて、その長所を生かされることが多い。

### 3 CMOSデバイス技術

図5に、代表的なCMOSデバイスの製造工程を示す。この例では、現在生産の主流となっている部分酸化技術を用いたSiゲートCMOSであるが、異なった応用分野にこたえるための変形デバイスや高速・高集積化に適した構造が提案されている。その一つは図6に示したウエル構造に関するものである。

歴史的にCMOSはP形ウエルからスタートし、現在もその主流は図6の(a)に示すようにP形ウエルである。主にNMOSを用い一部にCMOS回路を用いるには、同図(b)に示したN形ウエル方式が有利であると言う主張もある<sup>2)</sup>。しかし、製造工程や難易度は両方式に差はほとんどなく、CMOS回路を主な

構成要素とする論理LSIでは特性的な差も小さい。むしろ、高速・高集積CMOS技術のけん引役を果たしてきた日立製作所のHi-CMOSを適用したスタティックMOSメモリでは、 $\alpha$ 線によるソフトエラーを低減させるために、Pウエル方式が必要条件である<sup>3)</sup>。一方、NMOSデバイスとして発展したEPROM (Erasable and Programmable Read Only Memory: 電氣的に書込み消去の可能な読み出し専用メモリ)、ダイナミックRAMなどのCMOS化には、Nウエル方式が容易であると言えよう。

図6の(c)は、基板不純物濃度及び導電形とは無関係に、P形MOS部とN形MOS部の濃度を制御した双方にウエルをもつ構造であり<sup>4)</sup>、特性の精密な制御に適した方式である。本方式は、64kビットスタティックメモリから採用されている。

CMOSデバイスの最大の問題点は、ラッチアップ現象が起こることである。これは、同一シリコン基板にNMOSとPMOSを形成するため、NPNP構造となり、入出力端子からの電圧ノイズや電源のオーバシュートなどがトリガとなって過大電流が流れ誤動作が起こり、場合によっては素子破壊に至る現象である。この現象を完全に防止するには、SOI (Silicon On Insulator) を用いればよく、将来技術としては望ましい。ただし、現在の技術レベルではシリコン結晶の質的問題が残されている。ラッチアップ現象を低減させる一つの方法は、図6の(d)に示すようにN on N<sup>+</sup>又はP on P<sup>+</sup>のエピタキシャルウェルを用いる方法がある。

MOSデバイスを微細化するとドレーン近傍の電界強度が大となり、図7に示すように耐圧が低下する。特に、NMOSの耐圧低下が著しい。また、耐圧より低い印加電圧でも、ドレーン近傍の高電界により高いエネルギーをもつ「ホット」なキャリアが発生し、このホットキャリアの一部はゲート酸化膜に流れて酸化膜とシリコン結晶の界面状態を変え、MOS特性

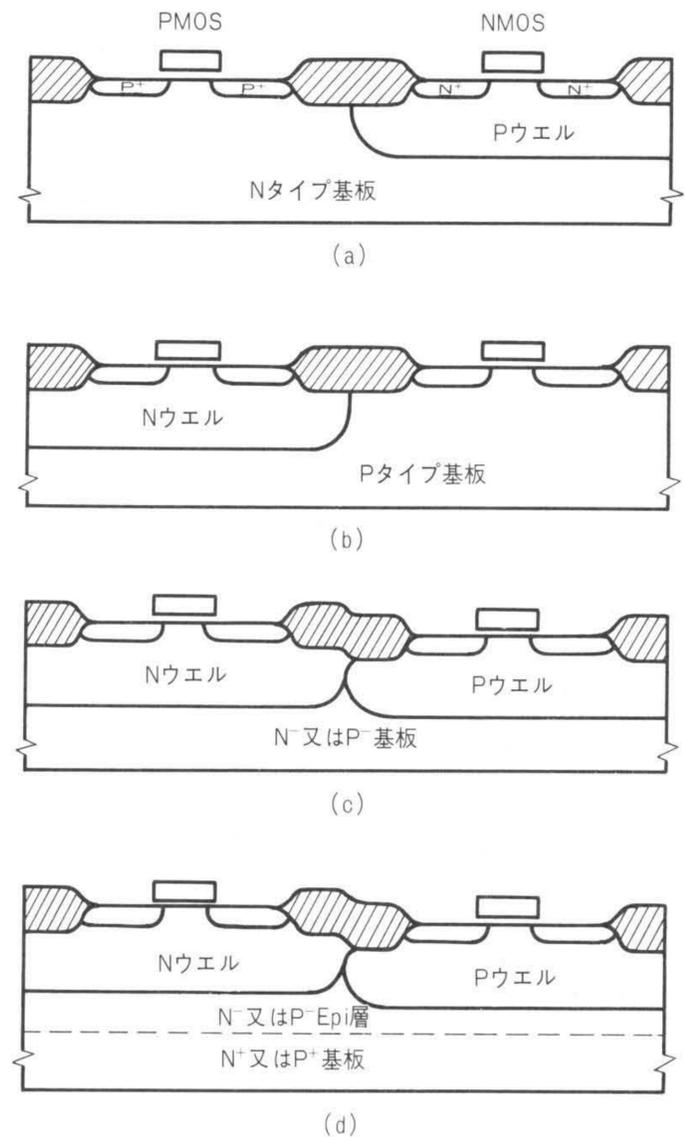


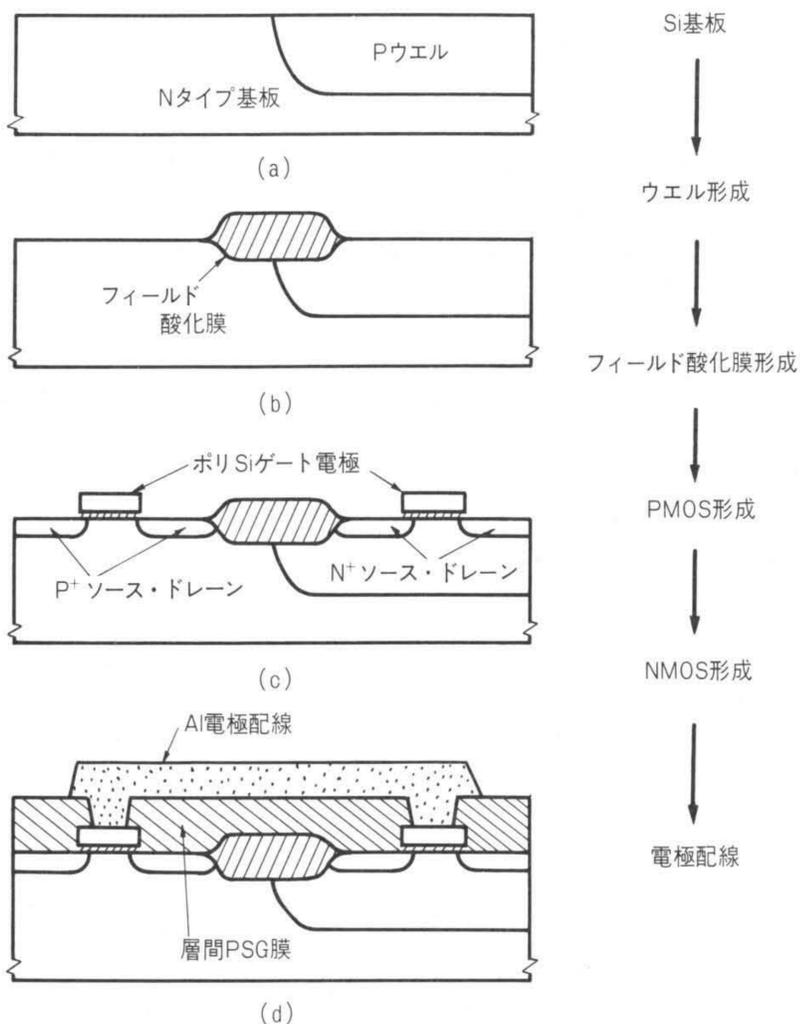
図6 CMOSのウエル方式による分類 (a)はPウエル方式を、(b)はNウエル方式を、(c)は両ウエル方式を、(d)はエピタキシャル基板を用いた両ウエル方式を示す。

を劣化させる。図7に、劣化が認められる印加電圧をホットキャリア耐圧として示している。ホットキャリアによる特性劣化を避けるためには、デバイス寸法の縮小に比例して印加電圧を低下させればよいが、例えば、電圧を5V一定に保ちたい場合には何らかのデバイスの工夫が必要である。その例として、同図に示すように、二重拡散層によりN<sup>+</sup>-N<sup>-</sup>の濃度こう配をもったドレーンを形成する方法、あるいはN<sup>-</sup>のオフセット構造をもつLDD (Lightly Doped Drain) 法が提案されている。

ゲート電極材料としては、ソース・ドレーンを自己整合的に形成できるポリシリコンゲート技術が主流である。このゲート配線の一部に不純物を添加しない領域を形成するとほぼ10<sup>10</sup>Ωの抵抗が得られ、この抵抗はCMOSスタティックメモリのメモリセルに用いられている<sup>5)</sup>。また、ポリシリコン層を2層用いることにより、集積密度が向上する。

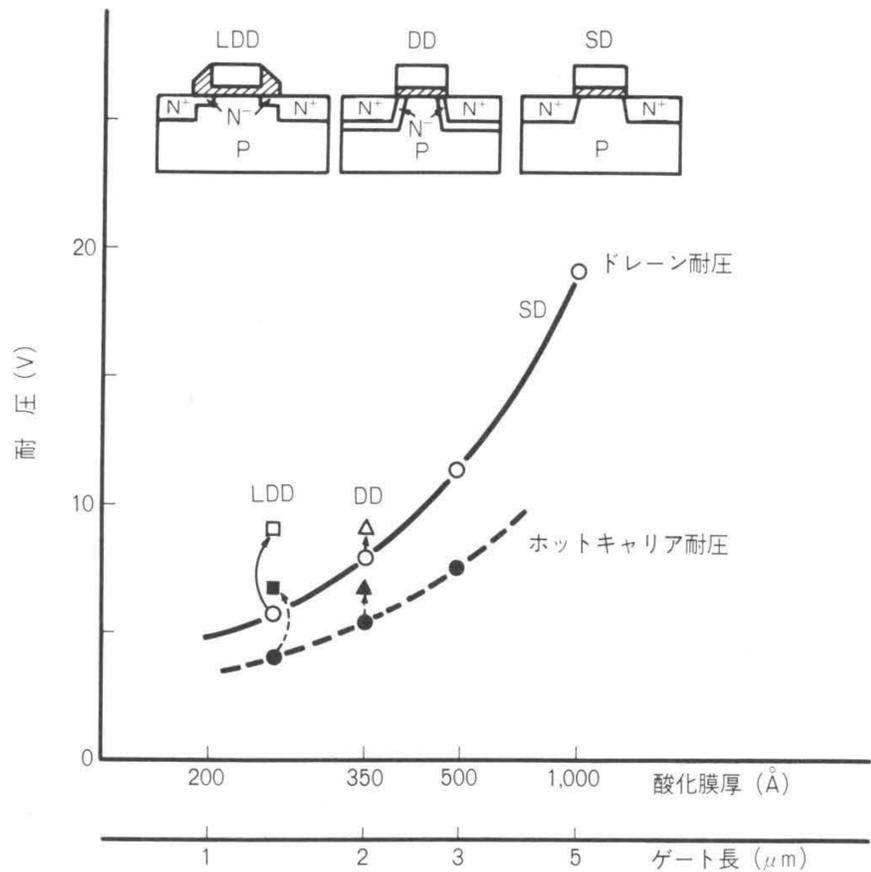
不純物をドーパしたポリシリコンの問題点は、その層抵抗が20~50Ω/□と高く、配線として信号伝搬遅延が無視できなくなることである。この対策として、ポリシリコン上にモリブデン、タングステン、タンタルあるいはチタンのそれぞれのシリサイド (MoSi<sub>2</sub>, WSi<sub>2</sub>, TaSi<sub>2</sub>あるいはTiSi<sub>2</sub>) を形成し、配線層の抵抗を約一けた低下させる方法があり、先端製品の一部に用いられている。更に、ソース・ドレーン上にも同時にシリサイド層を形成し、P<sup>+</sup>層及びN<sup>+</sup>層の抵抗も下げるという試みもあり、今後の技術として期待されている。

電極配線技術としては、微細化による高集積化を進めるとともに多層化を行ない、配線の自由度を増加させる傾向にある。セミカスタム製品として電極配線パターンの変更によ



注：略語説明 PSG (リンシリコンガラス)

図5 代表的なCMOSデバイスの製造工程 この例では、P形ウエルと部分酸化技術を適用したシリコンゲート形CMOSの断面構造を示す。



注：略語説明 LDD, DD及びSD (本図補足説明参照)

図7 素子微細化に伴う耐圧の低下 通常のMOSデバイス“SD”(Single Drain)の寸法縮小を行なうと耐圧が低下する。しかし、二重拡散法“DD”(Double Drain)又は“LDD”(Lightly Doped Drain)を用いるとある程度回避できる。

り顧客の要求に応ずるCMOSゲートアレイでは、多層化配線は重要な技術である。この多層化配線の層間膜生成手法として、PIQ<sup>\*1)</sup>の塗布膜を用いる方法、CVD<sup>\*2)</sup>膜とSOG<sup>\*3)</sup>を併用する方法、RIE<sup>\*4)</sup>を用いてエッチバックする方法及びSiO<sub>2</sub>(シリコン酸化物)のバイアススパッタ法が提案され、一部は実施されている。

ここに述べたようなプロセス技術、デバイス技術を採用しながらCMOSデバイスの微細化によって高集積化・高速化が実現している。図8に、日立製作所での微細加工寸法の年次推移を示し、同時にダイナミックMOSメモリ及びスタティックMOSメモリの集積度増加の様子を年次別に示した。CMOSの応用範囲は次章で述べるように多岐に渡っているが、特に、スタティックMOSメモリについては、5μから2μへと微細化が進み、集積度も4kビットから64kビット以上のメモリへと増加し、CMOS製造技術の確立に大きなけん引力となっている。

#### 4 製品応用と展開

CMOS技術を活用した先端デバイスの詳細については、本特集の個々の掲載論文を参照されたい。ここでは、主要製品へのCMOS適用の主眼点とその方法及び効果について述べる。

(1) シングルチップマイクロコンピュータへのCMOSの適用  
高性能CMOSを適用した低消費電力形マイクロコンピュータは、省電力化とポータビリティの利点を生かして広範囲の応用が可能となっている。特に、4ビットから高性能8ビット

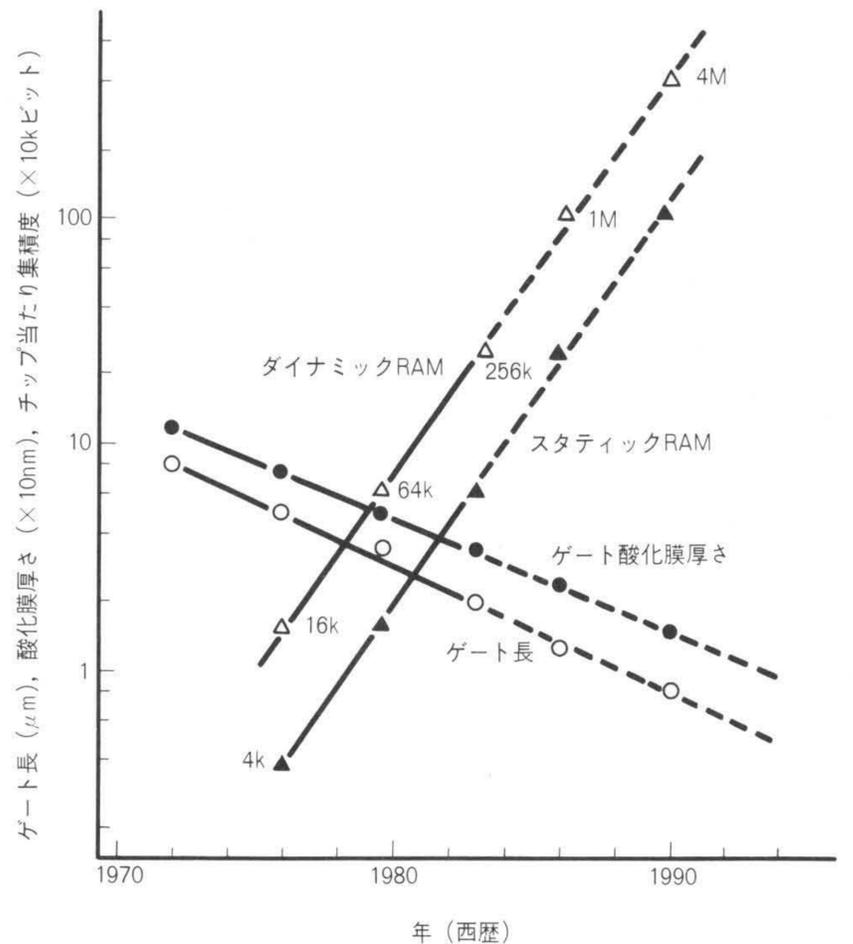


図8 MOSデバイスの微細化及び集積度増加推移 素子の微細化はCMOS及びNMOSが同時に進行した。図中、CMOSの代表デバイスとしてスタティックメモリを示し、NMOSの代表としてダイナミックメモリを示す。今後ダイナミックメモリもCMOS化の可能性もある。

マイクロコンピュータは、パーソナルコンピュータの周辺機器としてのプリンタやデスクの制御部、携帯用パーソナルコンピュータ、MODEM(Modulator Demodulator: 信号変復調器)やPBX(Private Branch Exchange: 構内電話交換機)のシリアル通信機器、自動車エンジンやロボットなどに至るまで汎用品として広く活用されている。また、低消費電力機能を効果的に活用した液晶表示デバイスの駆動回路用専用LSI、A-D回路を内蔵した多機能製品系列、高速信号処理専用プロセッサ製品系列などがある。

CMOSの特長を生かし、強力な機能と性能を実現したシングルチップマイクロコンピュータHD6301系を例として、CMOS適用の主眼点について述べる。まず消費電力が通常動作のとき30mWと少ない。また、スリープモードによって、CPU(Central Processor Unit)動作は停止するものの周辺のタイマ部、シリアル通信制御部、割込み制御部は動作を続け、CPUアイドル時の省電力化が図れるために消費電力は5mWに低減される。更に、スタンバイモードでは、内蔵RAMデータが保持され再起動時のCPU動作を容易にしている。このときの消費電力は10μWであり、バッテリーバックアップも可能である。HD6301系は、各機能ブロックがモジュール構造をしており<sup>6)</sup>、図9の各部分のシュリンクにより性能の向上が図れる。図10は、3μm技術を用いたHD6301VのCPUとROM部を10%シュリンクしCPUの性能向上とチップサイズの縮小を図ったX品を示す。更に、CPUとタイマを26%縮小して高性能を得るとともに、ROM及びRAM容量を強化して機能の向上を図り、かつチップサイズの増加を抑えたY品の関係を示す。HD6301V, X, Yそれぞれの機能向上推移を図11に示す。なお、ROM部分を外付けとしプログラムデバッグを容易にしたピギーバック形と、EPROMをチップに内蔵したHD63701Xを同グラフに示した。

\*1) PIQ(ポリイミド系樹脂材料で、日立化成工業株式会社の商品名)  
\*2) CVD(Chemical Vapour Deposition: 化学的な被膜付着法)  
\*3) SOG(Spin On Glass: 回転によるガラス被覆法)  
\*4) RIE(Reactive Ion Etching: ドライエッチング法)

(2) マルチチップマイクロコンピュータへのCMOSの適用

図12は、CMOS 8ビットマイクロプロセッサHD6303にバスを介して各種のCMOS周辺LSIを接続する場合の様子を模型的に示したものである。CMOS化により、システム全体の省電力化が図れるばかりでなく、携帯に便利なシステムや電池バックアップによる記憶データの不揮発性が確保できる。また、CMOSのゲートアレイやメモリも使える。一方、インテリジェント機能をもたせて高度な制御命令を活用できるようにした周辺LSIの場合には、本特集でも詳細に記載があるACRTC (Advanced CRT Controller: 高度なCRT制御用LSI) (HD 63484)や、HDC(Hard Disk Controller: ハードディスク制御用LSI) (HD63463)に見るとおり約12万個のMOSトランジスタを集積する必要がある。この場合の消費電力を600mW以下に抑えるためには、必然的要求としてCMOS採用の方向へ向かわざるを得ない。

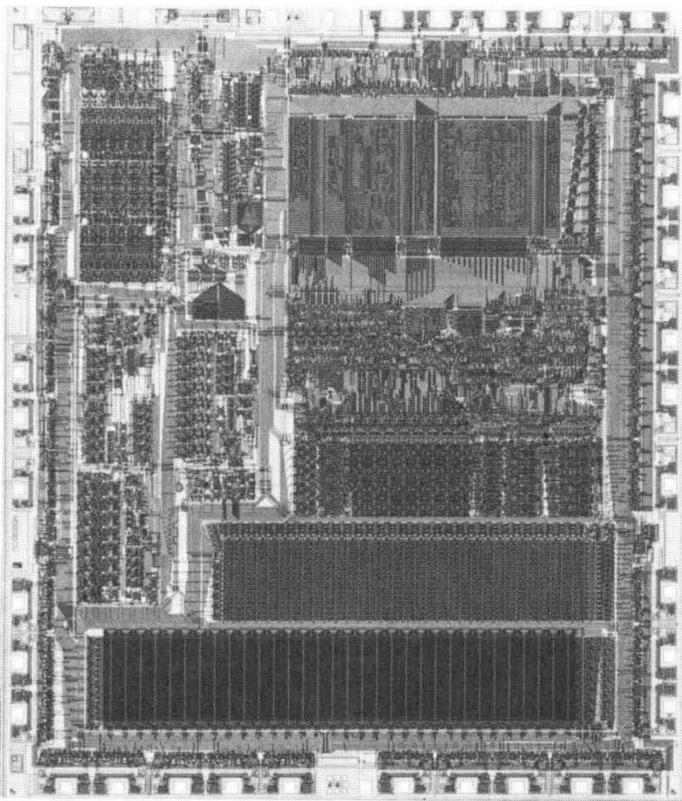
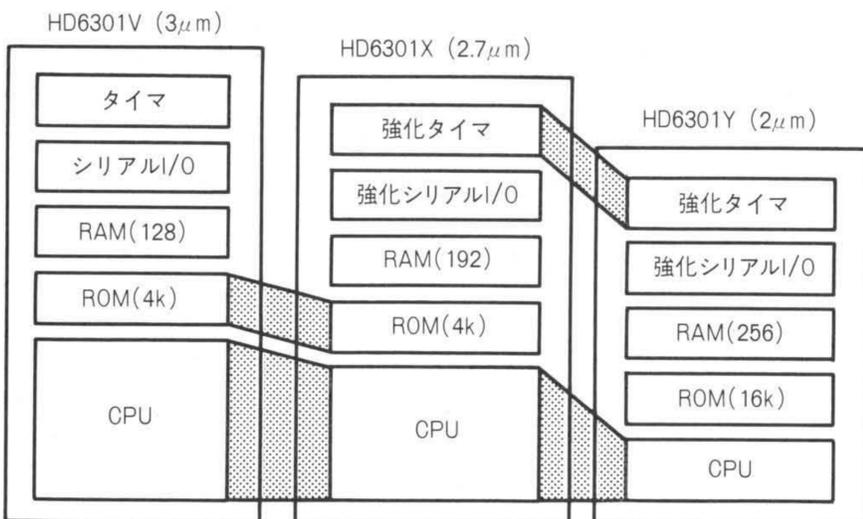
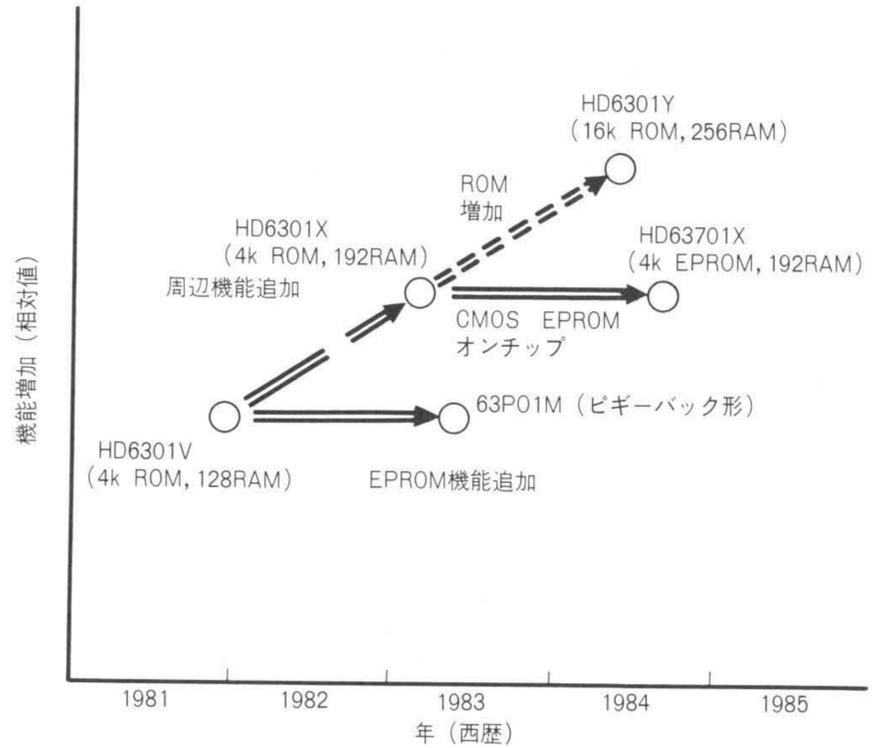


図9 高性能シングルチップマイクロコンピュータHD6301Vのブロック図(チップサイズ: 6.24mm×7.3mm) 機能ブロックごとにレイアウトされている。各ブロックの縮小や機能増強が図られる。しかし、中核となるプロセッサのアーキテクチャは維持される。



注: 略語説明 ROM(Read Only Memory)  
RAM(Random Access Memory)  
CPU(Central Processor Unit)

図10 高性能シングルチップマイクロコンピュータHD6301系のチップシュリンクと機能向上 機能ブロックごとの縮小により、チップサイズの縮小と性能の向上を図ることやメモリの容量増を図ることができる。



注: 略語説明 EPROM(Erasable and Programmable Read Only Memory)

図11 高性能CMOSシングルチップマイクロコンピュータHD6301系の機能向上 ブロックごとの機能追加やメモリ容量強化によって、各品種の機能向上が図られる。また、EPROMの追加機能を付け、ユーザーデバッグに便宜が図られている。

(3) MOSメモリへのCMOSの適用

MOSメモリのアドレスバッファ、デコーダ及びセンスアンプなどのメモリセル周辺回路に、CMOS回路を採用して低消費電力化を図ることは古くからあった。しかし、セル面積は大きく、低速動作であった。日立製作所のHi-CMOS技術では、これら二つの欠点を解決して高速化が実現した。セル面積の縮小化には、図13(a)に示すように高抵抗を他の素子の上部に積み上げること、また同図(b)のように基板から電源V<sub>cc</sub>をとることにより配線数の少ないデバイス構造とすること、更に、多層配線構造とするなどの改良を加えた。これらの改良結果は同図(c)に示すように、MOSメモリのセル面積が1kビットから現在量産中の64kビットまで縮小されてきている。また、CMOSのN形Si基板をコレクタとし、P形ウエルをベースとしてN形拡散層のドレーンをエミッタとするNPNバイポーラトランジスタとなることを利用し、これを容量性負荷の大きいワード線の電流駆動形信号に用いて高速化の一つの手段としている。Hi-CMOS技術を用いた高性能メモリには、先に述べたスタティックRAMのほかに、1MビットまでのマスクROMや64kビットCMOS EPROM系列が製品化されている。

(4) ゲートアレイへのCMOSの適用

微細化CMOSの採用により、TTL(Transistor Transistor Logic: 小規模バイポーラデジタルIC)並みの3.5ns/ゲートの高速性が得られ、500~2,500ゲートのHD61シリーズが製品化されている。このゲートアレイの基本ゲートに工夫がなされており、最大512ビットのRAMを内蔵できアクセスタイムは60nsと高速である。図14に、CMOSゲートアレイの各種多ピンパッケージの外観を示す。特に、高速駆動を要する場合には、出力バッファ部分をLSTTL(Low power Schottky TTL: 低電力高速TTL)とし、論理ゲート数の多い内部をCMOSゲートとした200~1,600ゲートのBi-CMOS(バイポーラCMOS)ゲートアレイHD27シリーズも製品化している。

5 結 言

CMOS技術は、微細加工技術によってその欠点は取り除か

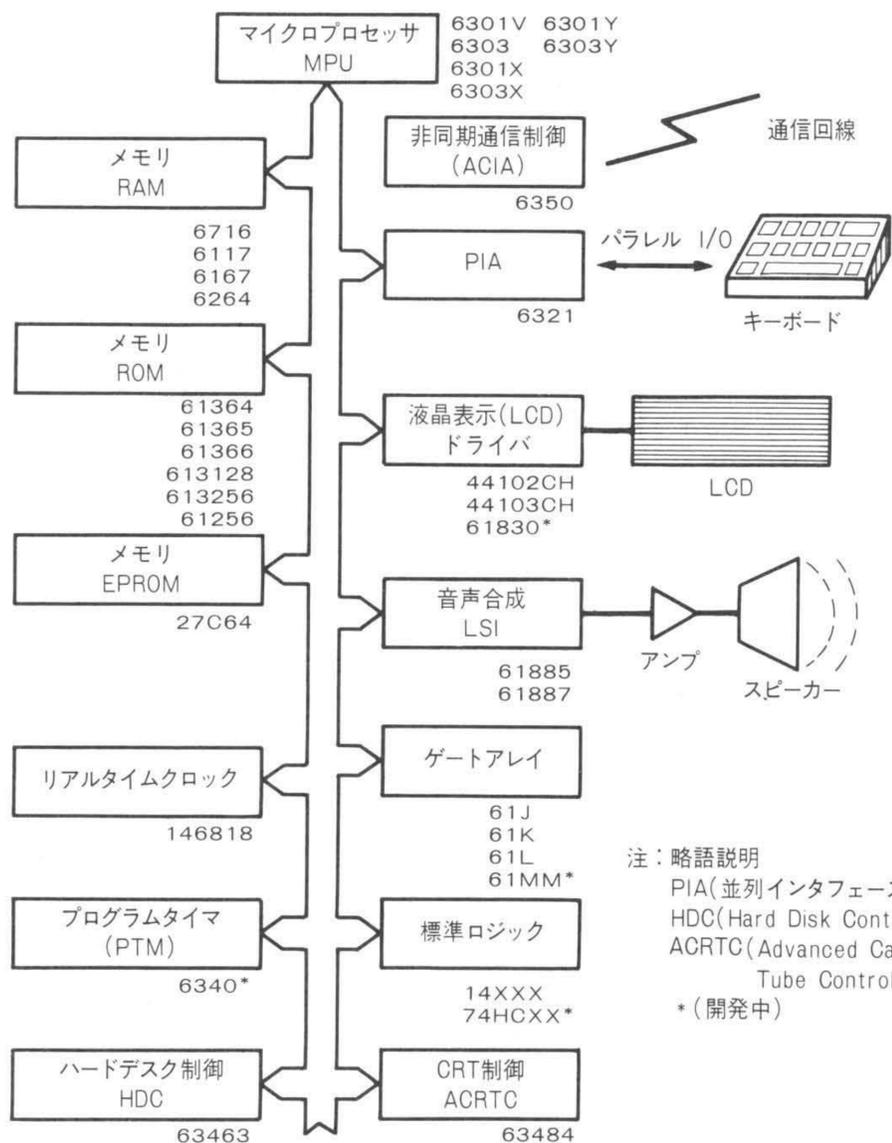
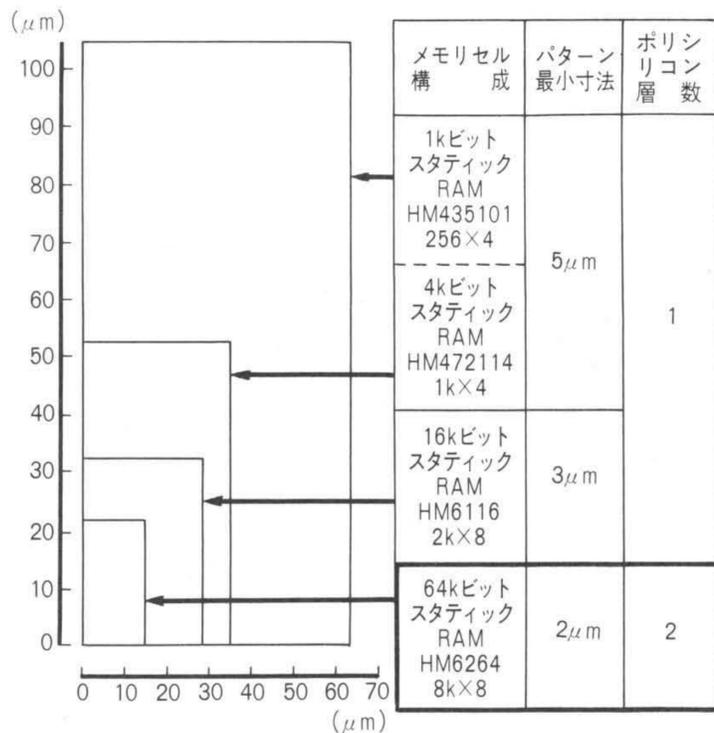
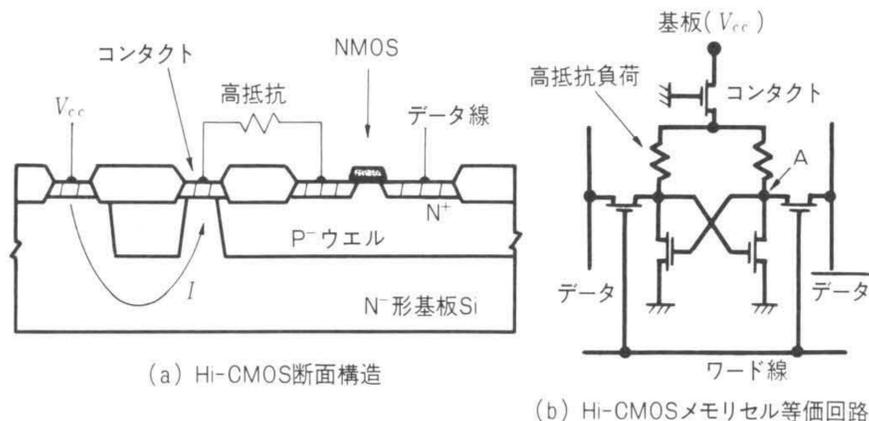


図12 高性能CMOS適用のマイクロプロセッサと各種周辺LSI  
CMOSマイクロプロセッサを中心として、周辺LSIをすべてCMOS技術を用い、高性能・低消費電力システムを組むことができる。

れ、高集積回路に重要なものとなっている。特に、集積素子数が $10^5$ 個を超えるマイクロコンピュータなどの論理LSIには不可避の技術である。また、スタティックメモリやEPROMなどは今後もCMOSによる製品化がなされ高速高集積、低消費電力化に向けて改良工夫が図られてゆく。アナログ・デジタル変換LSIでも、CMOSのスイッチング特性やダイナミックレンジの広さを生かしたLSIの応用分野が広がってゆくと思われる。

参考文献

- 1) Dennard : Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions, IEEE Journal of SSC Vol. SC-9, No. 5 (Oct. 1974)
- 2) Ken K. Yu, et al. : HMOS-CMOS Technology, ISSCC Digest of Technical papers, p. 208(Feb. 1981)
- 3) O. Minato, et al. : 2k×8 bit Hi-CMOS Static RAM's, IEEE Transactions on Electron Devices, Vol. ED-27 No. 8, p. 1591 (Aug. 1980)
- 4) Y. Sakai : High Packing Density, High Speed CMOS (Hi-CMOS) Device Technology, JJAP, Vol. 18, p. 73(1979)
- 5) O. Minato, et al. : A High-Speed Low-Power Hi-CMOS 4k Static RAM, IEEE Trans. on E. D., Vol. ED-26, No. 6, p. 882 (Jun. 1979)
- 6) H. Maejima, et al. : The VLSI Control Structure of a CMOS Microcomputer, IEEE Micro, Vol. 3, No. 6, p. 9(1983)



(c) スタティックMOSメモリセル面積の変遷

図13 スタティックMOSメモリセル面積の改良と変遷 (a)はPウェル形のHi-CMOSスタティックメモリ断面構造を、(b)はHi-CMOS技術を用いたスタティックメモリセル等価回路を、また(c)はスタティックメモリの集積度増加とセル面積縮小の経過を示す。

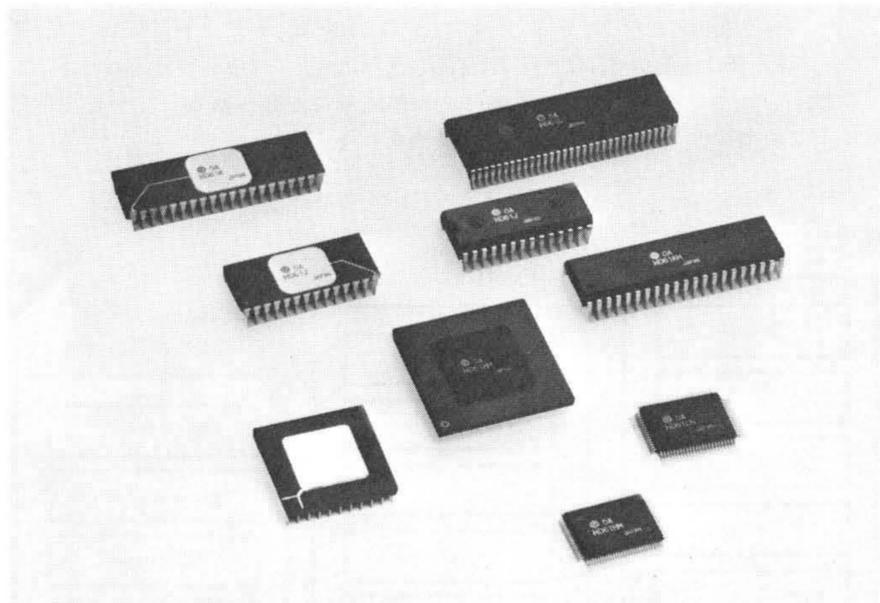


図14 高性能CMOS適用の各種ゲートアレイ製品群外観 DIL形、ピングリッドアレイ形及びLCC形多ピンパッケージに組み立てられたメモリ付き500~2,500ゲートのゲートアレイを示す。