

# 256kビットダイナミックRAM

## 256 kbit Dynamic RAM

DRAMは、ほぼ3年間に4倍の割合で記憶容量を増加させる開発が続けられており、更により使いやすくするための機能的工夫もなされてきている。記憶容量4倍化という世代交代のためには、常にデバイスと回路で技術革新が必要である。

今回新しく開発した256kDRAMでは、ワード線材料とメモリセルゲートに新しい工夫を行ない、記憶情報としての蓄積電荷量を増加させる回路を新しく採用した。これにより、64kDRAMと特性、信頼性で同等以上の実力を達成した。更に、ニブル機能とCAS before RASリフレッシュ機能をも内蔵しており、使いやすさの点でも一段と進歩したものになっている。

石原政道\* Masamichi Ishihara  
 松本哲郎\* Tetsurô Matsumoto  
 伊藤 達\*\* Satoru Itô  
 遠藤 彰\*\* Akira Endô

### 1 緒言

MOS (Metal Oxide Semiconductor)形のDRAM (Dynamic Random Access Memory)は、世代交代のたびに4倍の高集積化と新しい技術革新がなされている。例えば回路技術面では、4k(kは1,024ビットを表わす。)から16kへはアドレスマルチプレックス技術、16kから64kへは単一5V電源化技術、そして64kから256kはニブルモード、欠陥救済回路技術<sup>1)</sup>がある。またデバイス面では、シュリンクによるショートチャネル化が世代ごとに行なわれ、構造の工夫により耐圧を落とさずに電流駆動能力の向上が行なわれてきた。

本論文では、回路とデバイスの新しい技術により開発された256kDRAM(HM50256・HM50257)について述べる。

### 2 回路設計

#### 2.1 メモリセルアレイ

メモリセルアレイの方式選定は、アクセスタイムやノイズマージンなどの電気特性へ影響を与えるほか、チップサイズにも大きく関係する。表1にメモリセルアレイの方式比較を示す。日立製作所では、64kDRAM以来、耐ノイズ特性に優れている2交点セル方式を採用している<sup>2),3)</sup>。この方式は数々の利点をもつが、通常ワード線にポリシリコンを使用するため、スピードがワード線抵抗値に依存する。このため64kDRAMでは、ワード線の分割数を増やし、ワード線を短くする方法を用いた。しかし、256kDRAMのようにチップサイズに制約がある場合、この方法は問題となる。そこで、ポリシリコンに代わる新しい抵抗材料であるポリサイド(図1)を開発実用化し、低雑音で高速かつチップ面積小の4マット方式を採用した。

DRAMを設計する場合、300milパッケージへの収容が大きな課題となる。したがって、目標チップサイズは量産形パッケージや組立技術などを考慮し $4.5 \times 10\text{mm}^2$ 以下とした。この限られた面積の中で最大限メモリセル容量を確保するために、信号線をできるだけ減らす工夫を行なった。これは共通アドレスバス方式と呼ぶもので、これを図2に示す。カラムデコード上のアドレス信号配線を、二つの時分割スイッチを設けてロウアドレス信号にも共有する。これにより、ロウアドレス信号本数分の配線領域が節約できる。

図3に完成チップの外観を示す。チップサイズは $4.46 \times 9.88\text{mm}^2$ 、

短辺の両端の電源・信号配線は最小限に抑えてある。この結果メモリセル占有率(メモリセル面積/チップ面積)は、256kDRAMクラスで最大のものとなっている。

#### 2.2 メモリセル周辺回路

図4に2交点方式のメモリセルとその周辺回路を示す。

アクティブリストア(蓄積電圧昇圧回路)は、“H”側ビット線のセンスアンプ動作時の落ち込みを $V_{cc}$ (電源電圧)レベルまで回復させる回路である。 $V_{cc}$ に保たれたビット線レベル

表1 メモリセルアレイ方式比較 256kDRAMでは、雑音に強い2交点方式とポリサイドワード線により4マット化を実現した。

セル構造	ワード線	ビット線	メモリマット配列	S/N	アクセス時間	チップサイズ
	ポリサイド	アルミ		○	○	○
	ポリシリコン	アルミ		○	○	△
	アルミ	ポリシリコン		△	○	△

注：略語説明ほか W.L.(ワード線)  
 B.L.〔ビット線(真情報)〕  
 B.L.〔ビット線(反転情報)〕  
 (メモリセル)

\* 日立製作所デバイス開発センタ \*\* 日立製作所武蔵工場

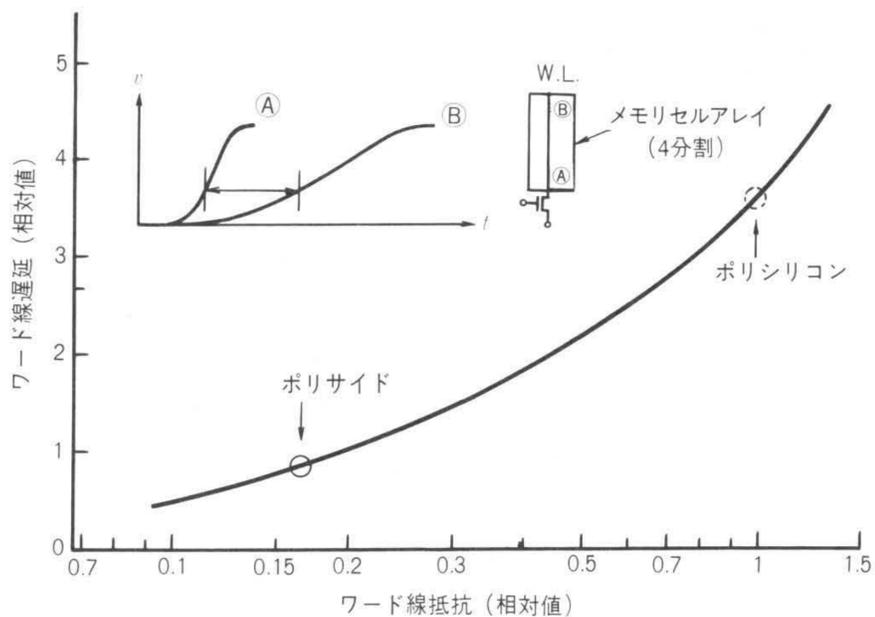


図1 ワード線遅延の抵抗依存性 ワード線材料の抵抗を低くすることにより、ワード線遅延を小さくしている。

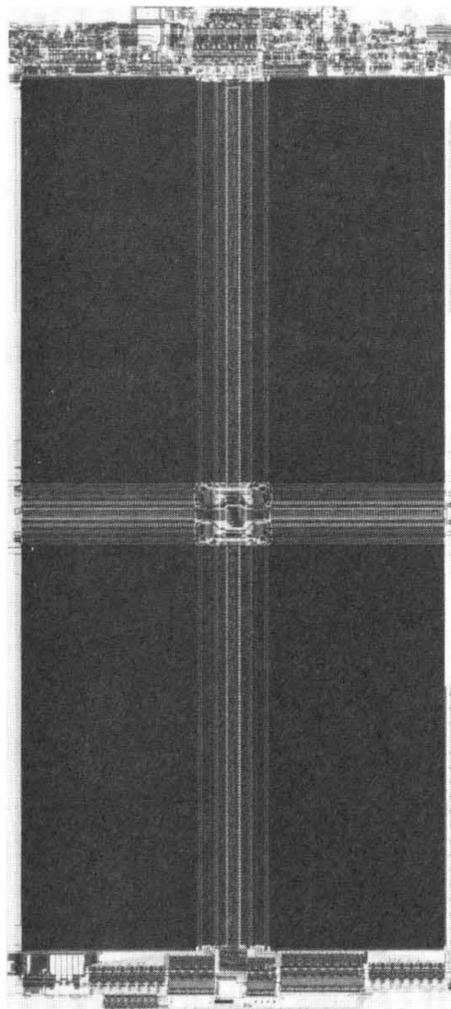


図3 チップ写真 HM50256 のチップを示す。長辺方向にワード線、短辺方向にデータ線が走る。チップサイズは、4.46×9.88mm<sup>2</sup>である。

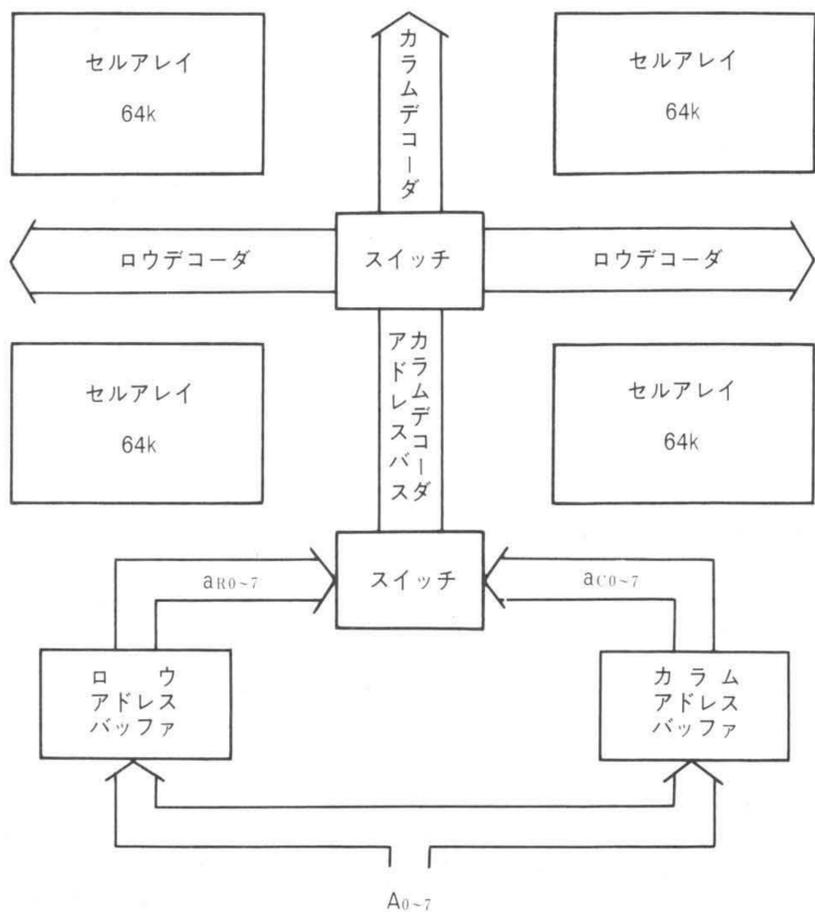


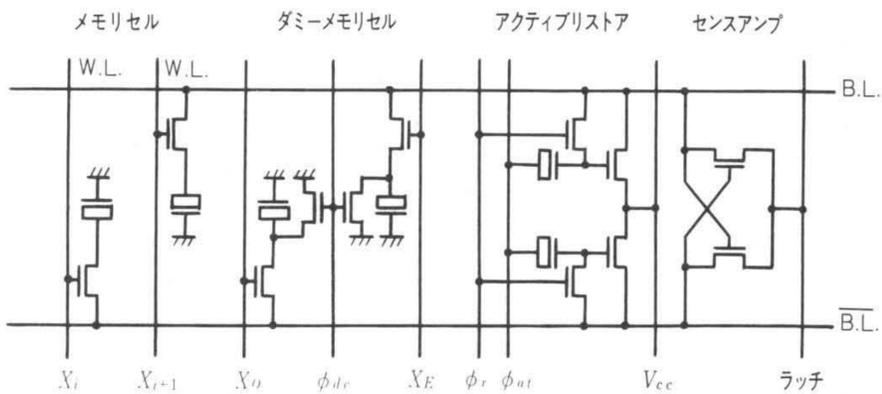
図2 共通アドレスバス方式 アドレスバッファの出力を多重化してデコーダに供給し、信号配線領域を節約している。

は、ワード線が  $V_{cc}$  以上に昇圧(ワードブースト)されているためメモリセルの再書き込みレベルとなり、アクティブリストア回路がない場合と比べて蓄積電荷量が増加する。この結果、アクティブリストア回路のない日立製作所の64kDRAMに比べメモリセル容量が小さいにもかかわらず、大きな蓄積電荷量が得られる(表2)。

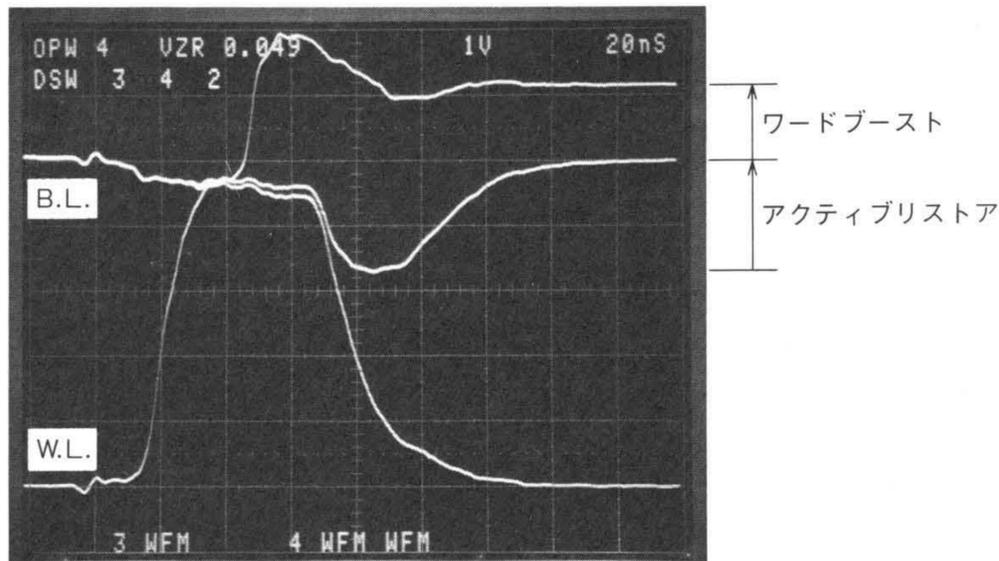
図5に256kDRAMの  $V_{cc}$  動作マージンのテストパターン依存性を示す。2交点セル方式の低雑音特性と十分に確保された信号量により、動作範囲が広くほとんどパターン依存性がないのが分かる。

### 2.3 新機能設計

256kDRAMでは、従来のページモードよりも更に高速(約1/2倍)のニブルモードを開発した。ニブルとは「4ビット」の意味であり、ニブルモードとは4ビットのデータを高速連続してアクセスするモードである。図6にニブルモードのプロ

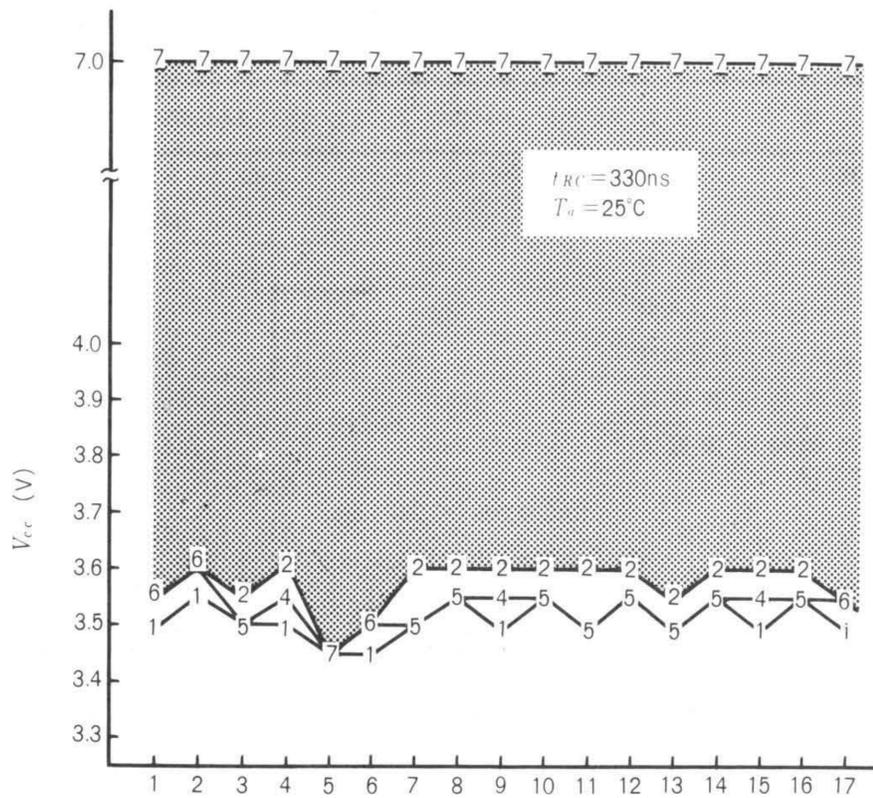


(a) 回路図



(b) ワード線、ビット線波形

図4 メモリセル周辺回路 アクティブリストアとワードブースト回路により、メモリセルに  $V_{cc}$  の電圧を書き込むことが可能となる。



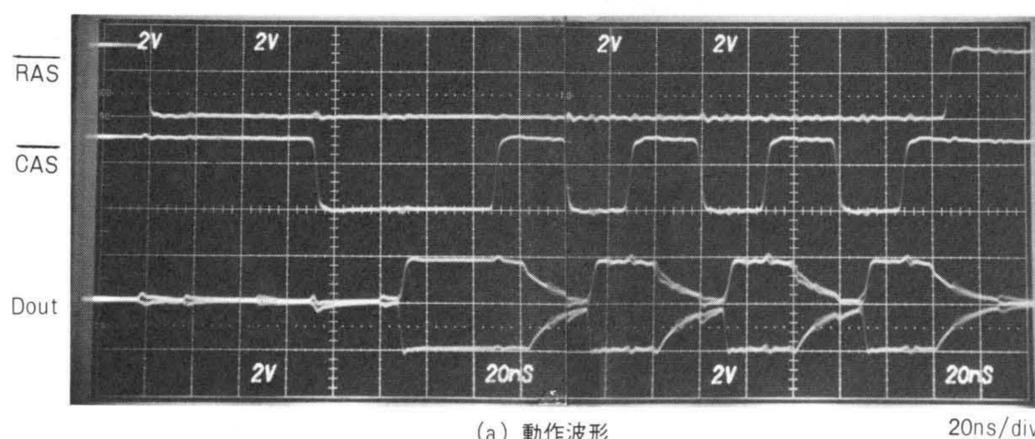
- 1 X-SCAN R-W MARCHING PATTERN
- 2 Y-SCAN R-W MARCHING PATTERN
- 3 X-SCAN R-R-W MARCHING PATTERN
- 4 Y-SCAN R-R-W MARCHING PATTERN
- 5 X-SCAN R-M-W MARCHING PATTERN
- 6 Y-SCAN R-M-W MARCHING PATTERN
- 7 X-SCAN ALL 0/1 PATTERN
- 8 Y-SCAN ALL 0/1 PATTERN
- 9 X-SCAN ROW BAR 0/1 PATTERN
- 10 Y-SCAN ROW BAR 0/1 PATTERN
- 11 X-SCAN COLUMN BAR 0/1 PATTERN
- 12 Y-SCAN COLUMN BAR 0/1 PATTERN
- 13 X-SCAN CHECKER BOARD PATTERN
- 14 Y-SCAN CHECKER BOARD PATTERN
- 15 X-GALLOP PATTERN
- 16 Y-WALK PATTERN
- 17 LONG R-M-W MARCHING PATTERN (t<sub>RC</sub>=10 μs)

図5 テストパターン依存性 各種のテストパターンで動作マージンにほとんど変化がない。これは2交点セル方式の大きな特徴である。

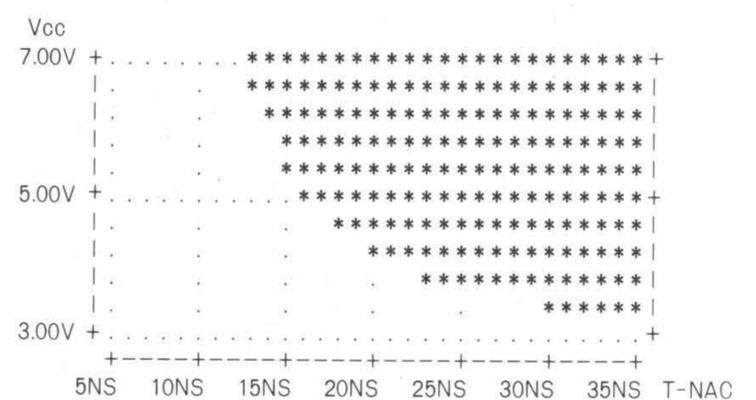
表2 256kと64kの蓄積電荷量比較 256kではメモリセル容量は小さいが、アクティブリストア、ワードブーストにより蓄積電圧が高く、蓄積電荷量は同等以上である。

DRAM	項目	メモリセル容量 (fF)	蓄積電圧 (V)	蓄積電荷量 (fQ)
256k		52	5.0	260
64k (日立製作所サーディップタイプ)		64	3.5	224

注：略語説明 DRAM (Dynamic Random Access Memory)



(a) 動作波形



(b) 動作マージン

図7 ニブルモード特性 ニブルモードは、ページモードよりも高速のアクセス時間が得られる。

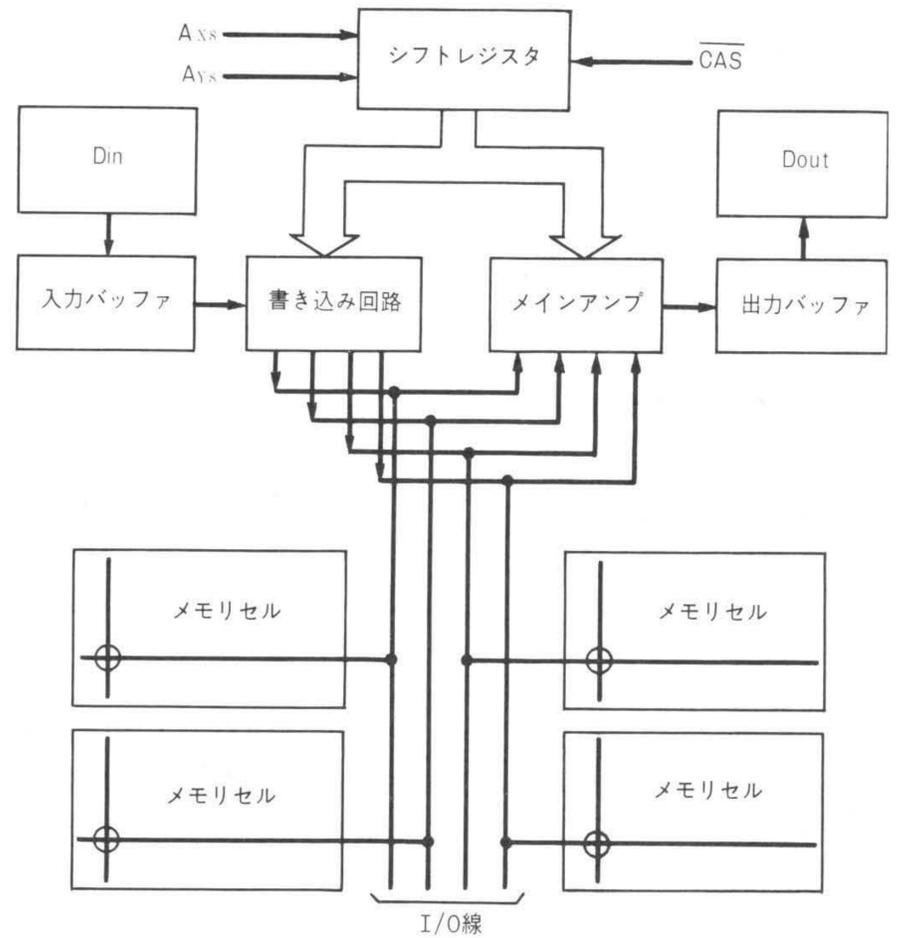


図6 ニブル機能ブロック図 各メモリセルアレイからのデータは、シフトレジスタからの信号により順次出力バッファに送られる。

ックダイヤグラムを示す。

四つのメモリセルアレイで選択されたデータは、それぞれ別々のI/O線を通してメインアンプにラッチされる。四つのメインアンプのデータは、CASのトグルによりシフトレジスタが動作し連続的にコントロールされる。したがって、ページモードに比べるとカラムデコード動作が必要でなく、非常に高速のアクセス時間が得られる。ニブルモードの入出力波形とアクセス時間の電圧依存性を図7に示す。通常使用状態ではシフトレジスタは単なるデコーダとして動作し、対応するアドレスはA8から入力される。ページモード品(HM50256)とニブルモード品(HM50257)の切替えはA1マスクにより替えることができる。CAS before RASリフレッシュ機能は256kDRAMで新たに開発され、ピン機能の追加なしに内部アドレスカウンタでリフレッシュを実行する機能である。この結果、メモリボード設計の簡略化に役立つ。

### 2.4 電気特性

表3に日立製作所の64kDRAMと比較した256kDRAMの諸特性を示す。アクセス時間は同じであるが、ページアクセス時間は速くなっており、カラムアドレス入力タイミングに余

裕がとれ、使いやすいものになっている。更に、256kDRAMで追加されたニブルモードの機能では、25nsという高速アクセス時間を実現している。ニブルモードを応用すると、ビットの単位時間当たりの転送速度を大きく向上させることができる。

消費電力は記憶容量が4倍になったにもかかわらず、ほぼ64kDRAM並みとなっている。このため、メモリシステムの電源を補強することなく、簡単に大容量化が図れる。

### 3 デバイス構造

以上述べた性能を得るために、縮小アライナ、ドライエッチ技術による2 $\mu$ mNチャンネルデバイスを使用している。また、メモリセルサイズ6.4 $\times$ 14.8 $\mu$ m<sup>2</sup>の中に52fFの容量を確保するため、新しい工夫を行なった。図8にメモリセルの断面図を示す。ワード線へのポリサイドの適用とメモリセル容量ゲートへの高誘電率膜の適用を行なった。

図9に16kDRAMからのメモリセルのSEM(走査電子顕微鏡)写真を示す。256kDRAMでは平坦化の工夫により64kDRAMに比べAl配線(ビット線)の凹凸が少ないのが分かる。

メモリセルプレートはV<sub>ss</sub>(接地)レベルを採用し、電源電圧変動マージンに対して強いものとしている。V<sub>cc</sub>プレートでは電源電圧変動がそのまま記憶電荷量の変動につながり、

表3 256kDRAM性能諸元 64kDRAMと同等以上の性能が、4倍の集積度で得られる。

項目	HM4864-2	HM50256/7-15
構成	64kワード $\times$ 1ビット	256kワード $\times$ 1ビット
サイクル時間	270ns	260ns
アクセス時間	150ns	150ns
ページアクセス時間	100ns	75ns
ニブルアクセス時間	—	25ns
動作時消費電流	60mA	70mA
待機時消費電流	3.5mA	4.5mA
リフレッシュ	RAS オンリーリフレッシュ ヒドウンリフレッシュ	RAS オンリーリフレッシュ CASビフォー-RASリフレッシュ ヒドウンリフレッシュ
リフレッシュ間隔	2ms/128サイクル	4ms/256サイクル

動作マージンを減少させやすい。

### 4 結 言

64kDRAMと電気特性及び信頼性、特にソフトウェアで同等以上の実力をもつ256kDRAMを開発した。これはポリサイド膜、高誘電率膜の開発や、アクティブリストア回路などの新回路技術によって達成された。更に、ニブルモードなどの新機能の追加により、使いやすさの面でも64kDRAMに比べて工夫されたものとなっている。

### 参考文献

- 1) M. Ishihara, et al. : A 256k Dynamic MOS RAM with Alpha Immune and Redundancy, ISSCC Dig. Tech. Papers, pp.74~75, Feb. 1982
- 2) K. Itoh, et al. : High Density Memory Cell Structure, VLSI Conf. Digest, pp. 48~49 Sept. 1981
- 3) H. Katto, et al. : 64k RAM Rebuffs External Noise, Electronics, pp. 103~106, July 31, 1980

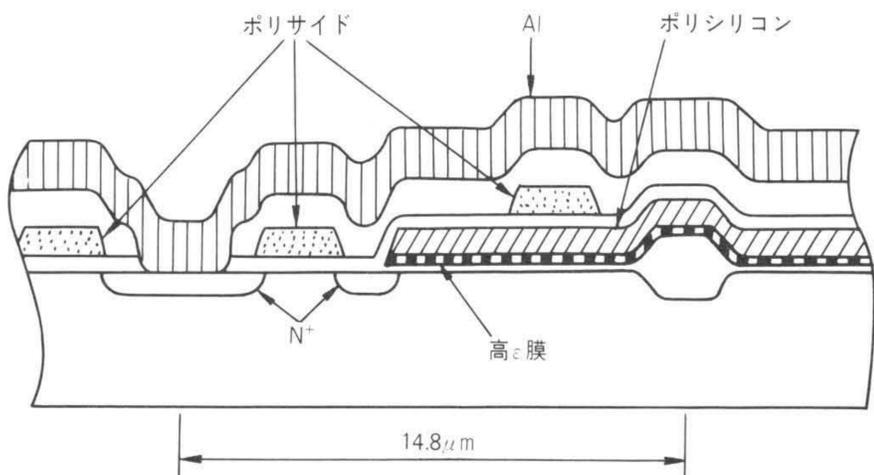


図8 メモリセル断面図 メモリセルサイズは6.4 $\times$ 14.8 $\mu$ m<sup>2</sup>で、ポリサイドと高誘電体膜を用いている。

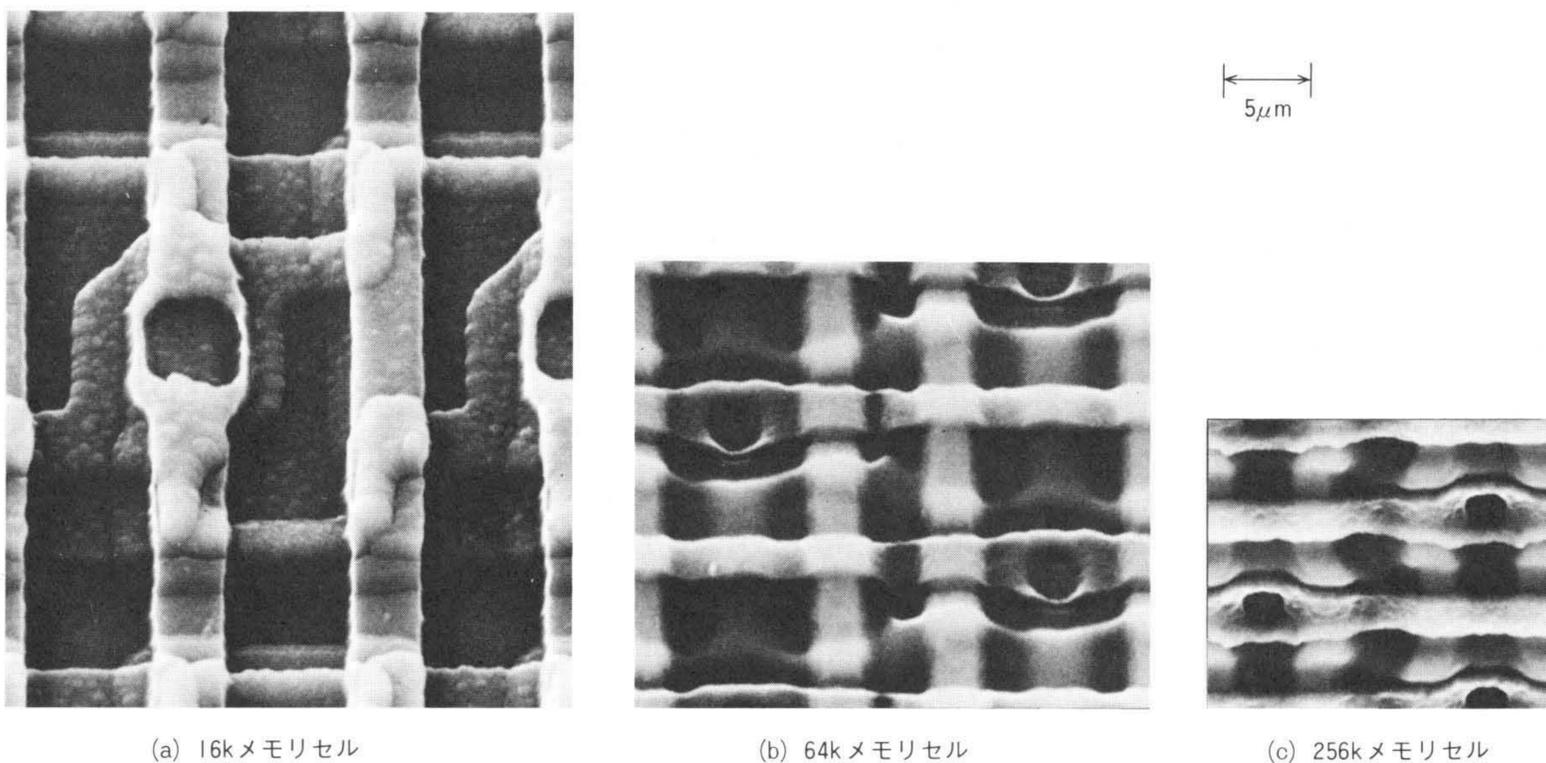


図9 メモリセル比較 256kのメモリセルは、64kメモリセルの60%弱に縮小されている。