

256kビット擬似スタティックRAM

256kbit Pseudo-static RAM

篠田孝司* *Takashi Shinoda*
 川本 洋* *Hiroshi Kawamoto*
 谷村信朗** *Noburô Tanimura*
 安井徳政** *Tokumasa Yasui*

OA機器の普及により、小規模システムに適した低価格で使いやすいメモリの需要が増大している。

この要求にこたえるため、1トランジスタ形ダイナミックメモリセルと周辺CMOS回路を採用することにより、DRAMと同等の高集積度と、SRAM並みの使いやすさをもった擬似SRAMを開発した。

基板電位発生回路を内蔵した2 μ mNウエルCMOSとハーフプリチャージ方式センス回路を新たに導入し、高速、低消費電力化を実現した。

本RAMの性能は、標準条件でアクセス時間が125ns、消費電力が動作時250mW、待機時10mWである。パッケージは28ピン標準プラスチックパッケージである。

1 緒 言

近年、MOS RAM(Metal Oxide Semiconductor Random Access Memory)の利用分野はメインフレームだけでなく、マイクロコンピュータ、ミニコンピュータ、端末用メモリに広がっている。小規模システム用メモリとしては、低価格、使いやすさが重要であるが、従来のSRAM¹⁾(スタティックRAM)では集積度の点で、DRAM²⁾(ダイナミックRAM)では使いやすさの点で十分ではなかった。そこで、SRAMと同等の使いやすさ、DRAMと同じ集積度を兼ね備えた、32kワード×8ビットのPseudo-static RAM³⁾(PSRAM:擬似SRAM)を開発した。このPSRAMは、以上の特徴をもっているため、小形端末に適しており、特に大容量と高ビットレートを必要とする画像メモリとして多くの需要が期待されている。そこで、高集積化のために従来のDRAMと同じ1トランジスタ形メモリセルを採用し、また低消費電力化のためにCMOS(Complementary MOS)周辺回路を用いている。その特性は、表1に示すようにアクセス時間、サイクル時間共に速く、消費電力も少ない。また、リフレッシュ機能として、アドレスリフレッシュのほかに、オートリフレッシュとセルフリフレッシュが可能であり、使いやすくなっている。

パッケージは28ピン600mil標準プラスチックパッケージであり、ピン配置は64kSRAM, EPROM(Erasable and Programmable Read Only Memory)と互換性がある(図1)。

本稿では、PSRAM(HM65256)に採用したデバイス技術、回路技術及び電気的特性について述べる。

2 デバイス技術

HM65256のチップ写真を図2に示す。メモリアレイは、ワード線遅延を最小にするため8分割されている。メモリセル

表1 HM65256の特性 PSRAM(HM65256)の特性を示す。同期式、非同期式どちらの使い方もできるように設計されている。

項 目	特 性
メモリ容量	256kビット
ビット構成	32kワード×8ビット
電源電圧	5V±10%
アクセス時間	125ns(typ.)
サイクル時間	125ns(typ.)
スタンバイ電流 (リフレッシュ時)	2mA
動作電流	50mA

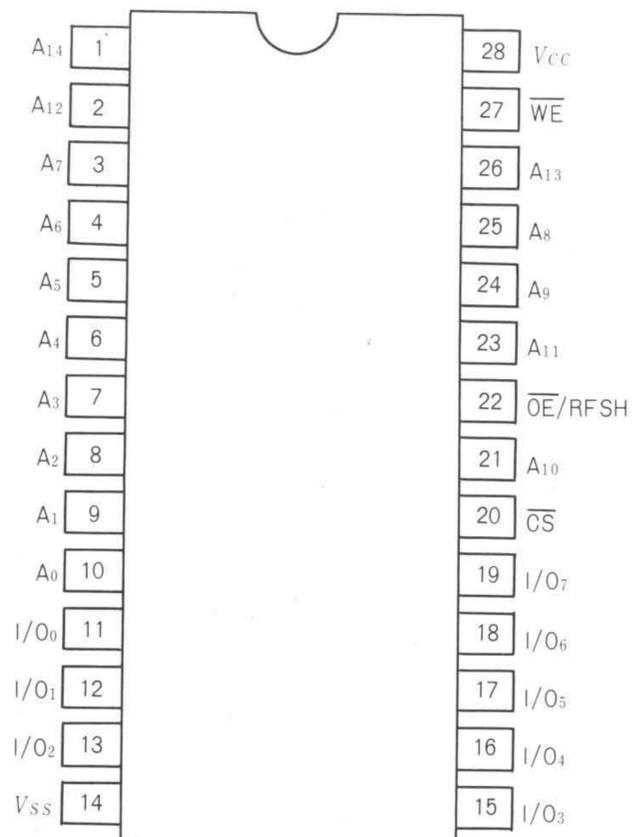


図1 ピン配置 64kSRAM[スタティックRAM(Random Access Memory)]及びEPROM(Erasable and Programmable Read Only Memory)とピン互換性がある。

* 日立製作所デバイス開発センタ ** 日立製作所武蔵工場

サイズは $6.8\mu\text{m} \times 13.6\mu\text{m}$ ($92.5\mu\text{m}$)で、256kDRAMとほぼ同じ大きさである。チップサイズは $5.58\text{mm} \times 9.86\text{mm}$ (55.0mm^2)となっている。

HM65256には $2\mu\text{m}$ NウエルCMOSプロセスが用いられており、その断面図を図3に示す。メモリセルはDRAMと同様に

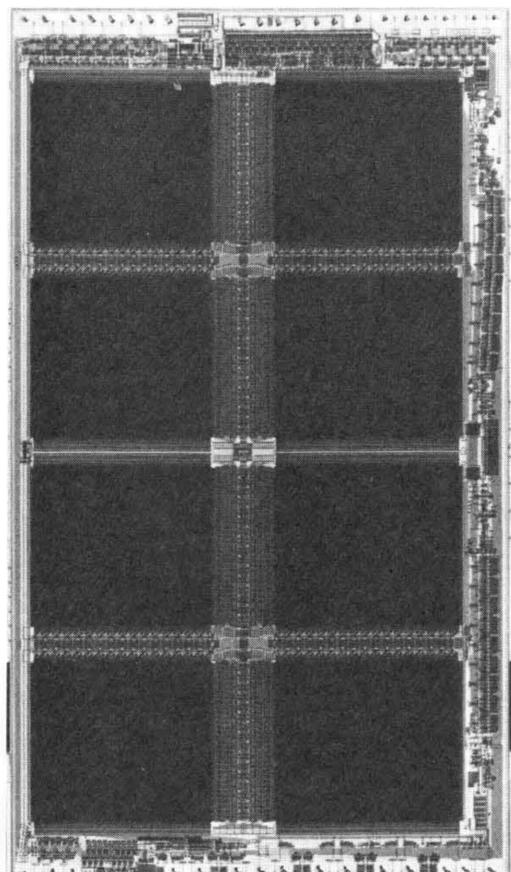
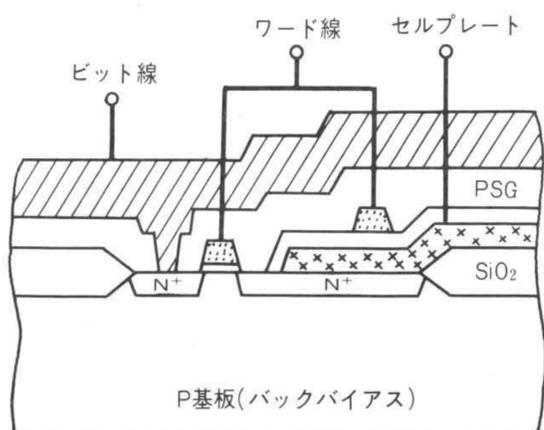
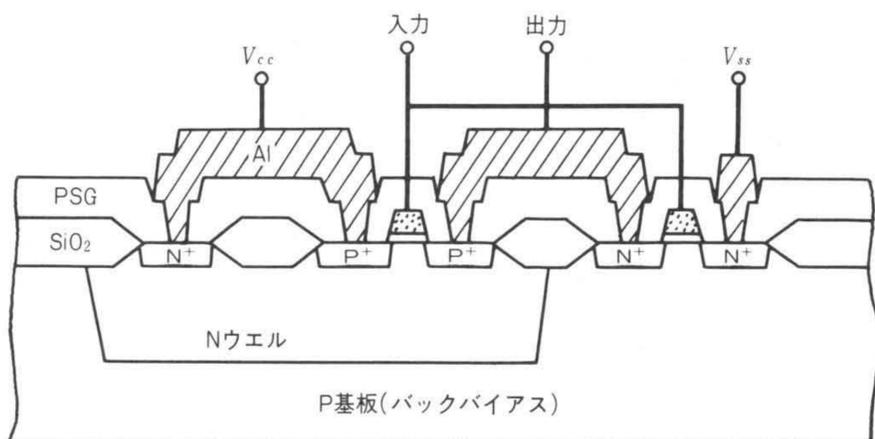


図2 チップ写真 32kワード×8ビット構成256kビットPSRAM(擬似スタティックRAM)のチップ写真を示す。



注：略語説明 PSG(Phospho-Silicate-Glass)

(a) メモリセル



(b) 周辺回路

図3 PSRAMのデバイス断面構造 (a)図にメモリセルを示す。メモリセルはバックバイアスしたP基板上に作られている。(b)図に周辺回路のCMOS(Complementary Metal Oxide Semiconductor)インバータを示す。バックバイアスしたP基板とNウエルを用いている。

P基板上に作られており、周辺回路はNウエルCMOS回路で構成されている。また、基板電位発生回路(V_{BB} 回路)を内蔵しP基板を負電位にしている⁴⁾。こうした技術の採用により、高集積、低消費電力が可能となった。

この V_{BB} 回路内蔵方式の効果として下記3項目がある。

- (1) ビット線容量の減少により、メモリセルサイズの縮小と、低消費電力化ができる。
- (2) 寄生容量の減少により、インバータの負荷容量が小さくなり高速化が可能である。
- (3) 入力部の拡散層が負にバイアスされているため、入力のアンダシュートに対して、マージンが大きい。

また、完全スタンバイ電流は V_{BB} 回路によって増加するが、動作時消費電力が減少するため、リフレッシュを考慮すると全体的には、リフレッシュ時のスタンバイ電流は低減される。

3 回路技術

HM65256の機能ブロック図を図4に示す。 \overline{CS} が選択時、アドレス信号が変化すると、その変化をアドレス遷移検出回路が感知して、最初のクロックを発生させる。これにより、内部動作はいったんリセット状態となり、ビット線が $\frac{1}{2}V_{cc}$ にプリチャージされる。ビット線プリチャージが完了すると、従来のDRAMと同様に、行デコーダ、ワードドライバ、センスアンプ、列デコーダが順次動作し、アドレスで指定されたメモリセルのデータがI/O(入出力)バスに伝達される。ここで \overline{OE} が選択となっているとI/Oバッファが動作し、指定されたアドレスのデータが出力される。

3.1 リフレッシュ機能

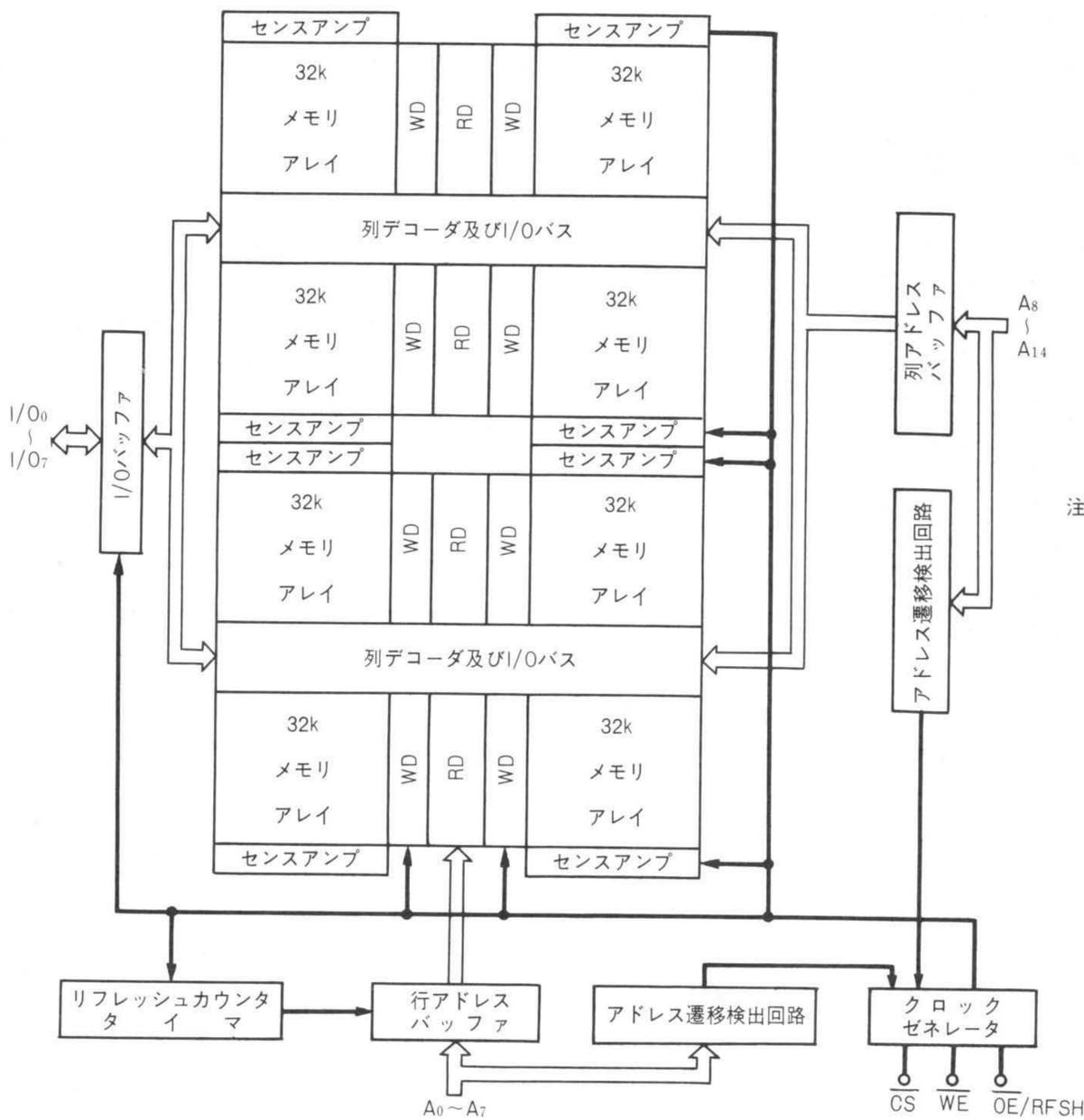
HM65256は、1トランジスタ形メモリセルを用いているため、リフレッシュ機能が必要である。そこで、従来のDRAMに用いられていたアドレスリフレッシュ以外に、オートリフレッシュとセルフリフレッシュを採用し、より使いやすくした。すべてのメモリセルは、行アドレス($A_0 \sim A_7$)を256サイクルだけスキャンさせると、リフレッシュが完了する。図5にリフレッシュ動作を示す。

オートリフレッシュでは、外部から信号(RFSH)を入力してリフレッシュ動作を制御することができる。 \overline{CS} が非選択時、RFSHを'H'にすると内部回路が働き通常の読み出し動作を行なう。このとき、メモリセルにデータが再書き込みされるのでリフレッシュができる。オートリフレッシュでは、行アドレスバッファの入力として、RFSHクロックによりインクリメントされるリフレッシュアドレスカウンタの出力が使われる。したがって、RFSHクロックの256サイクルで全メモリセルがリフレッシュされることになる。

また、内部にタイマをもっているため、外部制御なしに一定期間ごとにリフレッシュを行なうセルフリフレッシュが可能である。RFSHを $4\mu\text{s}$ 以上'H'にすると、セルフリフレッシュモードになる。メモリセルは、内部リフレッシュタイマによって約 $15\mu\text{s}$ ごとにリフレッシュ動作を行ない、 4ms で全メモリセルがリフレッシュされる。このタイマは、電源電圧とプロセスにあまり依存しないように作られているため、安定な周期が得られる。

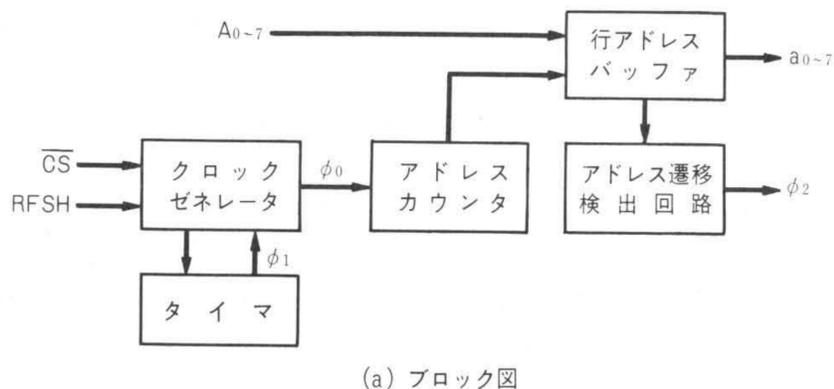
3.2 センス系回路

センス系回路を図6に、その動作波形を図7に示す。ビット線プリチャージレベルは、従来のDRAMの V_{cc} レベルに対して、HM65256では $\frac{1}{2}V_{cc}$ レベルとなっている。このハーフプリチャージ方式は、サイクル時間の短縮と低消費電力化に効果がある。

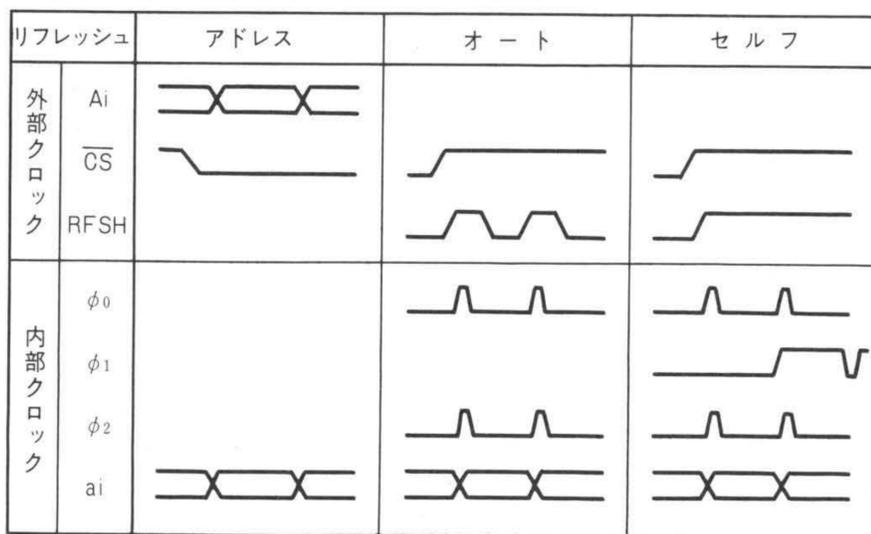


注：略語説明
RD(行デコーダ)
WD(ワードドライバ)

図4 PSRAMの機能ブロック図 メモリアレイは8分割されており、ワード線遅延を少なくして、高速化を図っている。



(a) ブロック図



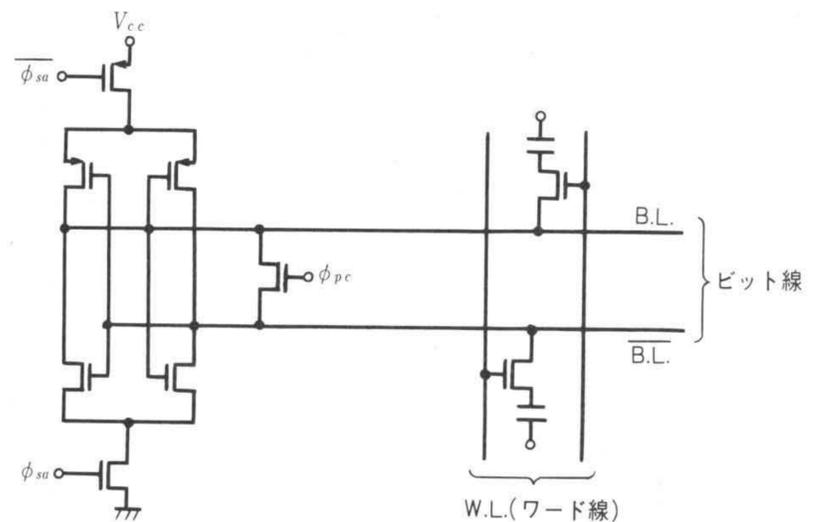
(b) 動作波形

注：略号説明 Ai(アドレス信号) phi_0~2(内部クロック)
CS(チップセレクト信号) ai(アドレスバッファ出力)
RFSH(リフレッシュ信号)

図5 リフレッシュ動作 (a)図にリフレッシュ回路のブロック図を、(b)図に三つのリフレッシュモードの動作波形を示す。

まず、動作原理について説明する。アドレス遷移検出回路の出力信号により、プリチャージ信号(ϕ_{pc})が作られ、ビット線対をショートさせ、 $\frac{1}{2}V_{cc}$ にプリチャージする。次に、選択ワード線が'H'になるとメモリセルから情報が読み出される。ビット線に信号が十分伝達されたところで、 ϕ_{sa} と $\bar{\phi}_{sa}$ によりセンスアンプが動作する。こうして、ビット線は V_{cc} と V_{ss} に増幅される。

プリチャージのとき、ビット線は V_{cc} 又は V_{ss} から $\frac{1}{2}V_{cc}$



注：略号説明 BL, BL(ビット線)
phi_pc(プリチャージ信号)
phi_sa, phi_sa(センスアンプ駆動信号)

図6 PSRAMのセンス回路 新たにハーフプリチャージ方式を採用し、高速化、低消費電力化を図っている。

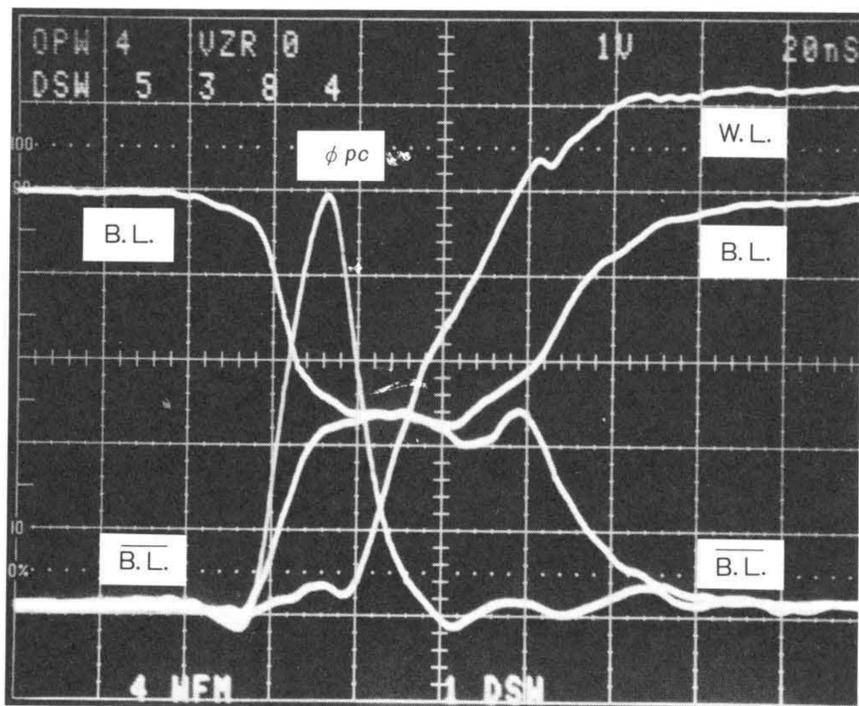


図7 PSRAMの内部波形 1対のビット線は、 ϕ_{pc} により $\frac{1}{2}V_{cc}$ にプリチャージされている。W.L.(ワード線)が'H'になると、ビット線にデータが現われ、センスアンプによって増幅される。

まで変化するだけでよく、従来の V_{ss} から V_{cc} まで変化する場合に比べてプリチャージ時間を30%に短縮することができる。また、ハーフプリチャージ方式は、ビット線対をMOSでショートさせる方式であるため、プリチャージ電流が不要である。この方式で電源電流を必要とするのは、主にセンスアンプ動作時のビット線増幅用電流だけであるため、従来のDRAMよりも消費電流を半分にすることができる。このため、電源ラインのノイズ、ビット線~基板間カップリング容量による基板変動を小さくでき、安定な動作を得ることができる。

HM65256は、上記ハーフプリチャージ方式センス回路を採用することにより、サイクル時間の高速化と低消費電力を実現している。

4 電気的特性

図8にアクセス時間の電源依存性を示す。電源電圧5V、温度 25°C の標準条件で125nsである。電圧依存性は -14ns/V

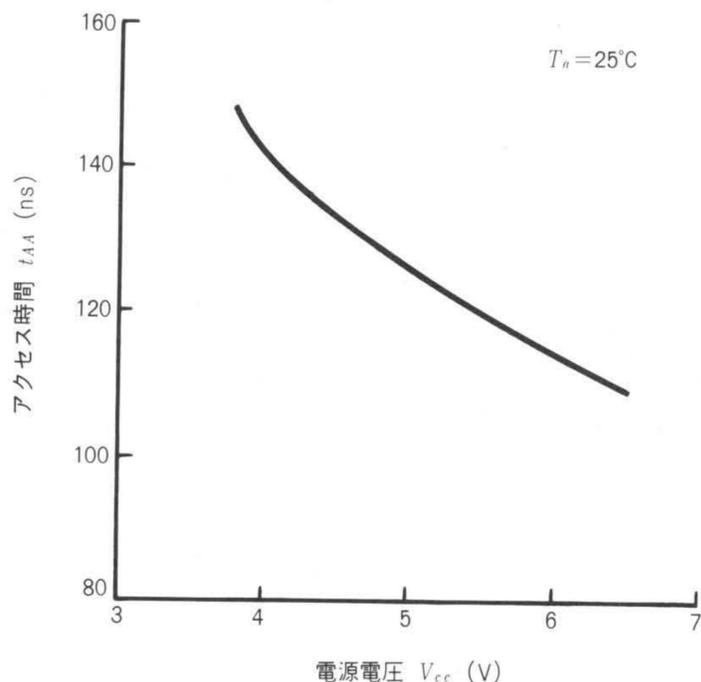


図8 アクセス時間の電源電圧依存性 標準条件でアクセス時間は125nsである。

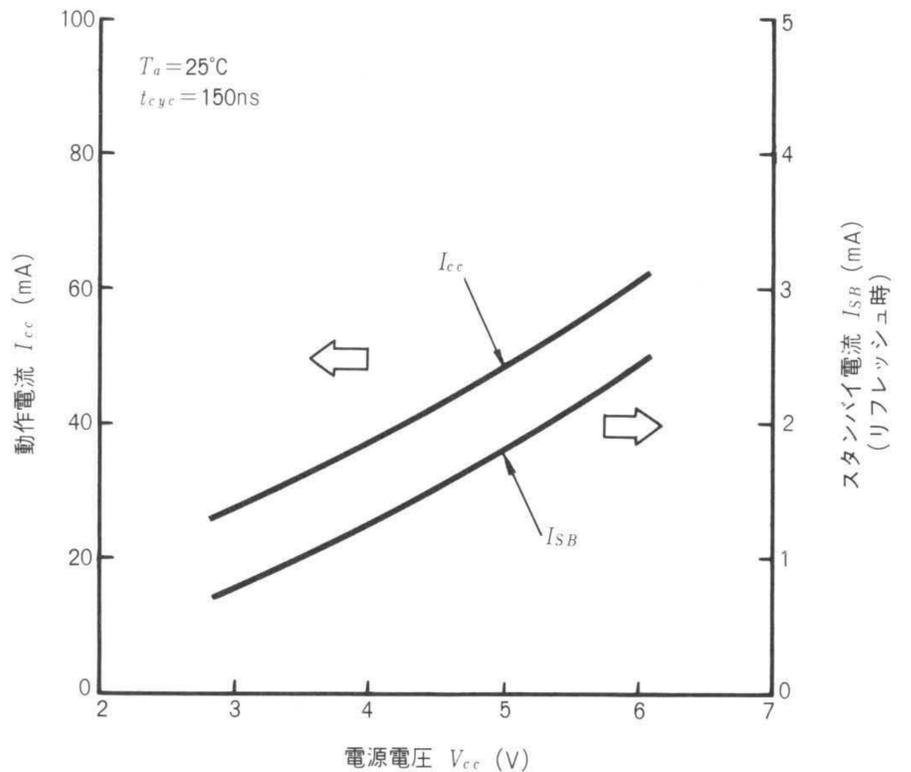


図9 消費電流の電源電圧依存性 標準条件で動作電流(サイクル時間=150ns)は50mA、スタンバイ電流はリフレッシュ時2mAである。

である。

図9に、動作電流とスタンバイ電流(リフレッシュ時)を示す。上記標準条件で、サイクル時間が150nsのとき、動作電流は50mAである。また、スタンバイ電流は2mAである。以上のように、従来のDRAMやSRAMに比べて、低消費電力を実現している。

5 結 言

256kビットPSRAM(擬似SRAM)、HM65256を開発した。同期方式として使用すればDRAMと同様の、非同期方式ではSRAMと同様の使い方ができる。アクセス時間は、標準条件にして125nsである。消費電力は動作時250mW、スタンバイ時10mWである。

構成は、32kワード×8ビットで、28ピン600mil標準プラスチックパッケージに收容されている。

以上のようにHM65256は高集積と使いやすさを兼ね備えたメモリであり、小規模システム用メモリとして最適である。

参考文献

- 1) 湊, 外: 64kビットCMOSスタティックRAM, 日立評論, 64, 7, 497~502(昭57-7)
- 2) M. Ishihara, et al.: A 256K Dynamic MOS RAM with Alpha Immune and Redundancy, ISSCC Digest of Technical Papers, p. 74~75(1982-2)
- 3) H. Kawamoto, et al.: A 288kb CMOS Pseudo SRAM, ISSCC Digest of Technical Papers, p. 276~277(1984-2)
- 4) T. Shinoda, et al.: A 1Mb ROM with on-chip ECC for yield enhancement, ISSCC Digest of Technical Papers, p. 158(1983-2)