

ISSCCの動向と日立製作所の発表論文

Trends of ISSCC '85 (International Solid-State Circuits Conference)

固体回路素子(IC, LSI)の分野で常に世界最先端の技術が発表されるISSCCの昭和60年度の動向をまとめ、日立製作所からの発表論文について概説した。これによりVLSI開発のフロンティアを概観し、日立製作所のVLSI開発活動の一端を併せて紹介する。

日立製作所からの論文は、メモリ、ロジック、アナログ、民生用、その他幅広い分野で発表され、合計14件に上った。これは全論文数の13%に当たり、日立製作所の半導体開発の幅と活動度を内外に示している。

久保征治* Masaharu Kubo

青木正和** Masakazu Aoki

前島英雄*** Hideo Maejima

1 緒言

昭和60年のISSCC (International Solid-State Circuits Conference)は、2月13日から15日まで、米国ニューヨーク市で開催され、2,000人余のおおぜいの研究者、技術者が集まった。

発表論文数は全体で108件あり、このうち、日本が49件を占め、44件の米国を初めて追い越した。

カーネギーメロン大学のReddy教授が、“Super Chips for Artificial Intelligence”と題して基調講演を行なった。その講演の骨子は次のようであった。「視覚、言語などの分野での人工知能システムで、将来『核』となるのは 10^9 素子すなわち10億素子レベルのスーパーチップであり、それは21世紀初頭には実現できるであろう。そのスーパーチップをもってしても、人工知能システム応用との間には必要素子数及びスループットの点で数けたの開きがある。しかし、このスーパーチップを数百チップ用いることによって、視覚、言語、ロボット、エキスパートレベルの推論などの人工知能システムに応用できるので、未来の家庭、オフィス、工場に対してスーパーチップは経済的にも大きなインパクトを与えるであろう。」

今回のハイライトは 10^6 素子レベル、すなわち100万素子レベルまでのVLSIの研究発表であったが、メモリ、プロセッサ及び通信、民生用アナログ、デジタル素子の各分野で新しい発表が相次いだ。今後のOA(オフィスオートメーション)をけん引していくのは、まさに革新的なVLSIであるとの認識が強まってきた。

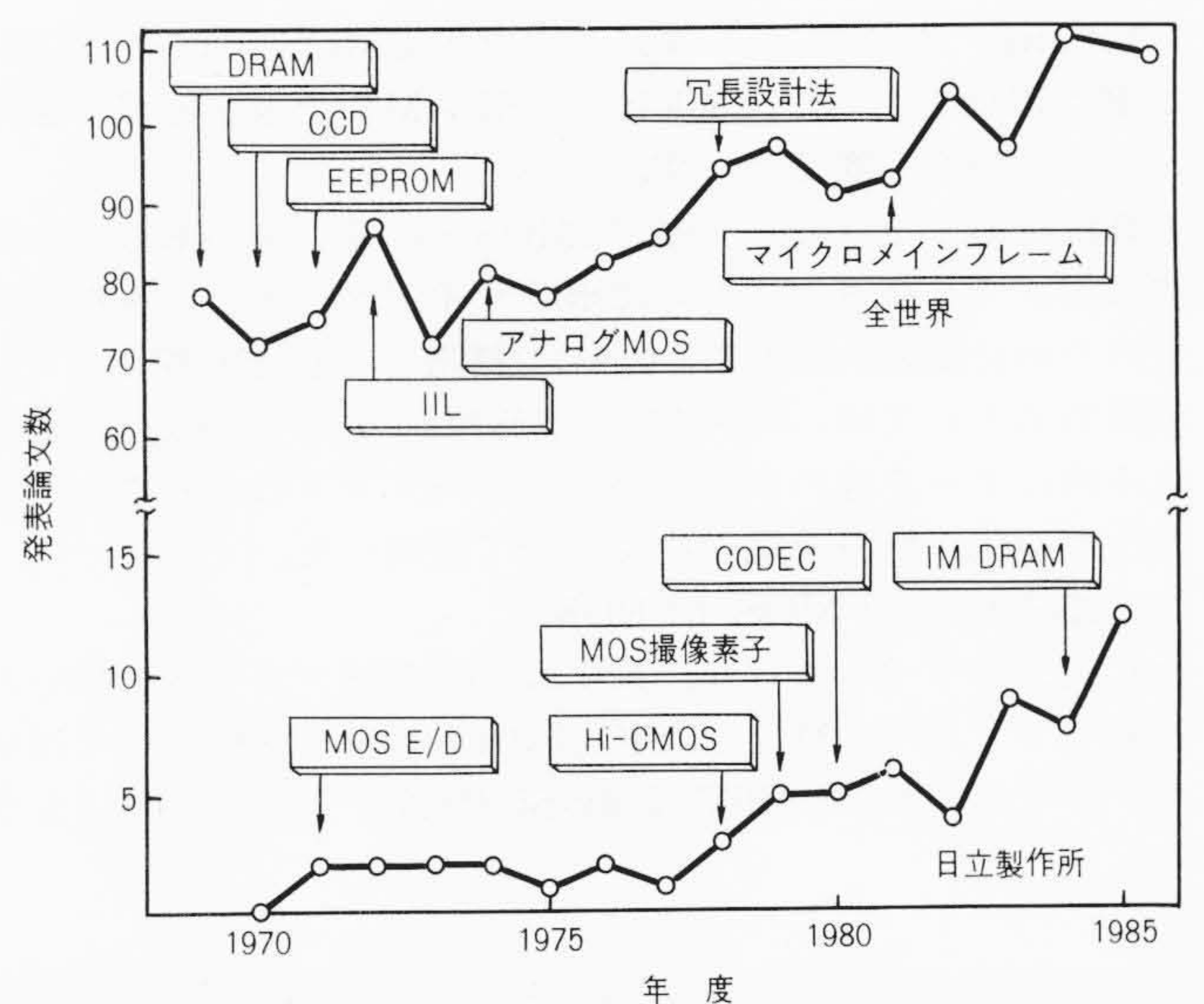
日立製作所からは、昭和60年に14件の論文発表があり、ISSCCでの役割は、図1に示すようにますます高まりつつある。

以下、2章で、メモリ、ロジック及び民生・アナログ・その他の3分野での技術動向と、日立製作所から発表された論文の要点と特徴について記述する。

2 分野別動向と日立製作所の活動状況

2.1 メモリ関係

現在、MOS(Metal Oxide Semiconductor)メモリ特にDRAM(ダイナミックメモリ)は、最先端のプロセス技術をけん引する役目を果たしており、その開発動向は常に注目されてきている。昭和60年のISSCCでは、 $1.2\sim 1.5\mu\text{m}$ レベルの加工技術を用いたMOSメモリのプロトタイプの発表が相次い



注：略語説明
 DRAM(ダイナミックメモリ)、CCD(電荷結合素子)
 EEPROM(電気書換え形読み出し専用メモリ)
 IIL(Integrated Injection Logic)
 MOS E/D(デプレッション負荷MOS集積回路)
 Hi-CMOS(高性能CMOS)、CODEC(Coder Decoder)

図1 ISSCCでの全発表論文と日立製作所の発表論文の年次推移
 全発表論文数は過去15年間に約50%の増加であるが、日立製作所の発表論文は0から14件に飛躍した。たお、図中の□囲み内は重要な発表を表わす。

だ。中でも1M(10^6)ビットの素子が9件そろったDRAMのセッションは圧巻であった。SRAM(スタティックメモリ)のセッションでは3件の256kビット素子が発表され、不揮発メモリのセッションでは1Mビット及び256kビットのEPROM(Erasable Programmable Read Only Memory)がそれぞれ2件発表された。

大容量SRAMではCMOS技術が既に必要になっているが、DRAMでも9件中4件、EPROMでも4件全部がそれぞれCMOSであり、これによる低消費電力化、多機能化の動きが定着しつつある。

メモリ関連セッションでは我が国からの発表が多く、4セッション31件中19件を占めた。日立製作所からは、1MビットDRAM、256kビットSRAM、256kビットEPROM、1Mビ

ットEPROM及び16値(4ビット)の情報を1セルに蓄積する多値メモリが報告された。以下、これら日立製作所からの発表の概要を述べる。

(1) 1MビットCMOS-DRAM

日立製作所は昭和59年のISSCCで、世界に先駆けて1MビットNMOS-DRAM¹⁾を発表し、昭和60年は、1.2μmデザインルールNウェル構造の1MビットCMOS-DRAMを報告した。本CMOS-DRAMはサイクル時間20nsの高速スタティックカラムモードをもち、このときの消費電力は250mWに抑えられている。幅300mil(1inの $\frac{1}{1,000}$)の標準18ピンパッケージに収められたチップ外観を図2に、素子特性一覧を表1に示す。

低消費電力化のために $V_{cc}/2$ ビット線プリチャージ²⁾、ATD(アドレス遷移検出法)³⁾を採用した。また待機時の消費電力を低減するために、動作状態に応じて電力を自動調節する基板バイアス発生回路を新たに考案し、効果を確認した。

(2) 256kビットCMOS-SRAM

1.2μmデザインルール、PウェルCMOSプロセス(Hi-CMOSIII)⁴⁾を用いた、256kビットSRAMのチップ写真を図3に、素子特性を表2に示す。

高抵抗形メモリセル、周辺CMOSという実績のある基本構造に加えて、高速化のためにポリサイドゲートを、長期信頼性のためにLDD(低濃度ドレーン)構造をそれぞれ採用した。回路方式としては、パルスワード線駆動方式³⁾に加えて、書き込み時にデータ線の負荷を高インピーダンスにすることにより、高速化、低消費電力化を併せて実現した。

(3) 256kビットCMOS-EPROM

1.8μmデザインルール、NウェルCMOSプロセスを用いた256kビットEPROMでは、SiO₂上のPoly-Siを基板として用いたPチャンネルMOS FET(Poly-Si PMOS FET：図4)をプ

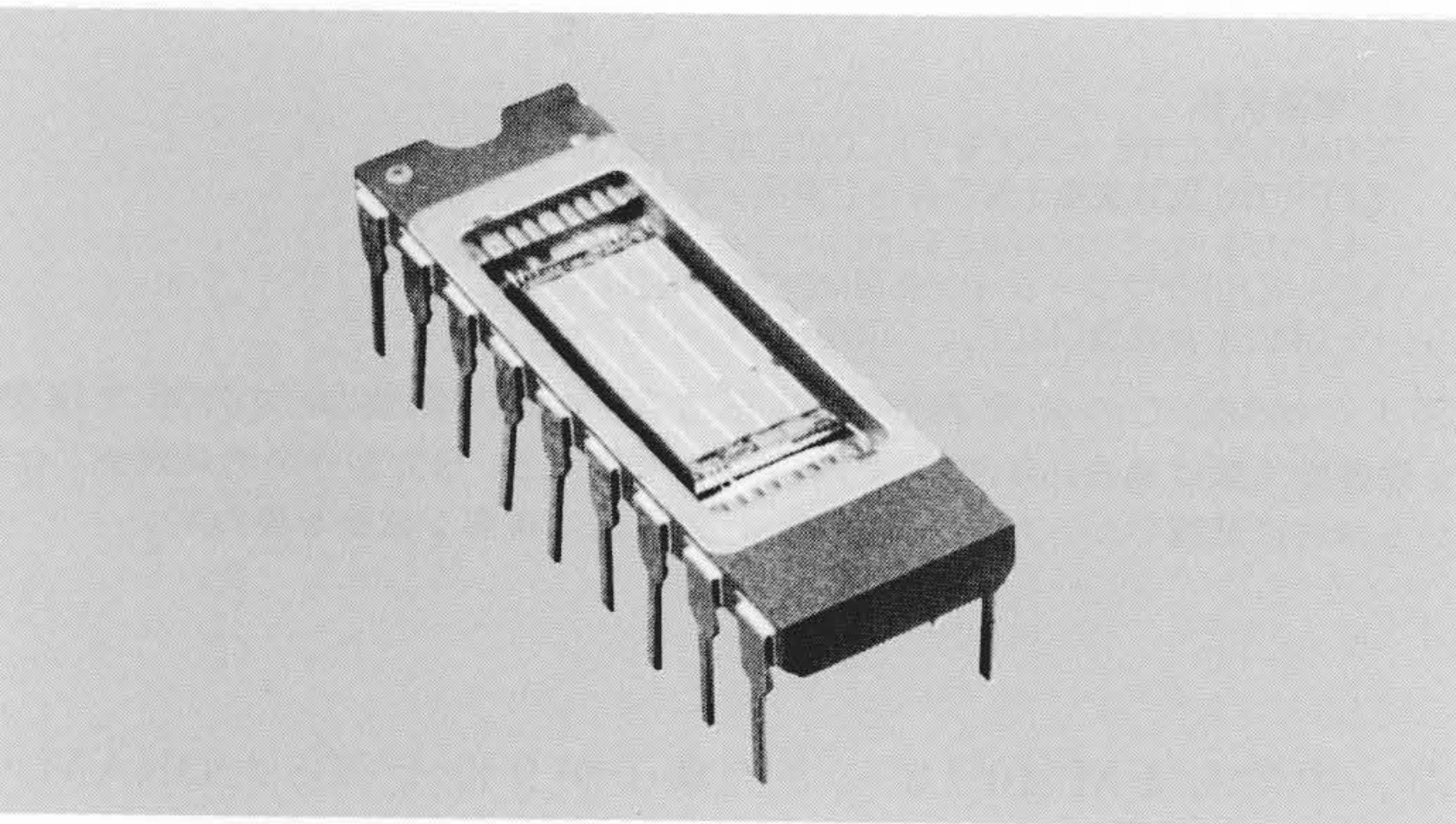


図2 1MビットDRAMチップ及びパッケージ外観 幅300milの標準18ピンパッケージに収められる。またチップサイズは、4.68mm×10.1mmである。

表1 1MビットCMOS-DRAMの特性 CMOS化によりスタティックカラム機能をもたせることができ、高速化、低電力化も併せて実現した。

項 目	特 性
メ モ リ 構 成	1,048,576ワード×1ビット
電 源 電 圧	5V±10%
カラムアクセス時間	20ns (5V, 25℃)
RASアクセス時間	74ns (5V, 25℃)
消費電力 (動作時)	230mW (210ns サイクル)
(待機時)	1.5mW (CMOSレベルインプット) 7mW (TTLレベルインプット)
リフレッシュ方式	512サイクル/8ms
パ ッ ケ ー ジ	300mil 18ピンDIP

注：略語説明 RAS(Row Address Strobe), CMOS(相補形MOS)
TTL(Transistor Transistor Logic), DIP(Dual in Line Package)

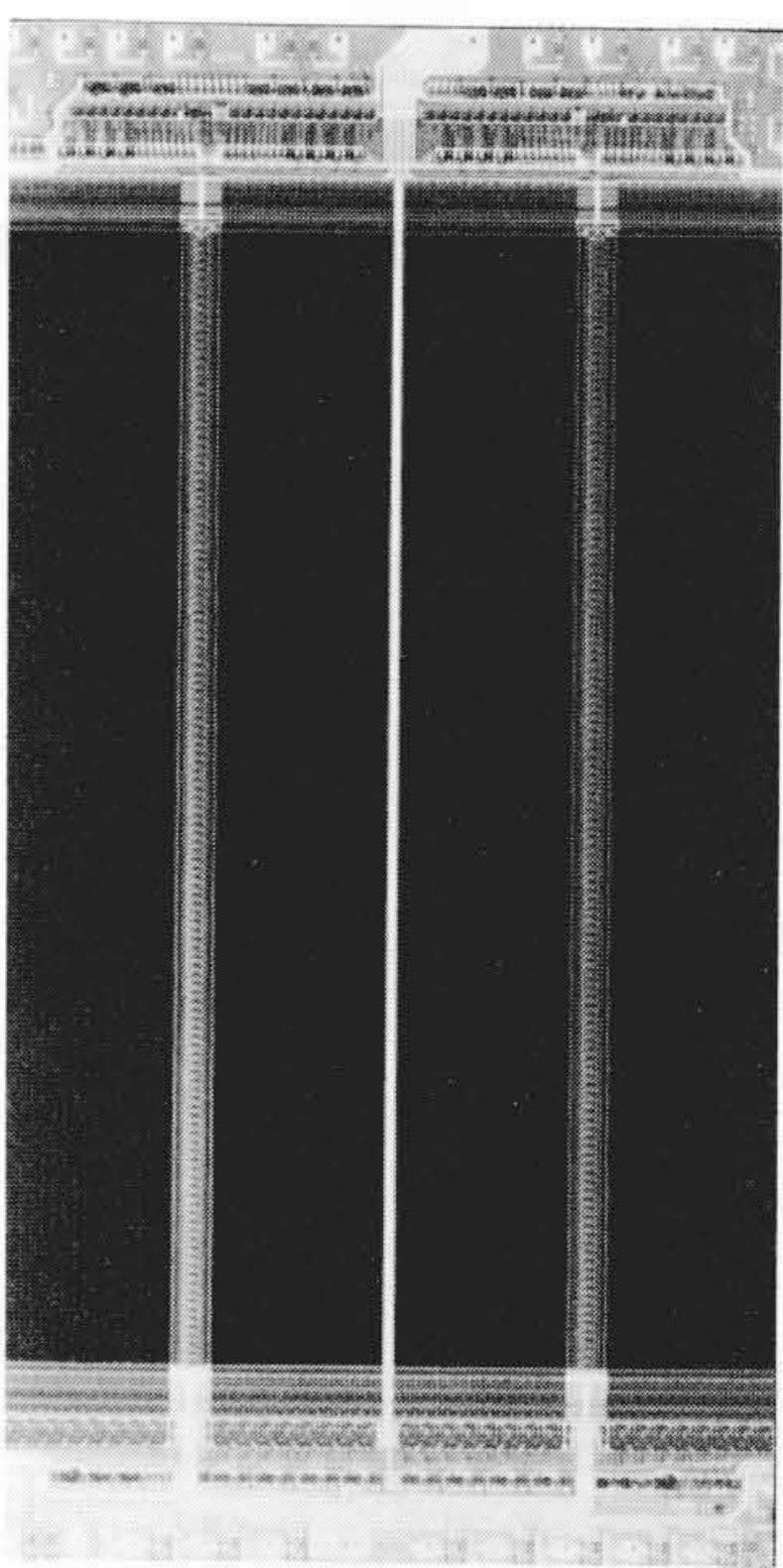


図3 256kビットCMOS-SRAMのチップ写真 チップサイズは、4.98mm×9.16mmである。

表2 256kビットCMOS-SRAMの素子特性 64kビットCMOS-SRAMと同等の性能が得られた。

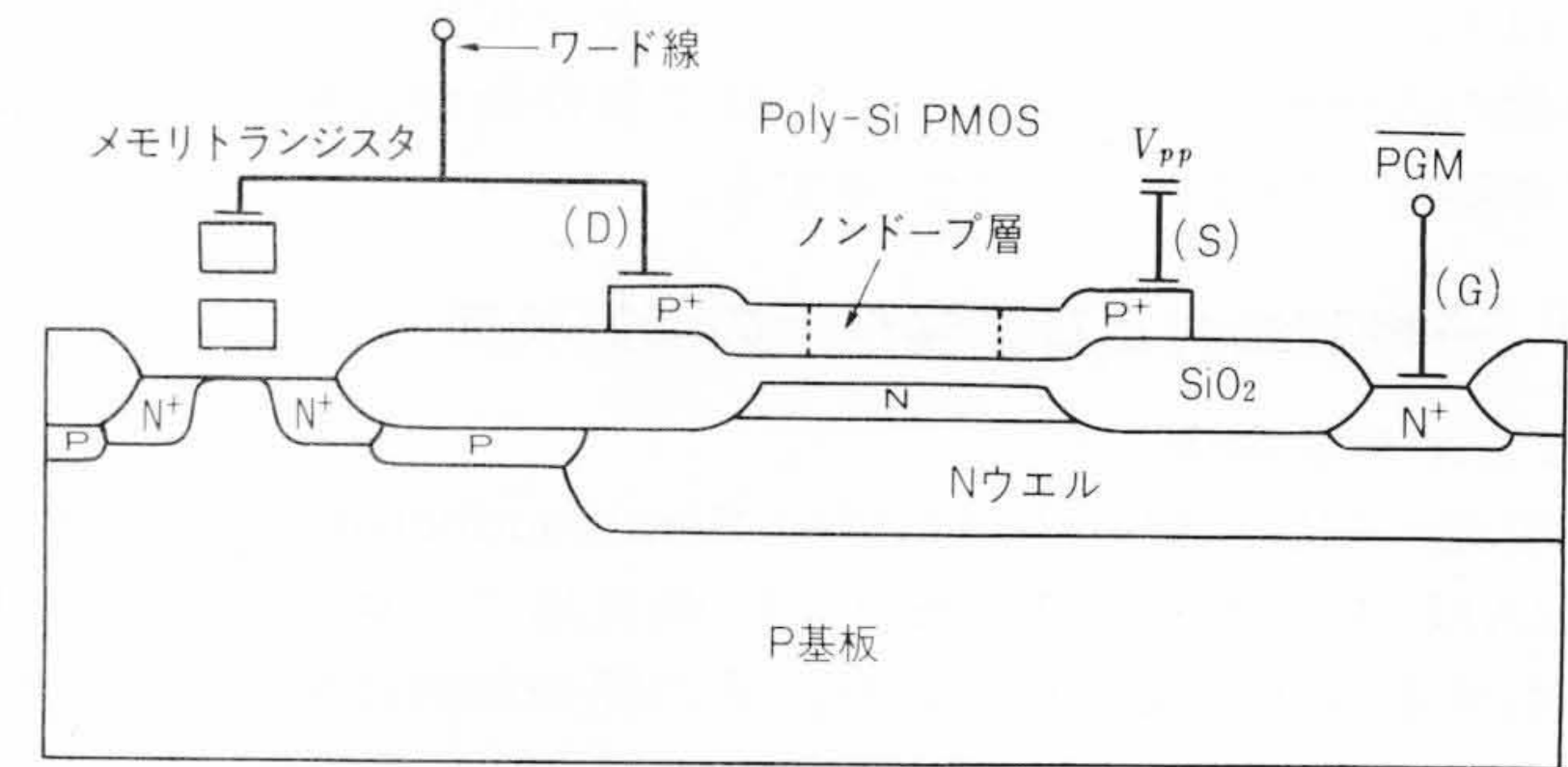
項 目	特 性
メ モ リ 構 成	32k ワード×8ビット
アドレスアクセス時間	45ns
チップセレクトアクセス時間	47ns
動作消費電力	
読出しサイクル	200mW(10MHz), 30mW(1MHz)
書き込みサイクル	200mW(10MHz), 40mW(1MHz)

ログラム制御部に設けて、ラッチアップを防止した。ラッチアップに強い構造にした結果、データの書き込みにアバランシェ電流が利用でき、メモリの書き込み電圧を12~14Vに下げることができた。また書き込み高電圧をPMOS経由でワード線に印加する構成ができ、読み出し系と分離できるので、読み出し時間を95nsに高速化できた。表3に特性表を示す。

(4) 1MビットCMOS-EPROM

1.2μmデザインルール、NウェルCMOSプロセスを用いた1MビットEPROMは、4バイト(32ビット)同時書き込みができ、大容量化に伴う書き込み時間増加の問題を解消した。表4に特性を示す。

(5) 4ビット(16値)の情報を1セルに蓄える多値メモリ



注：略語説明 Poly-Si(多結晶シリコン)
PMOS(PチャンネルMOSトランジスタ)
 V_{pp} (書き込み電圧)

図4 256kビットCMOS-EPROMのPoly-Si PMOSとメモリセル断面概略図 Poly-Si PMOSのゲートは、i層直下のウェル内N層であり、ウェル電圧(PGM)によって電流が制御される。

表3 256kビットCMOS-EPROMの特性 NMOS 256kビット EPROMに比べて、高速化、低電力化が達成できた。

項 目	特 性
メ モ リ 構 成	32kワード×8ビット
アドレスアクセス時間	95ns
動作消費電力	12mW($f=1\text{MHz}$)
待機消費電力	$0.5\mu\text{W}$
プログラム電圧	11.8V-14.0V
平均プログラム時間	0.5ms/バイト ($V_{pp}=12.5\text{V}$)

表4 1MビットCMOS-EPROMの特性 4バイト(32ビット)同時書き込みができ、書き込み時間が短縮できる。

項 目	特 性
メ モ リ 構 成	128kワード×8ビット
動作モード	完全スタティック
電源電圧	5V
アクセス時間	140ns(平均)
消費電力	
動作時	25mW(平均)
待機時	$<5\mu\text{W}$
プログラム電圧	11-13V
モード	バイト又はページ(32ビット)
時間	0.5ms(平均)

半導体メモリの新しい応用の一つとして、高速ファイルメモリが考えられている。この用途では、高集積化(低コスト化)が重要課題である。これを実現するために、標準のDRAMと全く同一のメモリセルに、従来の1ビット(2値)情報/セルの4倍、すなわち4ビット(16値)情報/セルを蓄える多値メモリを提案し、4kビットテストアレーにより動作を確認した。プロセス技術の変更なしに4倍の高集積化が期待できる。多値情報の書き込み、読み出しの動作原理を図5に示す。

2.2 ロジック関係

ロジック関係のセッションは、マイクロプロセッサ、ゲートアレー、信号処理プロセッサに加え、新しく登場した専用プロセッサと幅が広い。各セッションでの活動状況を要約した後で日立製作所の発表論文を紹介する。

(1) マイクロプロセッサ分野

8ビットシングルチップマイクロプロセッサ及びIEEE(米国電気電子学会)標準規格準拠の浮動小数点プロセッサ各々

2件が発表された。前者は、マイクロプロセッサ構成法に関する新しい試みと新分野(生体埋込み)指向、後者は、スタンダードセル方式を含むチップレイアウト設計法が示されている。

(2) ゲートアレー分野

CMOSでは、高集積化とともに論理ゲートに加え、メモリ[RAM(Random Access Memory), ROM(Read Only Memory)]や診断回路を内蔵する高機能化に焦点が絞られてきた。また、バイポーラでは、GaAsゲートアレーが性能を上げてきている。9,000ゲートのECL(Emitter Coupled Logic)品も出現した。

(3) 信号処理プロセッサ分野

画像処理を指向したものが多い。4値論理回路などの要素技術をはじめ、製品レベルでは、乗算と加算をマルチタスキングするものや32ビット浮動小数点演算を実行できるものが出現した。

(4) 専用プロセッサ分野

特に通信分野での標準化を指向したものが多い。CCITT・G4規格のファクシミリビデオ信号プロセッサ、同G721規格のADPCMコーデック、IEEE802.5規格のトークンリング方式のLAN(Local Area Network)コントローラなどがそれである。

次に、日立製作所発表論文の要約を示す。

(1) 8ビットCMOSマイクロプロセッサ

種々の異なったマイクロプロセッサを一つのプロセッサ構造で実現する可変アーキテクチャ技術を示したものである。命令体系によってレジスタ数やレジスタ指定方法が異なり、命令語中の処理の種類を示すコードもそのパターンや位置が異なる。図6(a)に示すように、レジスタ群をプログラム可能なアドレスデコーダを備えた1ポートRAMに収納し、これを命令で直接制御する。また、同図(b)に示すように、マイクロプログラムのROMも命令で直接アクセスし、特定の命令体系の専用となる命令デコーダをROMのアドレスデコーダに一体化した。以上の技術により、命令に依存しないマイクロプロセッサ構成を可能にした。

(2) 診断回路内蔵ゲートアレー

高集積化に伴って、診断工数の増大が大きな問題となっているが、これを解決する分割診断方式のゲートアレーの構成法を示したものである。図7(a)に示すように、ゲートアレーのマスタ上には、論理に応じて診断のためのスキャンバス及

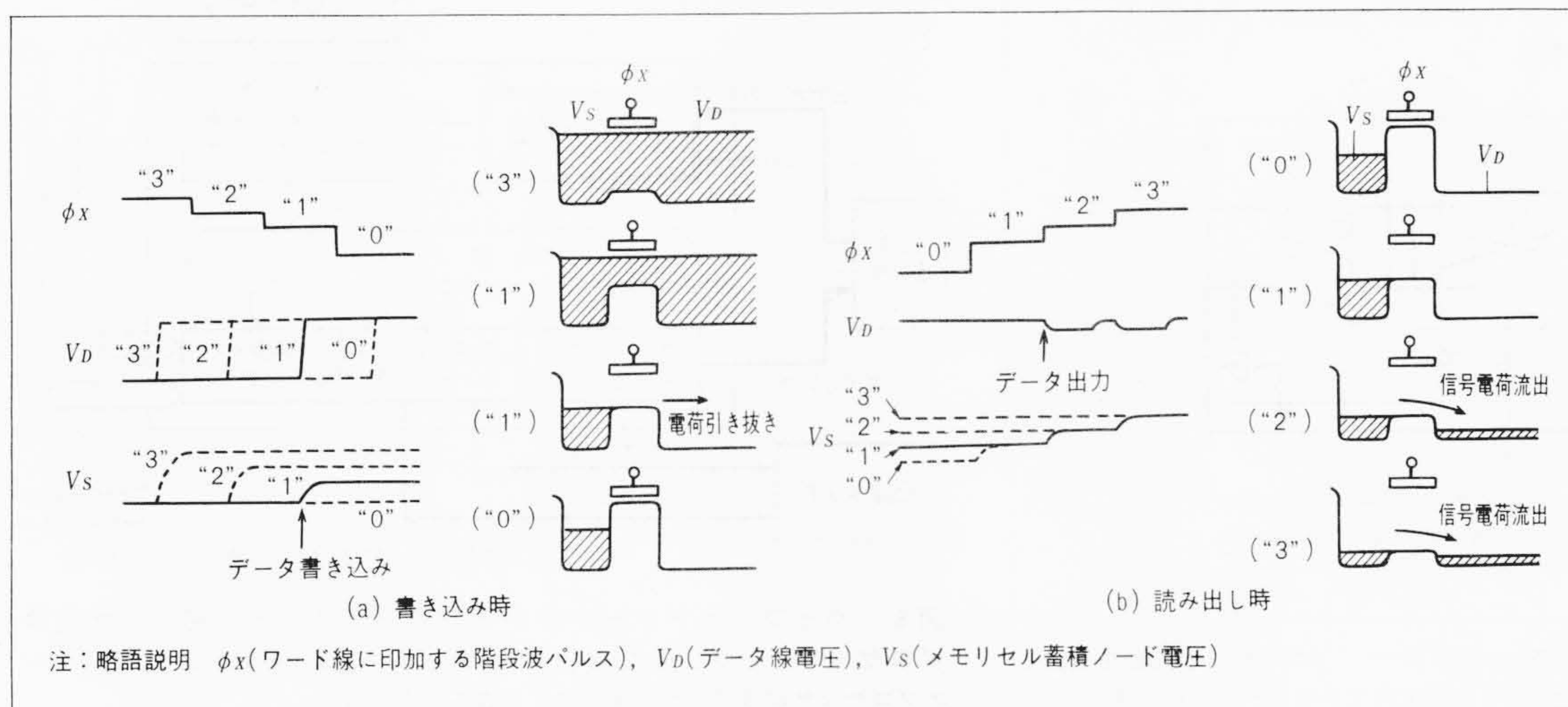
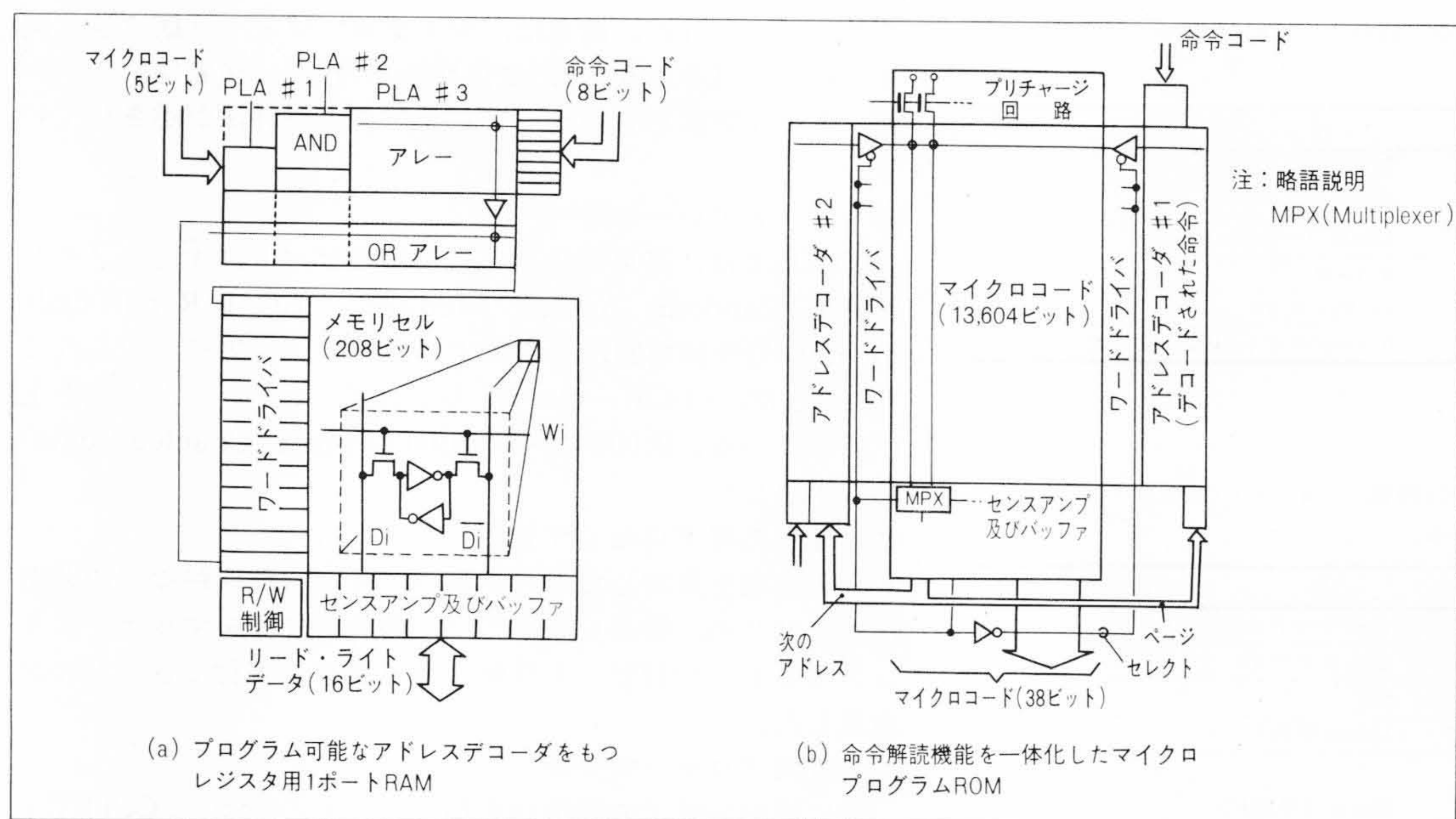
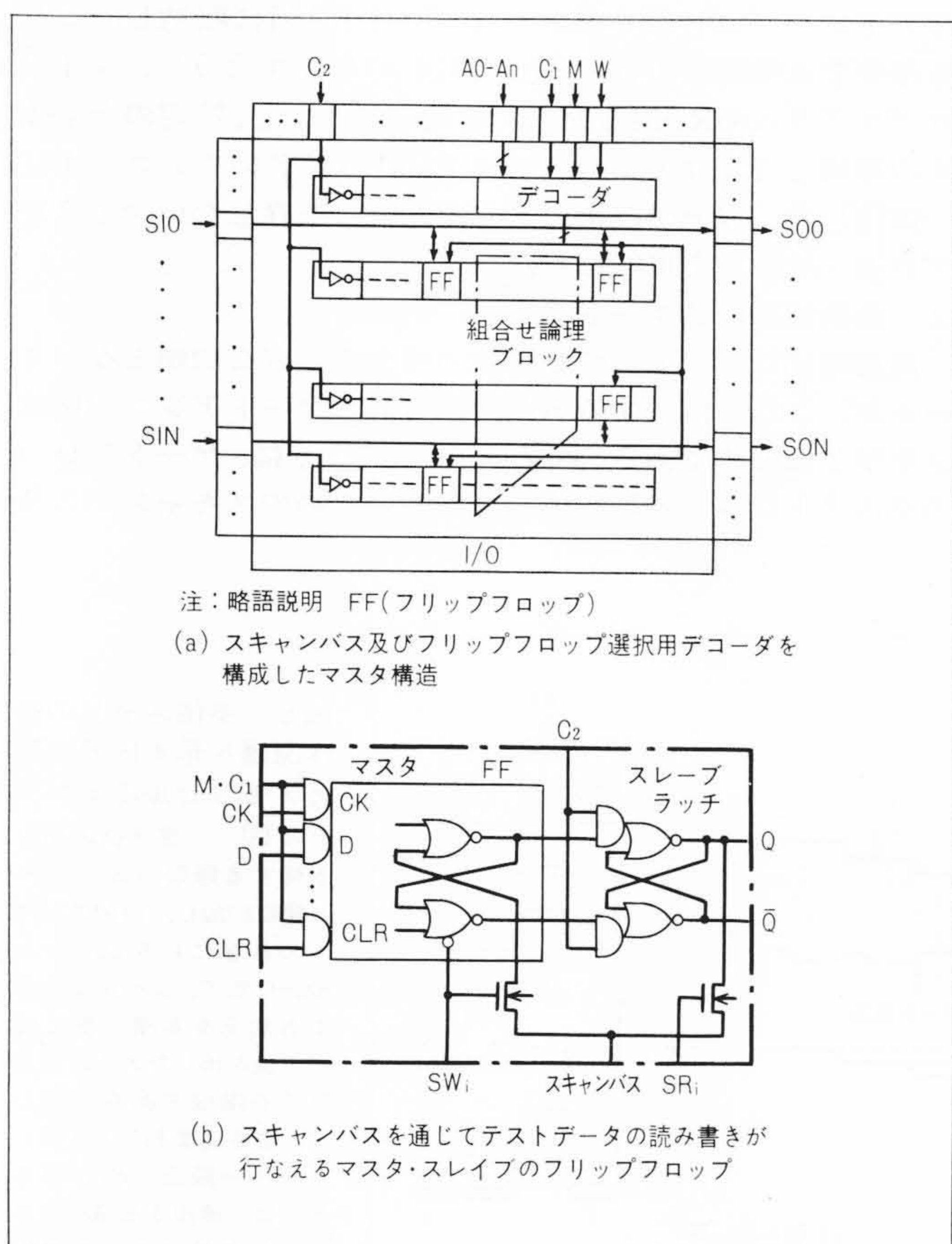


図5 多値メモリの動作原理を示す内部波形とメモリセルポテンシャル図 書き込み時は下降する階段波 ϕ_x をワード線に印加し、所望のレベルのときに V_D をLOWからHIGHにして、レベルに対応する電荷を蓄積容量に残す。読み出したときには上昇する階段波 ϕ_x を印加して、書き込まれたときのレベルの一段上に ϕ_x が移るときに、流出する電荷をタイミング信号として検出し、ビット情報にエンコードしたあと出力する。



びフリップフロップを選択するデコーダがDA (Design Automation)により自動的に生成される。また、ユーザー論理中のフリップフロップは、同図 (b) に示すマスタ・スレーブ形で構成され、スキャンバスを通じてテストデータを読み書きできる。このため、基本セルには埋め込みトランジスタが配置されている。このトランジスタは、ゲートアレー内にRAMマクロブロックを作り込む場合にも効率よく使用される。



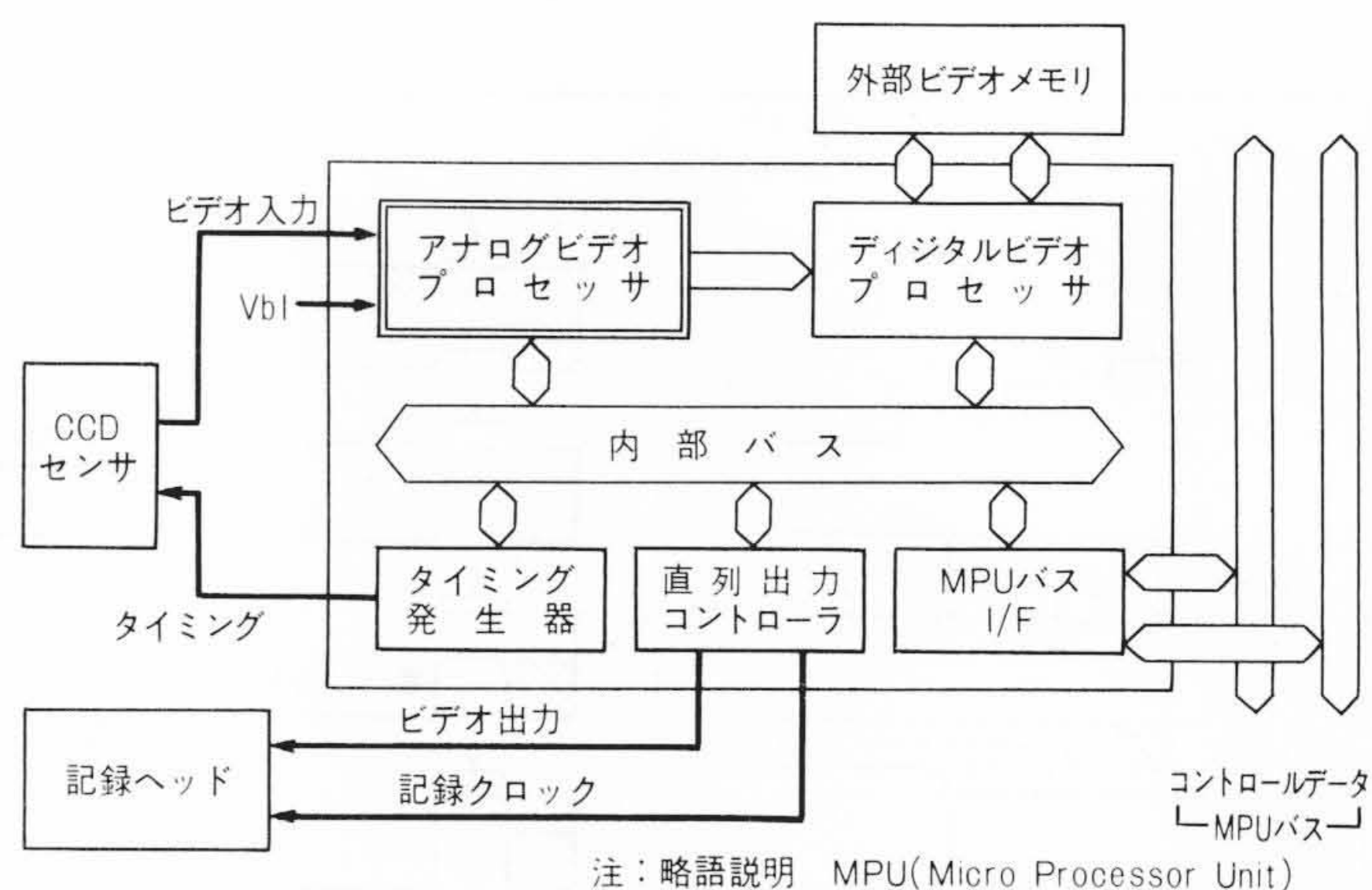
(3) FVP(ファクシミリ用ビデオ信号プロセッサ)

CCITT・G4規格に適合した高速ビデオ信号処理を図8に示したアナログ・ディジタルのハイブリッドアーキテクチャで実現したものである。シェーディングひずみ補正方式として、補正に必要な乗除算などをアナログの、波形の記憶やパラメータ設定をディジタルの各ビデオプロセッサに分担し、柔軟性と高速性を同時に達成した。アナログ部では5Mサンプル/秒で4ビットA-D変換を行ない、ディジタル部では線密度変換などを行なう。更に、CCDイメージセンサやプリンタとのインタフェースも内蔵している。

2.3 民生, アナログ, その他

ISSCCがカバーする技術範囲は、メモリやロジックだけでなく、A-D、D-A変換LSI、高速LSI、アナログLSI等々多岐にわたっており、それぞれ質の高い論文が発表される。今回特に目立ったことは、高速CMOS-LSIの台頭と、高度のデバイス・回路技術を駆使したバイポーラLSIである。

A-D, D-A変換LSIは、合計7件の発表があり、この分野の研究・開発活動の高まりがうかがえる。7件中6件はCMOS



を用いており、うち4件は高速のビデオ用である。アナログフィルタでも、7件中6件がCMOS技術によっており、うちビデオ帯域のフィルタが2件現われた。

高速素子としては、6GHzを超える分周器(2件)や500MHz帯域の8ビットD-A変換LSIがSiバイポーラ技術で実現された。オペアンプ・レギュレータのセッションでは、1.5V電池一つで動作するオペアンプや、150Wのオーディオ用オペアンプなど多彩な回路、デバイス技術(主にバイポーラ)が発表された。オペアンプやレギュレータをA-D、D-A変換LSIの周辺回路として位置づけている論文が目立ち、アナログ・デジタル混在LSI指向がうかがえる。

通信関係では、通信回線用LSIのセッション(5件)とデジタル機器を結ぶ光通信回線に関するインフォーマルセッションが開かれた。情報交換ネットワークが念頭におかれており、LSIの新しい応用分野として注目される。

日立製作所からは以下の6件の発表が行なわれた。

(1) 8ビット25MHzのCMOS並列形A-D変換LSI

CMOS技術でビデオ信号が扱える本格的なモノリシックA-D変換LSIである。高速で8ビット(256レベル)の分解能を、MOS回路で実現するために、入力電圧と参照電圧を比較判定するCMOS比較回路のオフセット電圧を一けた以上減らす工夫をし、実質9ビット以上に相当する分解能を得た。図9に入力信号と25MHzで変換後再生された出力波形を示す。また表5に特性を示す。

(2) 8ビット500MHzのバイポーラD-A変換LSI

浅溝分離形バイポーラ技術⁵⁾を用いたモノリシック高速D-A変換LSIの報告である。図10に示すように、D-A変換部の直前まで入力データを並列に伝え、マルチプレクスすることにより実効変換速度を2倍にした。特性を表6に示す。

表5 8ビットCMOS A-D変換LSIの特性 ビデオ信号が扱える本格的なCMOSモノリシックA-D変換LSIである。

項	目	特	性
分	解	能	8ビット
変	換	速	度
直	線	性	誤
差			±0.5LSB(ダイナミックレンジ1V)
S	N	比	
入力: 1.248MHz(15MHz変換)			45dB rms/rms
入力: 3.886MHz(20MHz変換)			40dB rms/rms
微	分	利	得
微	分	位	相
消	費	電	力
			300mW

注: 略語説明 LSB(Least Significant Bit), rms(root mean square)

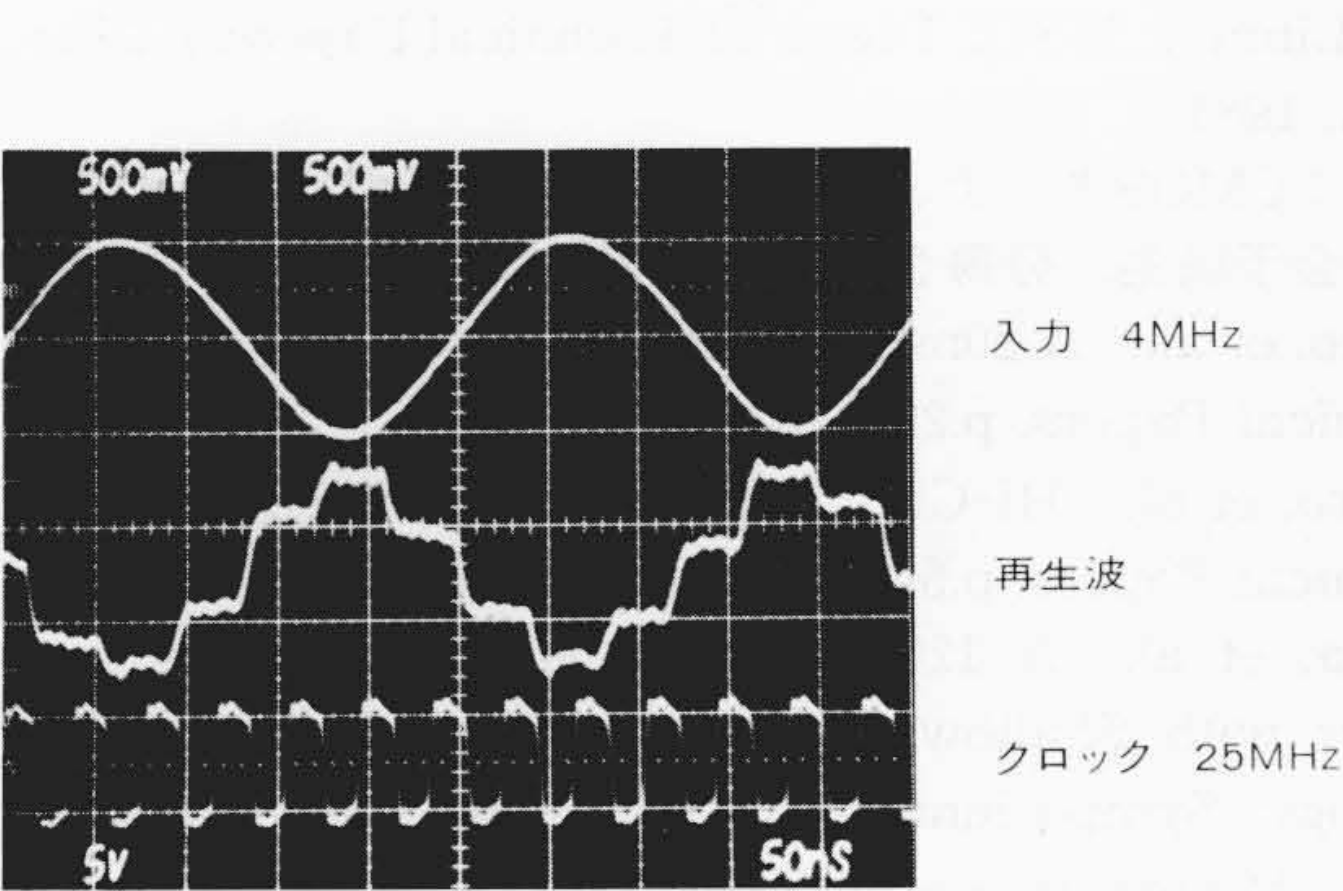


図9 8ビットCMOS A-D変換LSIの動作波形 入力
は4MHzの正弦波、出力は25MHzの変換速度でサンプリングされ
た後の再生波形である。

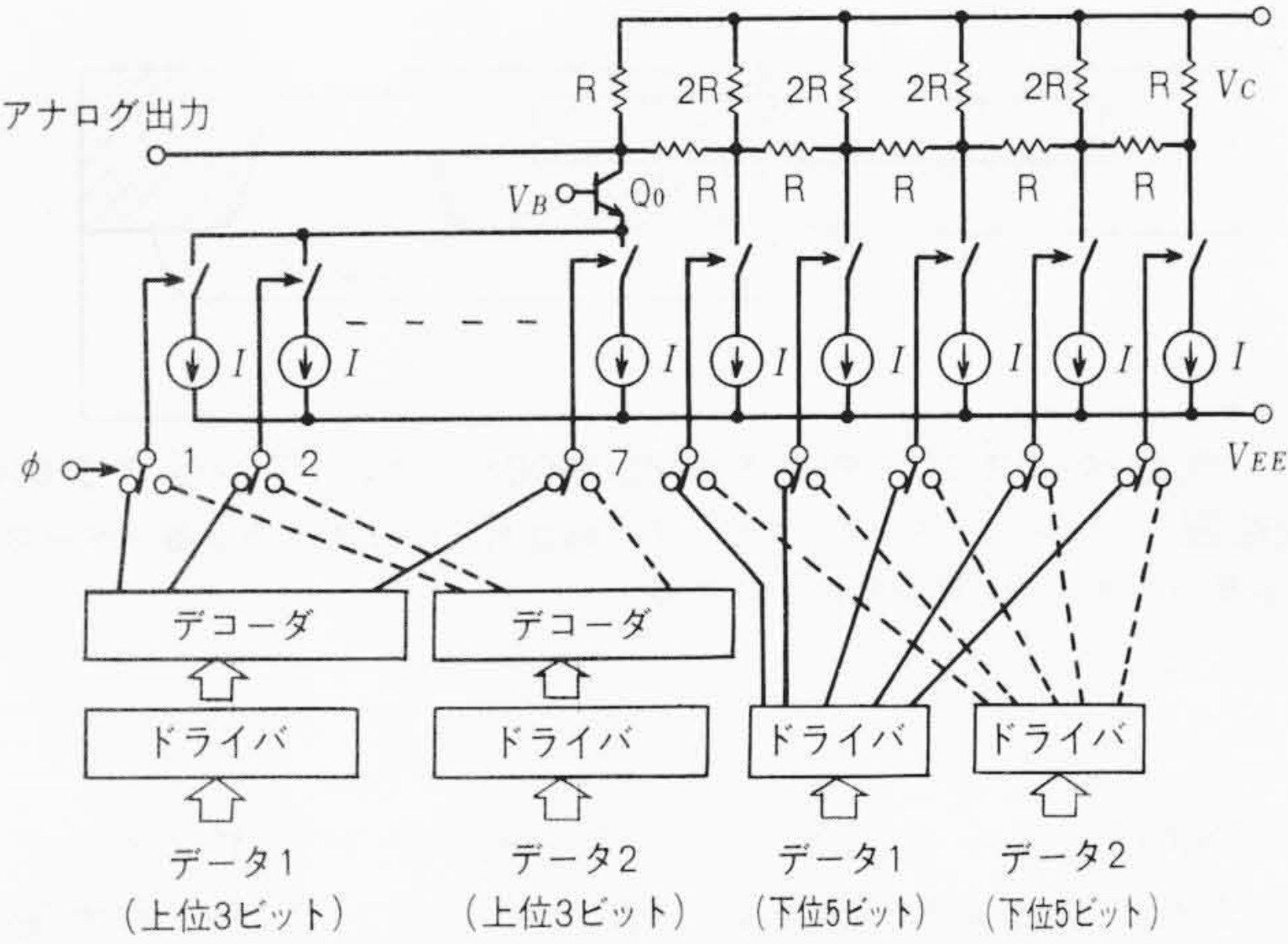


図10 8ビットバイポーラD-A変換LSIの概念図 並列の入力デー
タが変換部でマルチプレクスされる。

(3) 速度10ns以下の8×8ビット低温CMOS乗算器

CMOSを液体窒素や液体ヘリウム温度で動作させ、バイポーラやGaAs並みの高速素子を得る試みである。集積度や消費電力では、他の高速素子よりもCMOSのほうが優れているので、高速VLSIの実現が期待できる。

8×8ビット乗算器を低温で動作させ、常温に比べ2～3倍の高速性を確認した。入出力波形を図11に示す。

(4) 側壁ベースコンタクト構造(SICOS)を用いた6GHzのECL周波数分周器

SICOS⁶⁾(図12)を用いて、ECLとIILを組み合わせた分周器を試作した。3μmという緩いデザインルールを用いながら、最高トグル周波数は6.1GHz、消費電力45mW/ゲート(ECL), 580MHz, 9mW/ゲート(IIL)を実現した。これらはGaAs ICによる性能と比べて劣らない。プロセス安定性や集積度を考慮すると、超高速分野でのSiバイポーラの優位性を示唆している。

表6 8ビットバイポーラD-A変換LSIの特性 世界最高速のモノリ
シックD-A変換LSIである。

項	目	特	性
分	解	能	8ビット
変	換	速	度
セ	ト	リ	ン
グ	リ	ッ	チ
エ	ネ	ル	ギ
直	線	性	誤
差			±1/2 LSB
消	費	電	力
			350mW

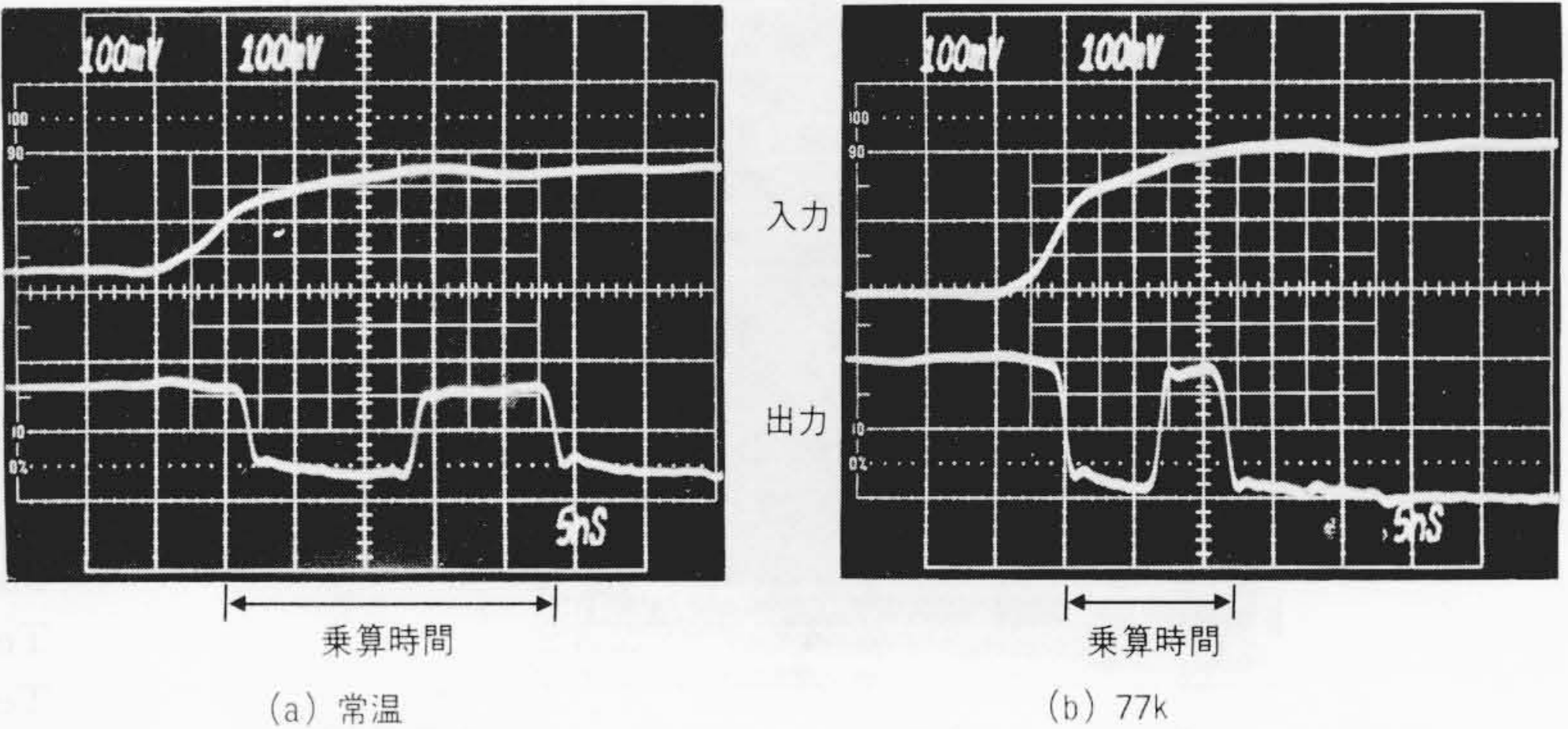


図11 8×8ビット完全CMOS形乗算器の入出力波形 入力、出力は各々MSB
(最上位ビット)で、この両者の間が最長経路(クリティカルパス)である。

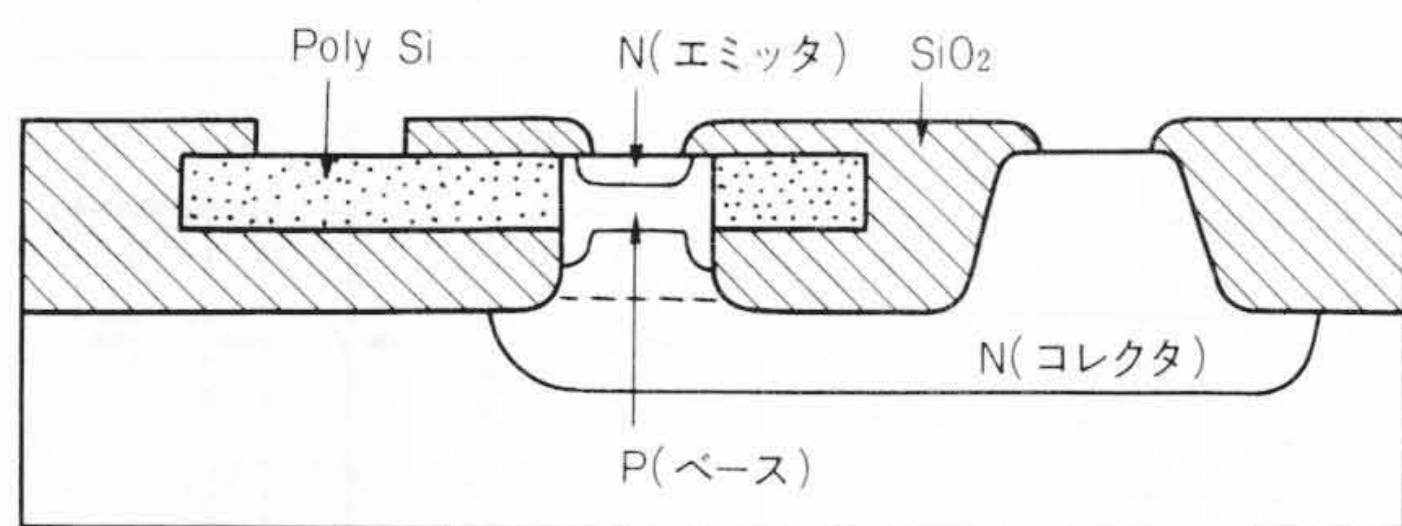


図12 側壁ベースコンタクト構造(SICOS)NPNトランジスタの断面概略図 ベース(P形)としてSiO₂で絶縁されたPoly Siを用いる。ベースの寄生容量が小さいので高速動作ができる。

(5) CMOSスイッチドキャパシタを用いたビデオフィルタ

14MHzで動くCMOSスイッチドキャパシタでビデオ帯域のフィルタを実現した。カスコード接続で高利得化した単一段のオペアンプを採用して、回路を安定かつ高速にした。

キャパシタ列を用いたアナログの水平走査遅延線(1HD)と組み合わせて、テレビジョン画像のエンハンサを外付け部品の不要な完全モノリシックLSIで実現した。図13にLSIの回路構成とチップ写真を、表7に特性を示す。

(6) 自動補正機能をもつVTR用サーボLSI

VTRの電動機速度、位相、特殊動作(トリックプレイ)及

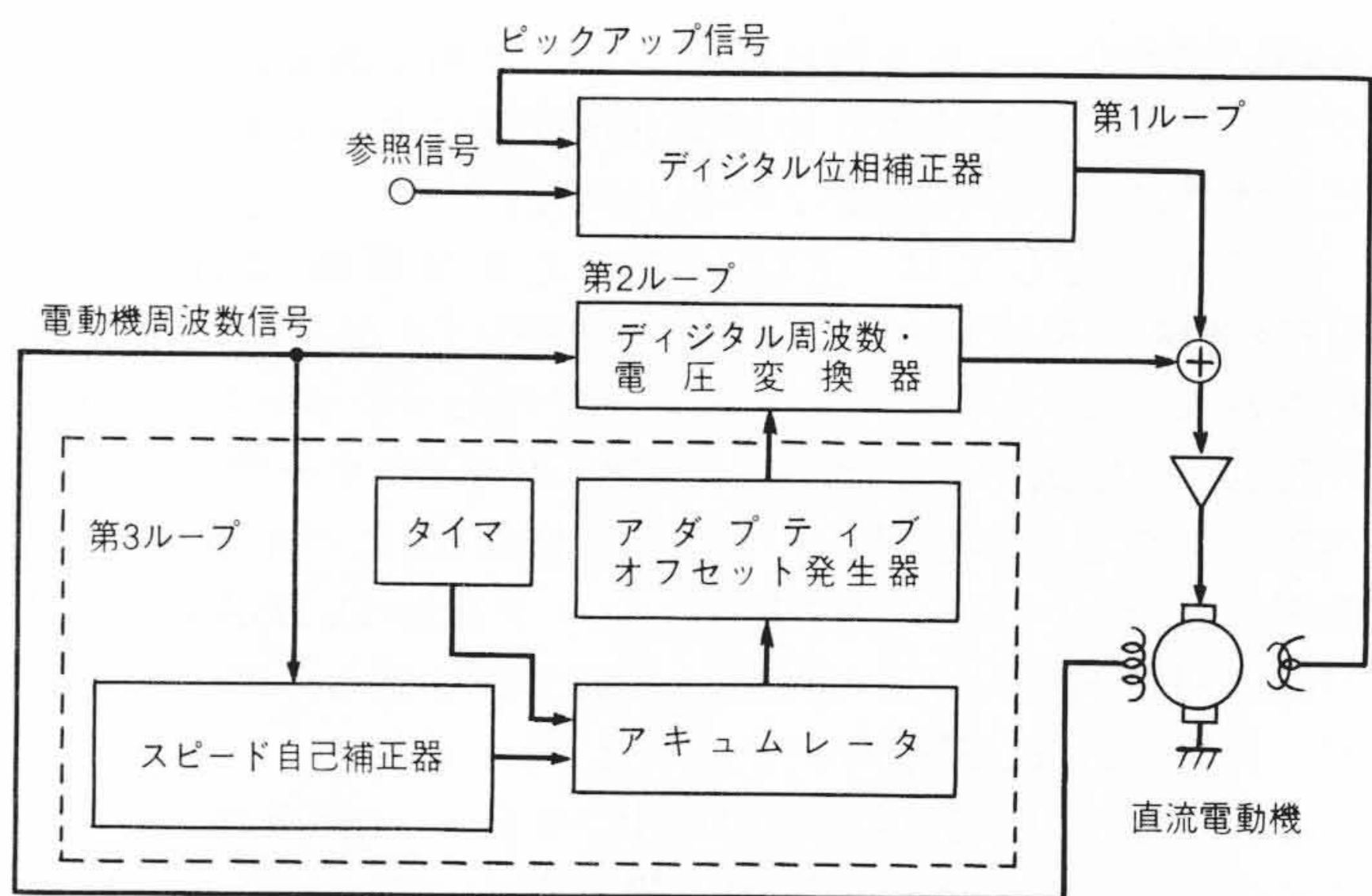


図14 VTR用サーボLSI中の電動機速度自動補正部ブロック図 破線で囲んだ第3ループ部分で、電動機速度ずれを検出し、自動的に補正する。-20~80℃の広い温度範囲で速度ずれを±0.3%の誤差内に収めることができた。

び緩速動作を制御する1チップLSIの報告である。従来4チップのLSIと付属部品で構成していたものを完全モノリシック化すると同時に、種々のインテリジェント機能が追加された。その一つである電動機速度の自己補正機能をもつ電動機速度制御システムを図14に示す。

3 結 言

以上、昭和60年度(1985)のISSCCの技術動向を述べ、日立製作所からの発表論文について概説した。本文で述べたように、いまやVLSIの集積度向上は既定の事実と認識されつつある。むしろ問題は、このような超高集積VLSIを何に应用するか(What to make?)が今後の大きな課題であろう。

別な面で今後配慮すべきことは、日本~米国~欧州間でハイテクノロジー分野での摩擦が増大しつつあることである。特に米国では、政府、軍関係に関連する技術論文に対して発表規制が従来以上に厳しくなっていると言われている。ISSCCのような権威ある国際学会はそのような摩擦に対する緩衝の役割を果たし、相互理解を深めることに極めて有益である。

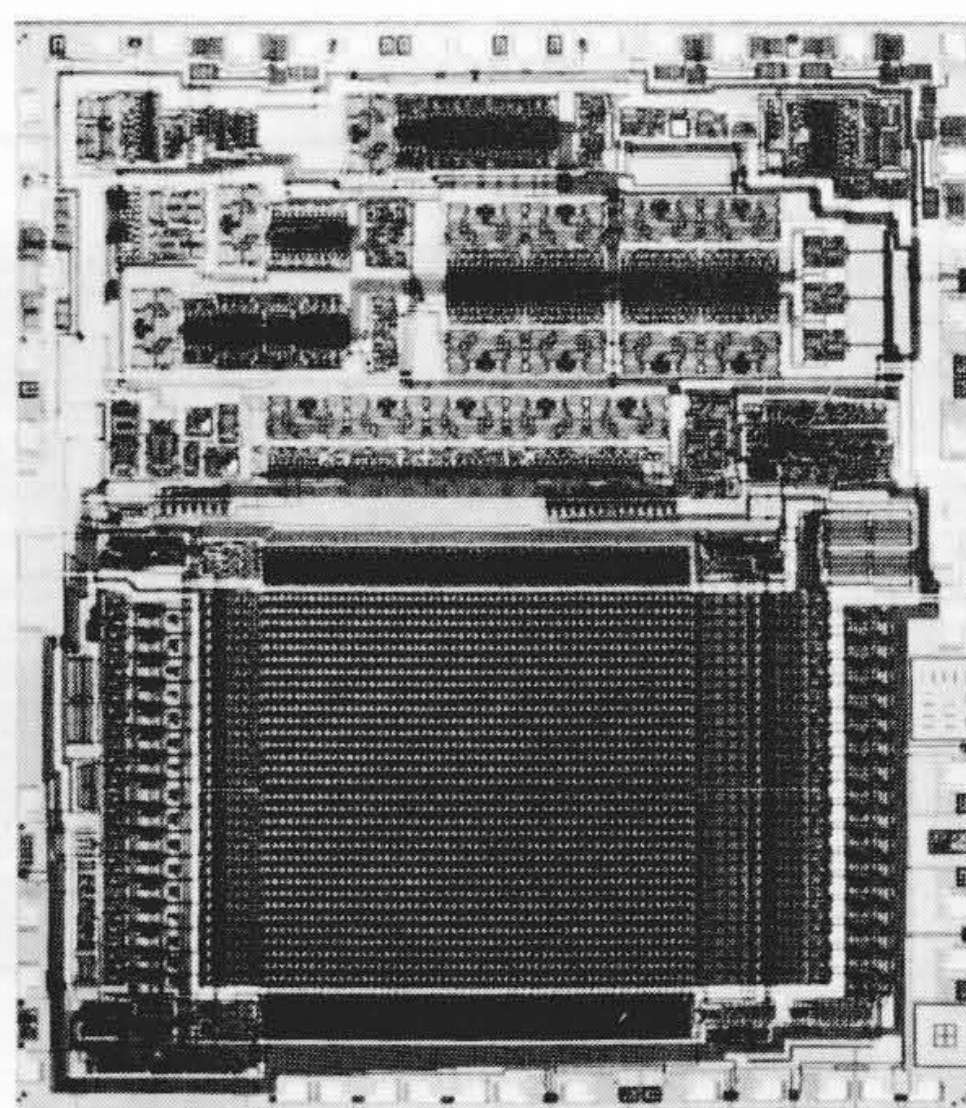
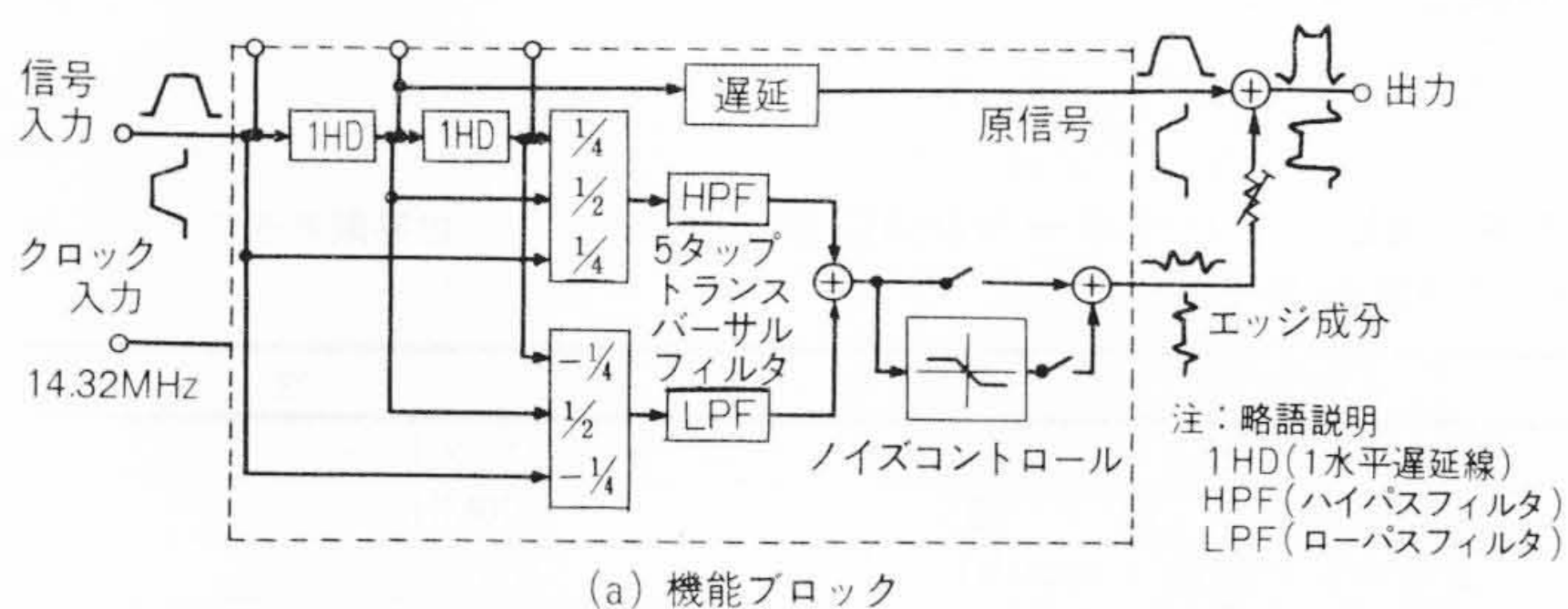
参考文献

- 1) K. Itoh, et al.: An Experimental 1Mb DRAM with Onchip Voltage Limiter, ISSCC Digest of Technical Papers, p.282~283, Feb., 1984.
- 2) 山口, 外: CMOSダイナミックRAMの方式設計, 電子通信学会全国大会予稿集, 分冊2, p.2-259(昭60-3)
- 3) O. Minato, et al.: A 20ns 64k CMOS SRAM, ISSCC Digest of Technical Papers, p.222~223, Feb., 1984
- 4) S. Meguro, et al.: Hi-CMOSIII Technology, IEDM Digest of Technical Papers, p.59~62 Dec., 1984
- 5) M. Hotta, et al.: A 120mW, 8b, Video Frequency A/D Converter with Shallow Grooved Isolated Bipolar VLSI Technology, Symposium on VLSI Technology, Digest of Technical Papers, p.58~59, Sept., 1984
- 6) T. Nakamura, et al.: Self-Aligned Transistor with Side-wall Base Electrode, ISSCC Digest of Technical Papers, p.224~225, Feb. (1984)

表7 テレビジョン画像エンハンサCMOS LSIの特性 外付け部品の不要な、完全モノリシックLSIである。

項 目	特 性
クロックレート	14.32MHz
ダイナミックレンジ	2V _{p-p} (DG<5%)
S N 比	70dB _{p-p} /rms(10Hz-6MHz)
DG, DP	2%, 1°(0.7V _{S_{p-p}})
水平エッジ強調周波数	4MHz又は7MHz
消費電力	300mW

注:略語説明 DG(微分利得), DP(微分位相)



(b) 上半部がスイッチドキャパシタフィルタ, 下半部が1水平走査遅延線

図13 テレビジョン画像エンハンサCMOS-LSI 2μm CMOSで試作され、チップサイズは5.4mm×6.0mmである。