

画像信号読取りLSI DIPP “HD63084”

Document Image Pre-Processor “HD63084”

OA端末でドキュメントを媒体とするものにファクシミリやOCRなどがあり、その高性能化、低価格化を果たすキーデバイスとして高機能な画像信号読取りLSI DIPP “HD63084”を開発した。500k画素/秒の低速から5M画素/秒の高速までの画像信号読取り装置に適用でき、アナログ回路の高精度化とともに拡大、縮小や情報密度の判定機能など、多くの機能が μ -CPUインタフェースを通して設定できる。読み取った画像信号は読取りと同一速度で信号処理が行なわれバースト転送される。

永山 義治* Yoshiharu Nagayama

永井 謙治* Kenji Nagai

多々内允晴** Masaharu Tadauchi

末森 登*** Noboru Suemori

原 英夫**** Hideo Hara

1 緒 言

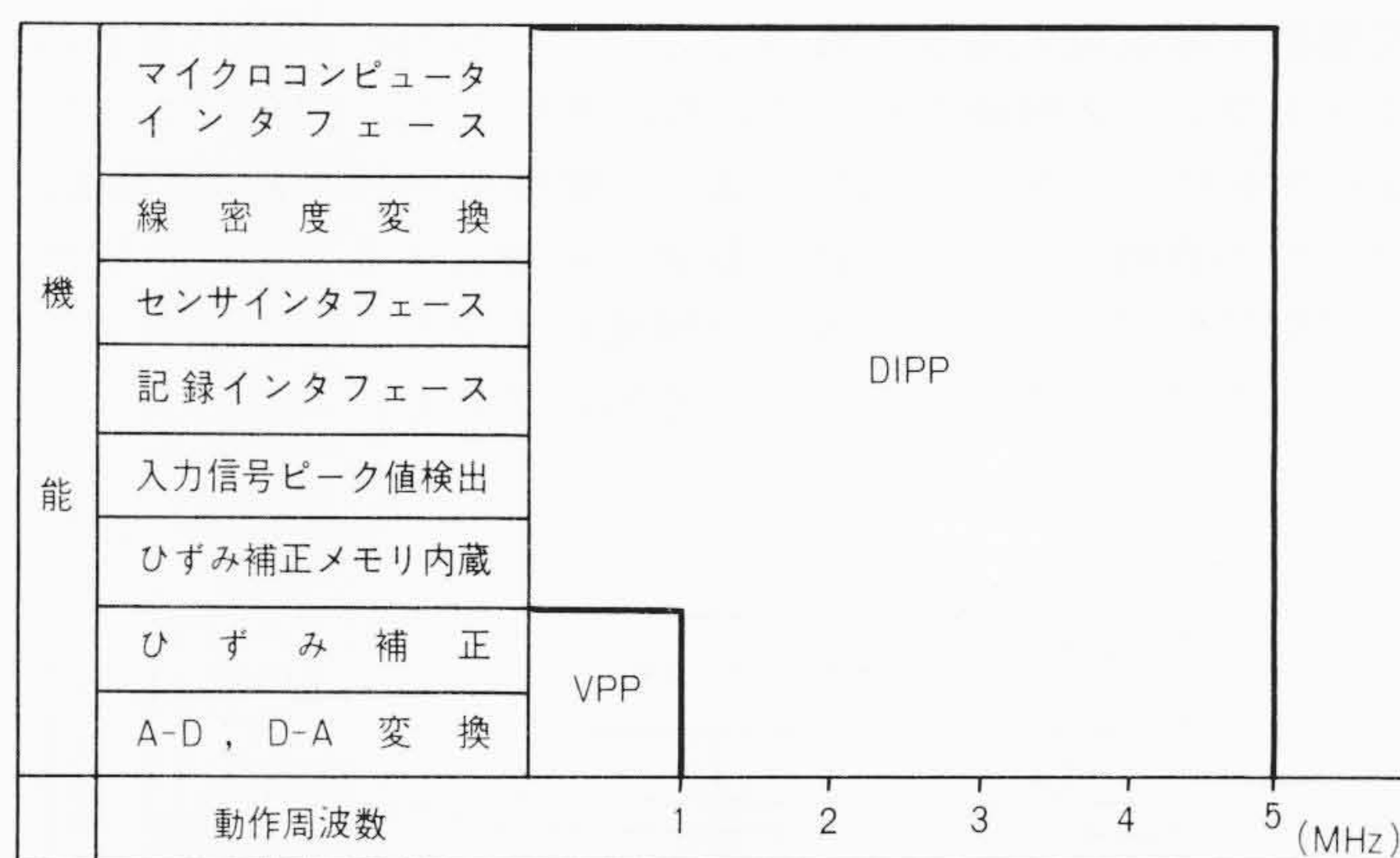
OA端末の中でドキュメントを媒体とするものの代表にファクシミリがある。ファクシミリ装置の分類は、CCITT(国際電信電話諮問委員会)の勧告によって定められており、現在はG3(グループ3)と呼ばれる高速機が主流となっている。これは十数年前のG1機に比べて情報転送速度が約30倍速くなっているとともに、転送データ品質の向上及び装置の小形化が行なわれている。ファクシミリ装置での光信号を電気信号に変える、いわゆる光電変換された画像信号の読取り用LSIとして、日立製作所では、既にVPP (Video Peripheral Processor) “HD46304”を製品化しているが、その後の新しいニーズにこたえるための、高速及び高機能性を主体としたDIPP (Document Image Pre-Processor) “HD63084”を開発した。DIPPはVPPに対して5倍の画像信号読取り速度をもつとともに、図1に示すように従来のVPP周辺に必要としていた多くの機能を内蔵し、更にそれらの機能を外部 μ -CPUによってプログラマブル化できるインタフェースを設けるなど、大幅な機能向上が図られている。これは装置の小形化とともに、更に高品質を要求される装置(ファクシミリでいえばG4機)への適用を可能にするものである。

本稿では、DIPPの内部構成、 μ -CPUによる制御機能、ファクシミリ装置画像読取り部でのシステム構成例、及びLSI性能実現のためのアナログ設計技術について述べる。

2 機能と特徴

2.1 画像信号の特徴

図2にCCDイメージセンサを用いた画像読取り装置の読取り部での画像信号と、それに含まれるひずみ及びその補正方式を示す。ここでいうひずみとは、光源やレンズの特性によって原稿両端部で光量が低下する(電圧レベルは逆に上昇)緩やかなひずみ(シェーディングと呼ばれる。)と、イメージセンサの特性によって生じる高周波ひずみである。このようなひずみを含む読取り系で光電変換された画像信号は、その特性による影響をそのまま受けるため、中間調識別はもちろんのこと単純2値化を行なうに際してもひずみ補正が必要である。その対策として、原稿のライン方向での位置に応じてスライスレベルを変化し、シェーディング及びセンサのひずみ特性を補正する方式が採られている。DIPPでは、シェーディング補正に対してはシェーディングメモリを内蔵し、高周波ひず



注：略語説明 DIPP(Document Image Pre-Processor)
VPP(Video Peripheral Processor)

図1 DIPPとVPPの機能比較 DIPPはVPPに比べて単に高速化を図るだけでなく、従来のVPP周辺に必要としていた多くの機能を内蔵化し、更にそれらの機能を μ -CPUインタフェースを設けることによって、プログラマブル化した。

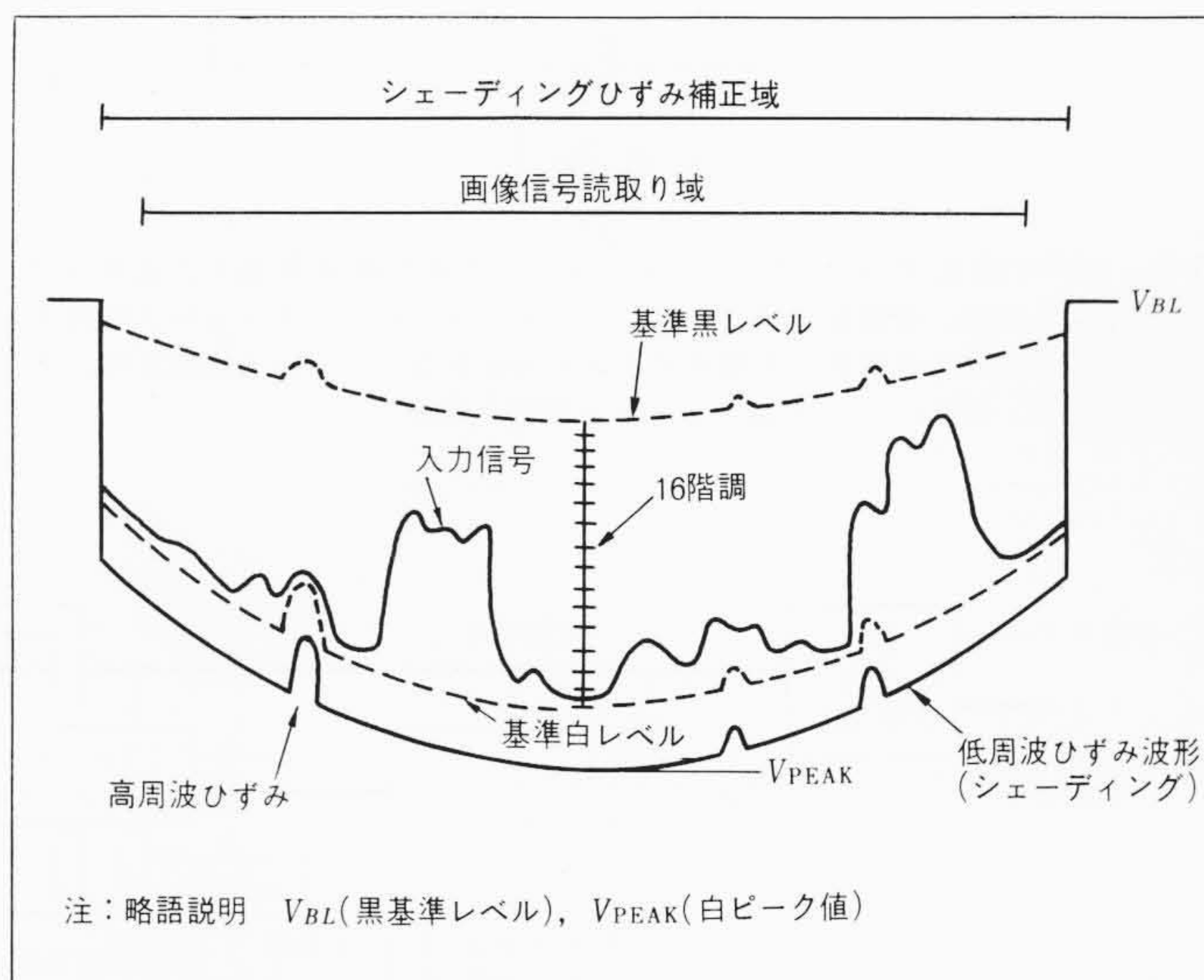


図2 シェーディング補正方式 入力画像信号からそのピーク値を検出し、記憶されている差分データ及び全画素補正データによって、読取り系の低周波及び高周波ひずみを再現する。画像信号は、その再現された電圧をもとに比較処理される。

* 日立製作所デバイス開発センタ

** 日立製作所日立研究所

*** 日立製作所戸塚工場

**** 日立製作所武蔵工場

み補正に対しては外部メモリ接続によって全画素に対する補正を行なう機能をもっている。更に、原稿の種類として真っ白な用紙以外に、青焼きしたものや色地のものが多く含まれる。この結果、画像信号は原稿下地の影響を受け、画像信号の白ピーク値が原稿によって変化する。これは固定した入力ダイナミックレンジをもつ読取り装置を用いた場合、原稿下地の違いによってその中にある情報の読取り精度が異なってくることになる。このために、DIPPではシェーディングなどのひずみ波形の記憶と再生及び画像信号の読み取りを、原稿下地によって自動的にダイナミックレンジを変化させるための入力信号ピーク値検出回路を内蔵することによって、常に高精度に行なえるように設計してある。

2.2 DIPPの内部構成

図3にDIPPの内部構成ブロックを示す。アナログ信号処理部ではシェーディングやセンサのひずみ特性を高精度に補正した後、画像信号を読み取る。デジタル信号処理部は線密度変換や線密度判定を行なうとともに、外部ビデオバスとのインタフェース機能をもっている。それらは μ -CPUインタフェースを介して外部 μ -CPUによって動作モードが決定される。センサの直結とデータの高速転送を可能とするために、アナログ信号処理部の高速化及び高精度化を図り、また、システムバスのほかに内部ビデオバスを設けてある。

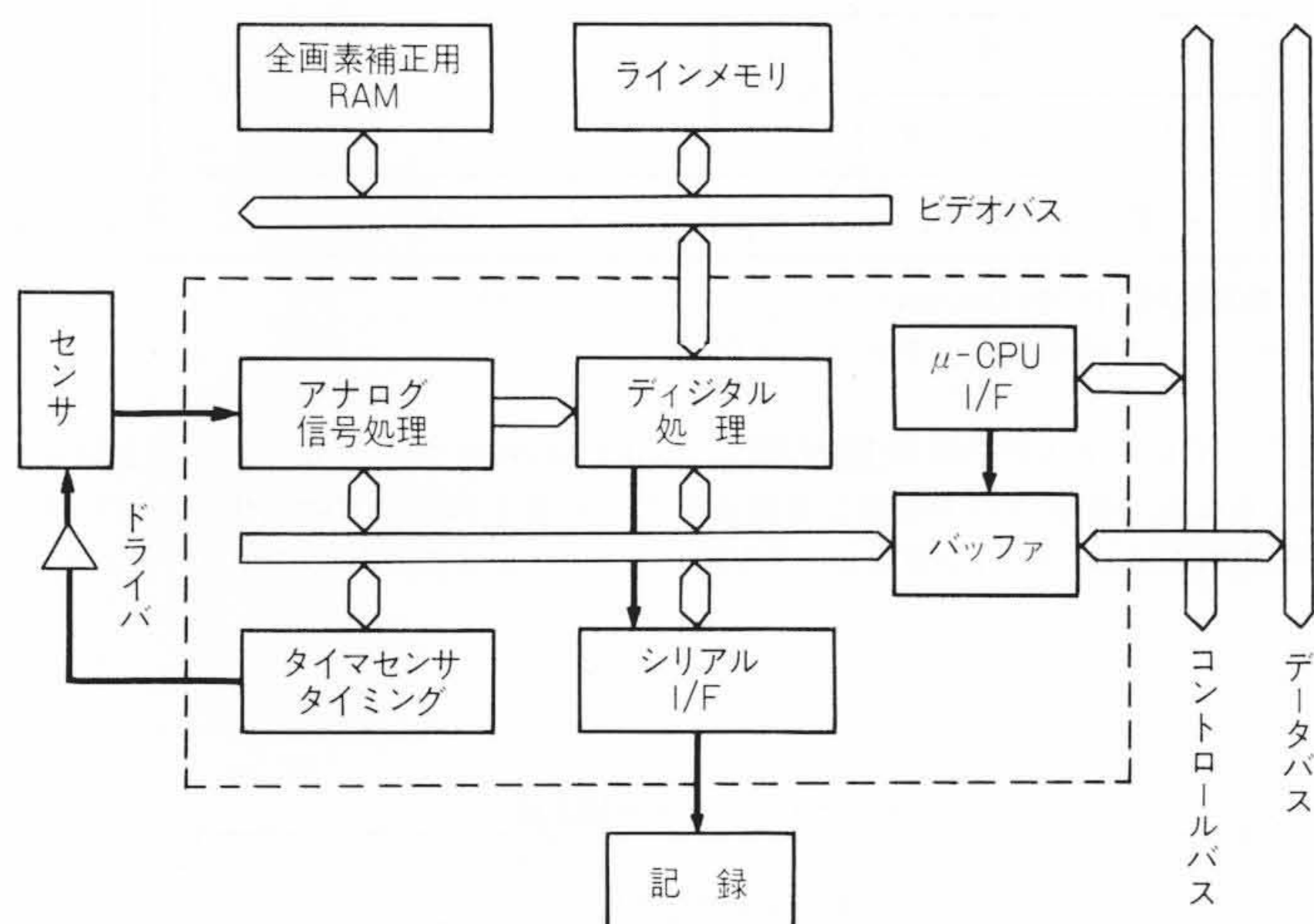


図3 DIPP構成ブロック シェーディング補正機能を含んだ広帯域アナログ信号処理部、線密度変換・判定とビデオバスとのインタフェース機能をもつデジタル信号処理部、各種タイミング発生部などによって構成され、それらは外部の μ -CPUによって動作モードが設定される。

図4にアナログ信号処理部の構成を示す。DIPPの精度はアナログ信号処理部の回路方式と、そこに使用されるアナログ基本回路によって決定される。DIPPでは1ラインごとに画像信号の白ピーク値を検出し、そのレベルを7ビットA-D変換器、D-A変換器のフルスケールとすることで、シェーディング波形の読取り、再生及び画像信号の読取りを、常に7ビットの分解能で行なうことができる。また、アナログ信号の高速処理のためには、フラッシュタイプの4ビットA-D変換器が用いられている。この4ビットA-D変換器は、単純2値化、4ビット符号化及びディザ2値化回路を兼ねている。それらのデータが送られるデジタル信号処理部では、高速データ専用のビデオバスによってデータの処理が行なわれ、最高5 Mバイト/秒でデータ転送される。また、主走査線及び副走査線密度変換回路によって、0.125～2.00倍の範囲での縮小及び拡大が無段階で実行できる。

2.3 μ -CPUによる制御機能

表1は、DIPP内部レジスタの機能を示したものである。内部レジスタはアドレスレジスタとコントロールレジスタによって構成されている。更に、コントロールレジスタはモードレジスタ、コマンドレジスタ及びパラメータレジスタに分類される。アドレスレジスタの有効アドレス領域は“00”～“1D”の計30番地であり、“1E”と“1F”のアドレスは、対象となるアドレスが存在しないので無効である。このレジスタは $\overline{RS}$ 及び $\overline{CS}$ 端子が“0”レベルのときに書き込みを行なうことでパラメータ設定される。アドレスレジスタのオートインクリメント機能は、アドレスレジスタの内容が“1D”になった時点でコントロールレジスタをアクセスすると停止する。“1D”はシェーディング波形記憶用メモリであり、168ワード×5ビット構成になっている。なお、システムリセット後のアドレスレジスタの初期値は“00”である。モードレジスタはDIPPの動作モードを指定するものであり、適用装置仕様や転送データ形式によって定まる。コマンドレジスタにはDMA (Direct Memory Access) 転送や拡大、縮小などの許可を与える形式のものと、シェーディング波形の書き込みやシステムの動作開始を指示する形式のものがあ、許可形式のコマンドでは内部レジスタのパラメータ設定値の内容や外部信号によって動作が行なわれる。表1でのアドレスレジスタとピーク値下降制限レジスタを除いた書き込み専用レジスタ、及びディザパターン格納レジスタはパラメータレジスタであり、各種機能に対するパラメータ設定が行なえる。また、モードレジスタ及びコマンドレジスタはそれぞれ任意に設定できるが、有効な組み合わせは表2に示すとおりである。

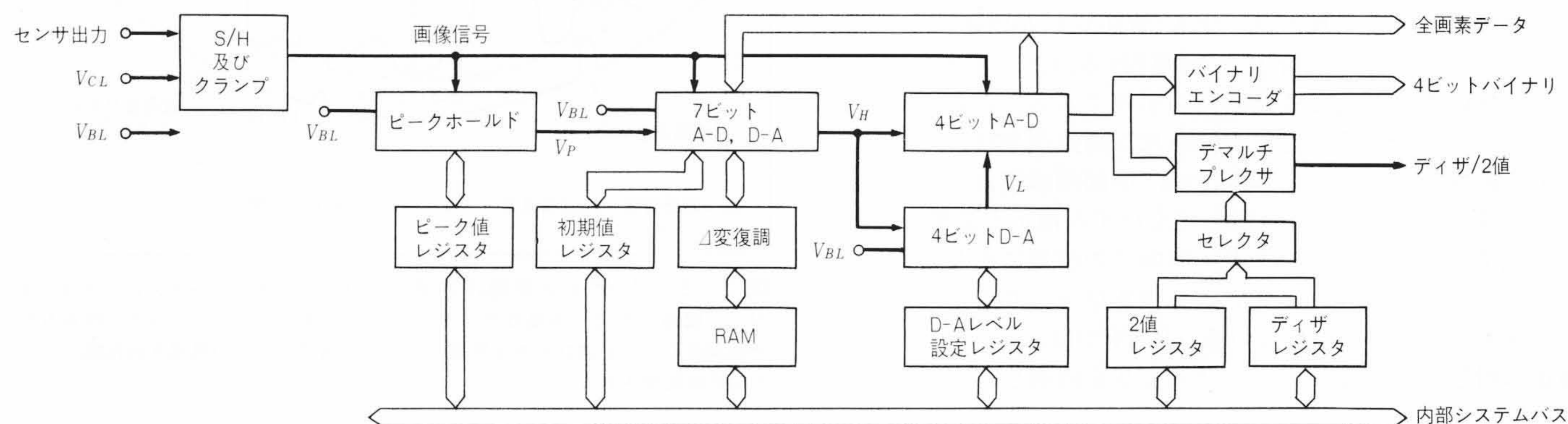


図4 アナログ信号処理部 シェーディングを精度よく記憶再生するために、画像信号のピーク値を検出することによって、画像信号の実際のダイナミックレンジ内を7ビット符号化している。画信号出力として4ビット、ディザ、2値のいずれか選択できる。

表1 レジスタの機能 DIPPのレジスタは、アドレスレジスタで割り付けられるコントロールレジスタによって構成される。レジスタ設定により、用途及び外付け回路に応じた動作モードが得られる。

アドレス	リード	ライト	レジスタ機能(内容)
0	○	○	DIPP基本動作モード
1	○	○	バーストDMA, 全画素補正, 拡大, インタラプトなどイネーブル信号の発行
2	×	○	イメージセンサのダミービット数
3	×	○	シェーディング補正区間(65~8,191画素)
4, 5	×	○	ビデオ信号読取り開始位置
6, 7	×	○	ビデオピーク値検出区間(32~8,160画素)
8, 9	×	○	線密度判定方式, センサタイプ指定
A	×	○	ピーク値下降制限
B	×	○	黒側2値化基準電位, 2値化スライスレベル
C	×	○	γ補正精度, 全画素補正精度
D, E, F	×	○	主走査線密度変換率, パターン配列指定
10~17	○	○	中間調表示用ディザパターン格納(4×4マトリクス)
18	×	○	副走査線密度変換論理指定
19, 1A	×	○	ビデオ信号読取り終了位置
1B	○	○	ビデオピーク値設定
1C	○	○	シェーディング波形初期値設定
1D	○	○	シェーディング波形記憶メモリ

表3はリードポートの機能を示し、ステータスレジスタと読出し専用ポートによって構成されている。ステータスレジスタはDIPP内部の状態をモニタするのに用いられ、アドレスレジスタのオートインクリメントフラグ、線密度判定結果、シェーディング波形の書込み中表示、画像信号の読取り中表示、更に光源の光量異常低下信号を出力する。読出し専用ポートは、主としてLSIのテストビリティを考慮して設置されており、DIPPの品質向上を目的としている。これらはCS端子を“0”レベルに、RS端子を“1”レベルにして読出しを行なうことができる。

3 DIPPの装置適用例

図5及び図6にDIPPをファクシミリ装置に適用した場合の構成例を示す。図4は外部接続部品を最少とした構成例であり、VBL(基準黒レベル)、VCL(入力クランプ電位)端子への電位供給用抵抗を除くと、外付け部品は全く不要である。この

表3 リードポートの機能 ステータスレジスタと読出し専用ポートによって構成されている。ステータスレジスタはDIPPの状態を出力し、読出し専用ポートは主にテストリングを目的として設置してある。

レジスタセレクト	リードポート#	読出し内容
0 (ステータスレジスタ)	—	オートインクリメントフラグ 光源異常フラグ 書込み動作中フラグ 読取り動作中フラグ 線密度判定フラグ
1 (読み出し専用ポート)	0~9	タイマ出力 A-D, D-Aシーケンサモニタ アナログコンパレータ判定結果 線密度判定論理モニタ

場合、DIPPは低速動作(0.625Mバイト/秒)モードとなり、画像信号処理データはシステムバスに出力される。図5はDIPPの性能と機能をフルに利用した構成例であり、副走査線密度変換及び全画素補正用の外部メモリや符号圧伸用LSIなどが接続される。この場合の画像信号処理データは、ビデオバスに高速転送(5Mバイト/秒)される。

DIPPはファクシミリ装置への適用以外に、OCR(光学文字読取り装置)、ハnadスキャナなどのようにラインセンサを用いて情報の読取りを行なっている装置に適用できる。このとき全画素補正機能を利用すれば、ラインセンサの特性を補正し、高精度の情報読取りが行なえる。また、読取りと記録のインタフェースをもち、拡大及び縮小が自在に行なえるため、インテリジェントコピーなどにも最適に利用できる。

4 設計技術

DIPPの設計では、高性能及び高機能装置への適用とともに、安価な簡易装置への適用も可能とするために、汎用性のある画像信号処理LSIとする必要がある。このためにμ-CPU制御によって、動作モードが変化できるフレキシブルで高速な論理設計と、高速で高精度なアナログ基本回路の設計を行なった。ここではDIPPの性能を達成するためのアナログ回路特性とその設計について示す。

DIPPを装置に適用する場合、装置の小形化及び経済性を考慮するとCCD(Charge Coupled Device)イメージセンサを直結できることが求められる。センサからの出力は、画像信号

表2 DIPPの動作モードと機能 DIPPは各種の動作モードを設定することができ、簡易形、超高速用、高精度用などのいずれの用途にも適用が可能である。また、拡大、縮小や線密度判定などの多くの機能をもつ。

動作モード	画像信号出力方向			出力信号形態		機能						センサ駆動クロック
	システムバス	ビデオバス	シリアル出力	ディザ/2値	多値(4ビット)	主走査線密度変換	副走査線密度変換	線密度判定	全画素補正	1次元MTF	拡大	
受信	(入力)	Hi-Z	(出力)	×	×	×	×	×	×	×	○	—
最少構成	○	Hi-Z	○	○	×	○	×	△	×	○	×	CLK/2
超高速	○	○	○	○	×	○	○	○	×	○	×	CLK/2
多値出力	×	○	(○)	(○)	○	(○)	×	(△)	○	×	×	CLK/2
高精度A	○	(○)	○	○	×	○	×	△	○	—	×	CLK/4
高精度B	○	○	○	○	×	×	○	○	○	—	×	CLK/4

注：略語説明など
CLK(DIPP基本クロック)、MTF(Modulation Transfer Function)、△(一次元線密度判定のみ有効)、小括弧(シリアル出力で有効)、Hi-Z(ハイインピーダンス)

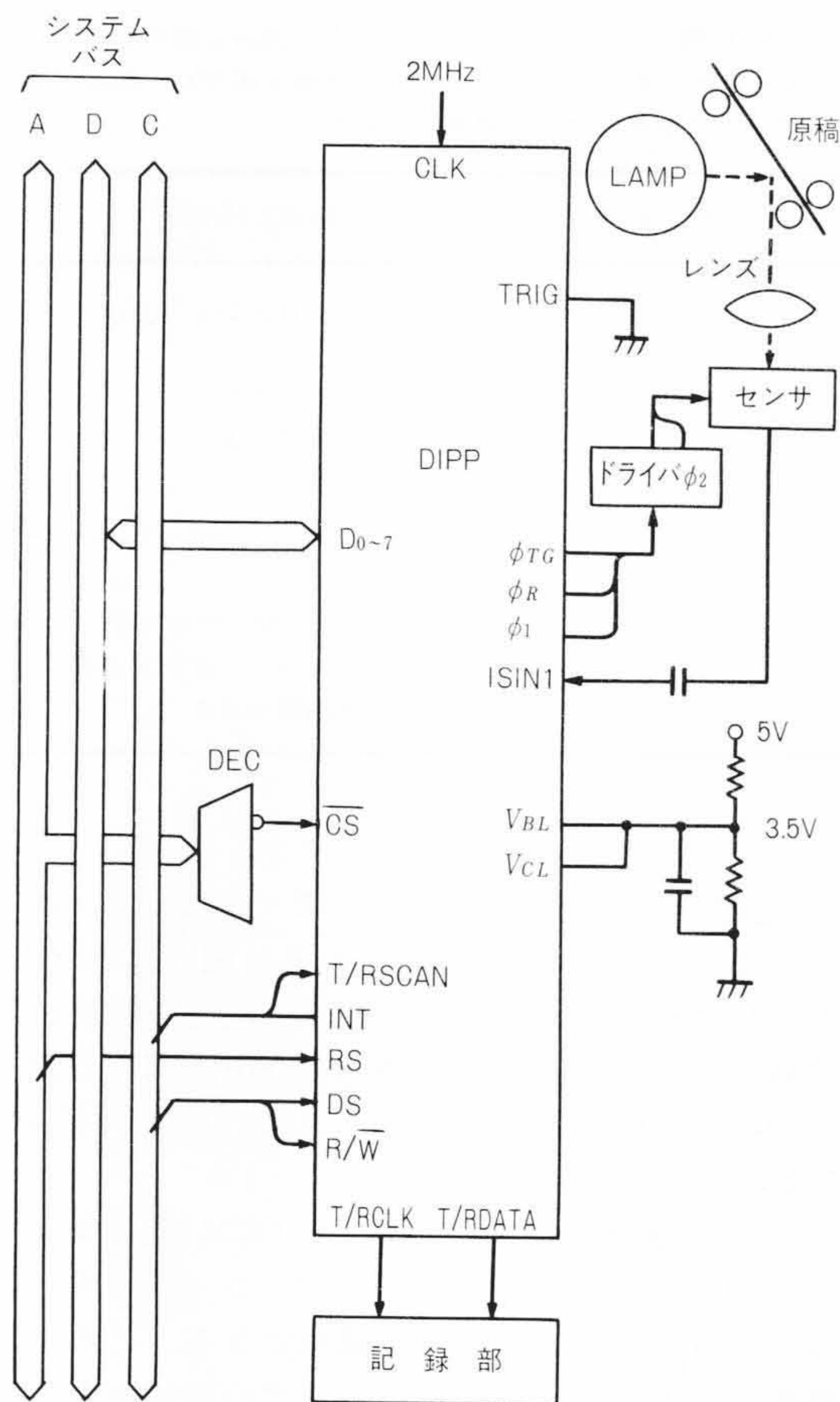
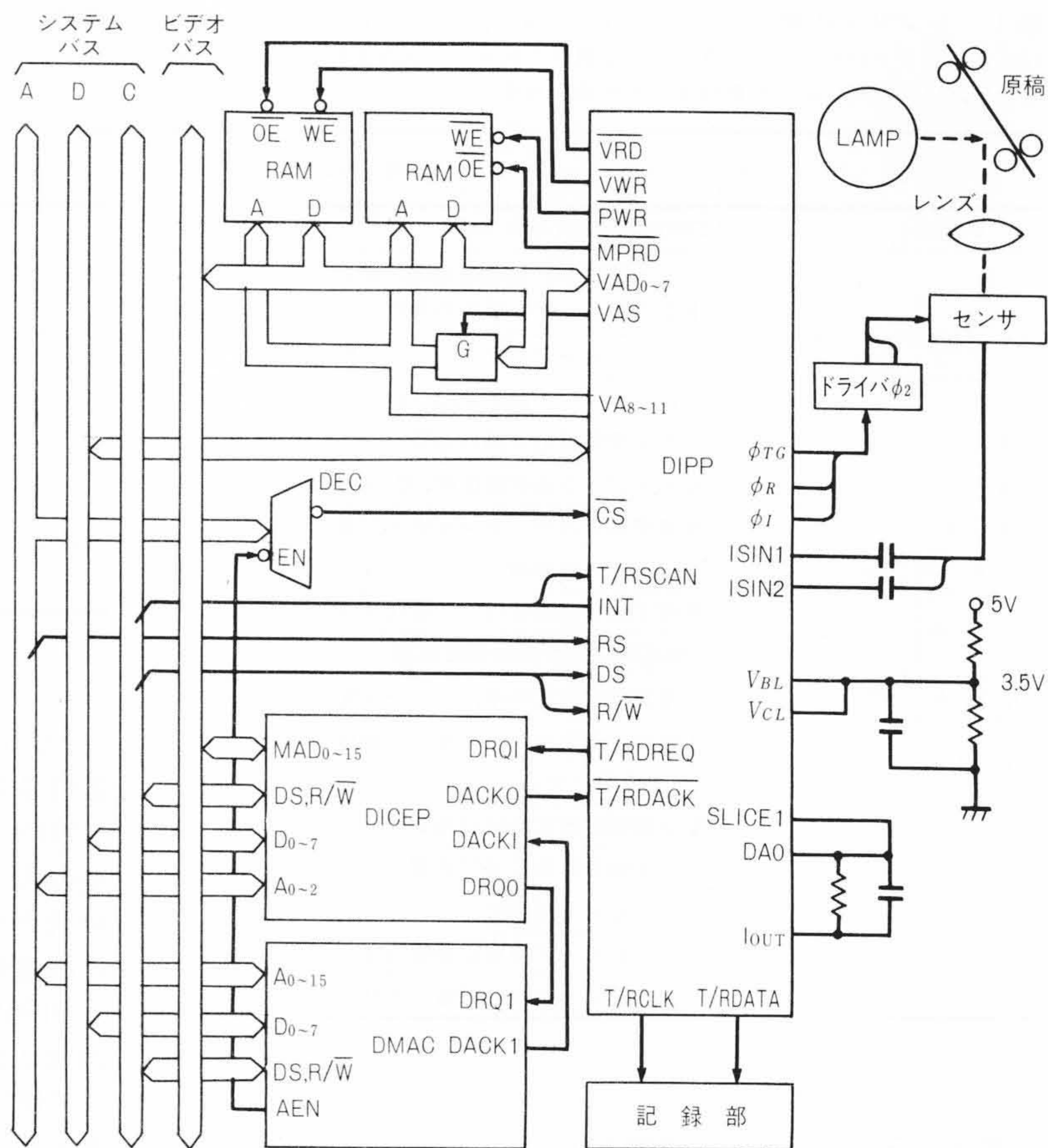


図5 DIPPを適用したシステム構成例(1) 外部接続部品を最小とした構成例である。システムバスを利用して画像信号データを転送(最大0.625Mバイト/秒)する低速動作モードとなる。



注：略語説明 DICEP(Document Image Compression Expression Processor)

図6 DIPPを適用したシステム構成例(2) DIPPを用いた高機能、超高速システム構成例である。全画素補正、副走査線密度変換用の外部RAMを付加し、高速データ転送(5Mバイト/秒)はビデオバスを通して行なわれる。

以外にクランプ信号を含んでいるため、画像信号を5MHzの速度で読み取るための高速サンプルホールド回路を内蔵した。また、センサからの最大出力信号レベルは読取り原稿の種類によって、200mV～2V程度に変化することから2V以上のダイナミックレンジをもち、かつサンプリングノイズを5mV以下とする回路設計を行なった。更にセンサからの出力はクランプレベルからの振幅が画像信号レベルであり、5MHzの信号がコンデンサを介して伝達されるため、DIPPではそのコンデンサのチャージ量を取り込むことが可能な広帯域($f_T=50$ MHz)演算増幅器を内蔵している。演算増幅器はサンプルホールド回路の一構成素子として、低雑音化とともに低オフセット化(5mV)のためのオフセットキャンセル回路を内蔵した。演算増幅器の出力は各アナログ機能ブロック(ピークホールド、シェーディング補正、高速符号化)のA-D変換器に入力される。A-D変換器の主要構成素子としてのコンパレータは、演算増幅器と同様にDIPPへの入力画像信号レベルや動作周波数によって必要性能が決定される。DIPPは入力信号に対して16階調識別を行なうことから、コンパレータは最大入力信号(200mV～2V)の正確な階調判定をする必要があり、5MHz帯域で2V以上のダイナミックレンジと、5mV以下のオフセットとする設計を行なった。図7にコンパレータ及び演算増幅器の1～10MHz帯域でのオフセット電圧の特性を示す。コンパレータにはオフセットキャンセル回路が付加されており、入力信号ごとにコンパレータ自体のオフセットキャンセル動

作を行なっているが、演算増幅器は図8に示すようにコンパレータを用いてその入出力電位を比較しながらオフセットキャンセル動作を行なっている。なお、演算増幅器のオフセットキャンセルの実行は、センサのラインフィード期間(センサの出力停止期間：8～80μs)に行なわれ、1ラインを読み取る間演算増幅器のキャンセル後のオフセット電圧が保持される。また、画像信号のレベルを判定する際の最終的なオフセット電圧は、演算増幅器とコンパレータそれぞれのオフセットの和となる。図7及び図8に示したように演算増幅器のオフセットキャンセルをコンパレータを用いて行なっていることから、演算増幅器とコンパレータのオフセット電圧の極性は逆となり、その大きさはほぼ同一程度になるように設計することによって、極めて高精度な画像信号レベルの判定が可能となった。

上記アナログ基本回路特性、特にその高速性をもつLSIを実現するためにCMOS2.5μmプロセスを用いた。図9にDIPPのチップ写真を示す。ディジタル回路動作のアナログ回路への影響を低減するために、それぞれを分離して配置してある。また、チップサイズをできるだけ低減するために、コントロールレジスタやリードポートを当該機能ブロック位置に分散配置することで、信号配線領域の低減を図っている。その結果、6.8mm×7.5mmのチップ上にディジタル回路用トランジスタ2万3,000個、アナログ回路用トランジスタ2,000個が集積されている。

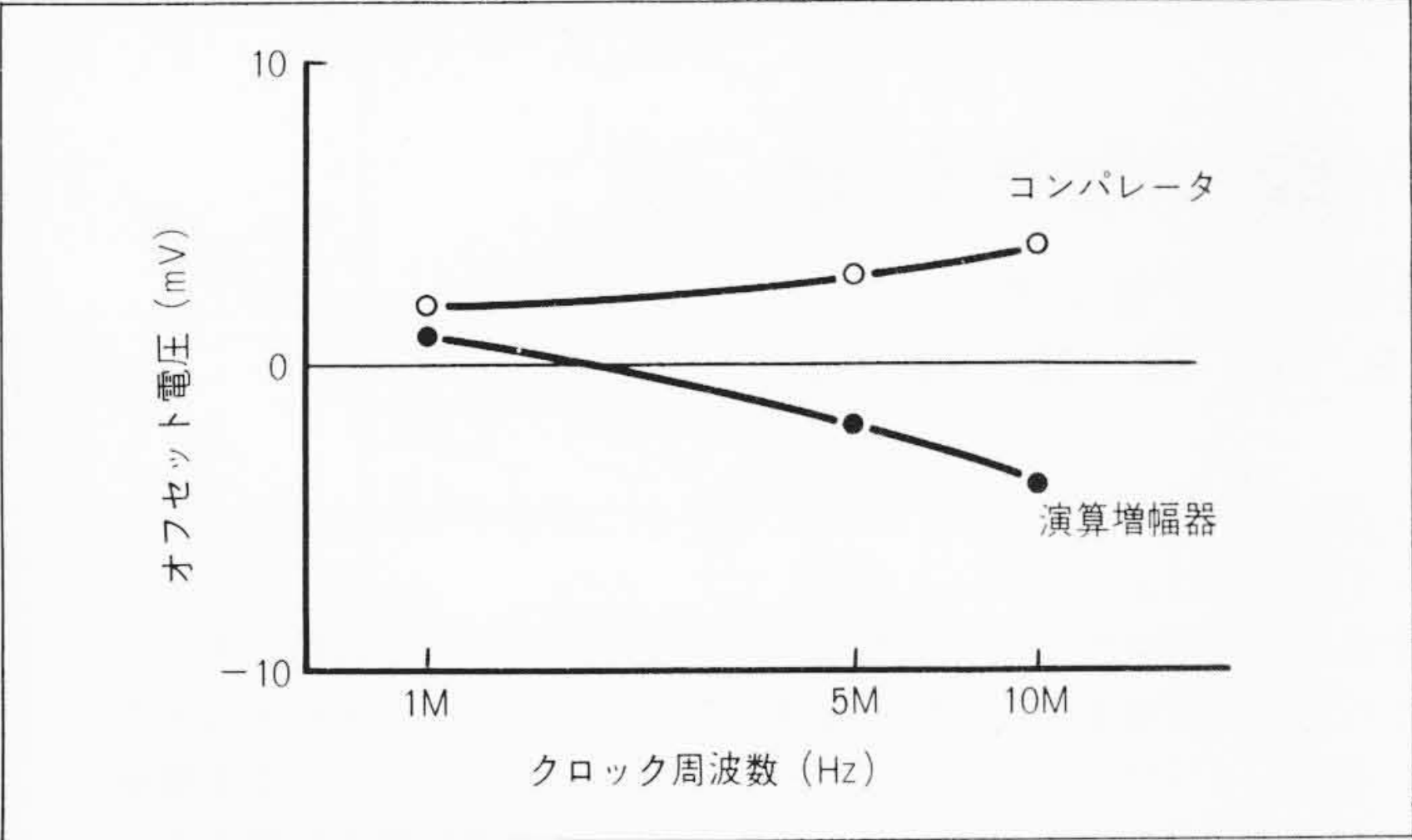


図7 コンパレータと演算増幅器のオフセット電圧 コンパレータとコンパレータを用いてオフセットキャンセルされた演算増幅器のオフセット電圧は、DIPPの動作周波数である5MHz以下で良好な測定結果が得られる。

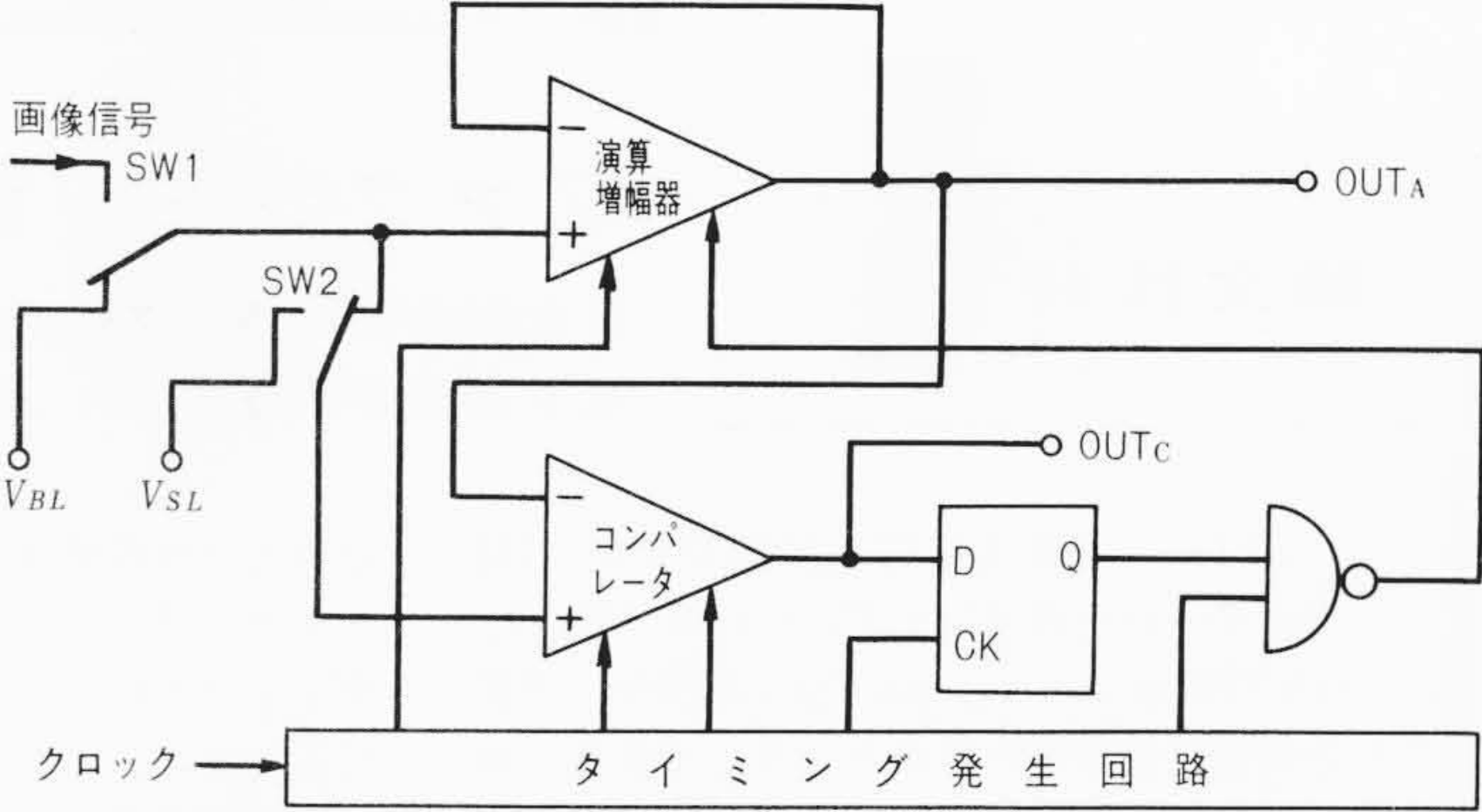


図8 演算増幅器のオフセットキャンセル方式 演算増幅器の入出力電圧差を低オフセットコンパレータで判定し、演算増幅器のオフセットが十分に低くなった時点でオフセットキャンセル動作を停止する。
注：略語説明 V_{SL}(スライスレベル)

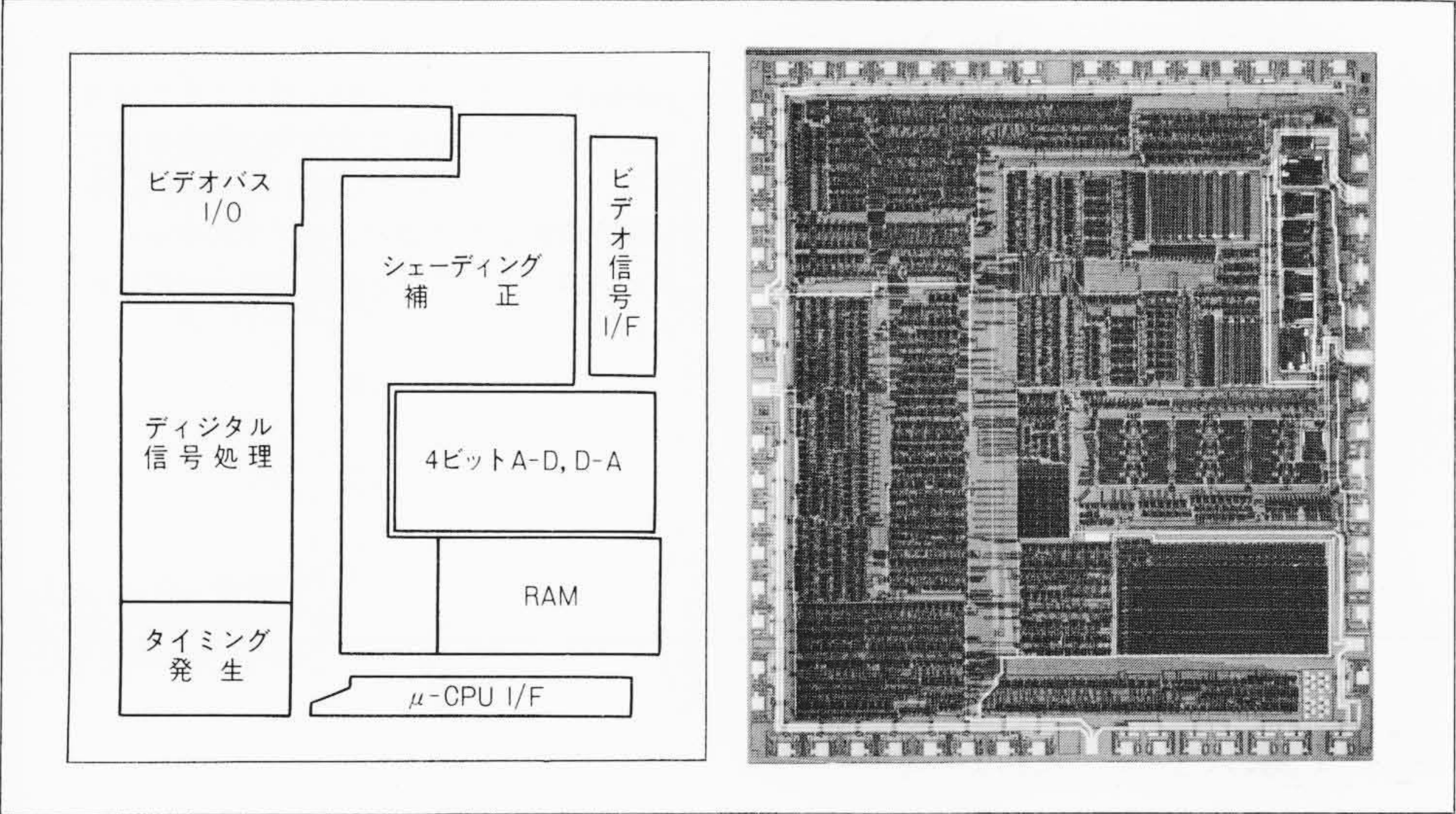


図9 DIPPチップ写真 CMOS2.5μmプロセスを使い、6.8mm×7.5mmのチップ上に、デジタル素子2万3,000個、アナログ素子2,000個を集積したアナログ・デジタル混在LSIを形成している。

表4 DIPPの仕様概要 DIPPはファクシミリ画像信号読み取り用アナログ回路やシェーディング補正用RAMを含む信号処理回路を論理機能とともに1チップ化することによって、高性能、高機能化を実現している。

項 目	内 容
入 力 ビ デ オ 信 号	Max 2.0V _{P-P} , Max 5 MHz
シェーディング補正範囲	Max 画像信号ピーク×0.7
DMAデータ転送速度 ビデオバス システムバス	Max 5 Mバイト/秒 Max 0.625Mバイト/秒
A-D 変 換 モード	2 値, ディザ, 4 ビット
線 密 度 変 換 率	0.125~2.00倍
適 用 セ ン サ	64~5,280画素
電 源 電 圧	typ 5.0V
消 費 電 力	Max 400mW
パ ッ ケー ジ	プラスチック シュリンク 64ピン

5 結 言

イメージセンサ出力のアナログ画像信号を読み取るDIPP “HD63084”を開発した。表4にDIPPの仕様概要を示す。本LSIはμ-CPUインタフェースによるμ-CPU制御方式とする

ことによって、高機能かつ汎用性のあるシステム構成となっている。また、アナログ信号処理用として5MHzの広帯域で5mV以下の低オフセットを維持するアナログ基本回路を採用入れたことによって、画像信号を5M画素/秒の高速動作で、かつ高精度(オフセット5mV以下)に読み取ることが可能である。更に、本LSIはシュリンクタイプの64ピン プラスチックパッケージに封止することで小形化、低価格を図っている。

本LSIの応用範囲は、現在実用化されているファクシミリ装置への適用はもちろんのこと、次期G4ファクシミリ装置やその他の画像信号読取り装置への適用が可能である。また、本LSI性能実現の手段として用いた高速かつ高精度なアナログ回路技術は、5MHzまでは十分に利用できるものであり、他のアナログLSIへの活用も可能である。

参考文献

1) N. Hamada, et al.: A CMOS Facsimile Video Signal Processor, ISSCC Dig. Tech. Papers, pp.186~187 (Feb.1985)
2) 佐藤, 外: ファクシミリ用読み取り画像信号処理LSI, 昭和60年度電子通信学会総合全国大会, S11-2
3) M. Tadauchi et al.: LSI Architecture of a Facsimile Video Signal Processor, Proceeding of the ICC '85(1985)



ファクシミリ読み取り信号処理LSI

日立製作所 多々内允晴・丹野清彦・他2名

電子通信学会論文誌 J68-B, 1, 53~60 (昭60-1)

CCITT (国際電信電話諮問委員会)の勧告に基づいた高速ファクシミリ(G3機)は、OA(Office Automation)化への根強い需要と装置の技術的改良があいまって急速に普及しつつある。ファクシミリを制御する電子回路のLSI化もこれらの改良の一つで、装置の小形化・高性能化に大きなインパクトを与えている。ファクシミリは原稿読み取り部、画像情報の圧縮・伸長部、モデムあるいは記録部などで構成されるが、本論文は読み取り部で画像信号を処理するためのLSIについて述べたものである。

読み取り部ではCCD(Charge Coupled Device)センサのような1次元イメージセンサを用いることによって、原稿上の光学情報をアナログの電気信号に変換する。更にアナログ信号は白情報か黒情報かの2値信号として情報圧縮部に転送される。ところが、光学的ひずみ(例えば蛍光灯による原稿の照明むら、レンズの周辺光量低下)ある

いはセンサの感度むらなどによって、イメージセンサからのアナログ信号にはシェーディングと呼ばれる低周波のひずみが含まれる。また、蛍光灯などの光源の輝度変動や原稿地濃度の影響によって、センサからのアナログ信号のダイナミックレンジは大幅に変動する。本LSIはこのようなひずみや変動を補正して、アナログ信号を精度良く2値信号に変換するものである。そのため、まず白いバックボードを読み取ることによってシェーディングひずみ成分をA-D変換して外部RAM(Random Access Memory)に記憶する。次に、原稿を読み取るとこれに同期して、RAMから読み出された信号がD-A変換されて元のシェーディングひずみ波形が再生される。この再生波形とセンサからのアナログ信号とを比較すれば、精度の良い2値信号が出力できる。また、ダイナミックレンジの変動に対してはLSI内にピーク検出回路を設けることによって、ア

ナログ信号が $\frac{1}{8}$ に減少するまで追従できるようにした。

本LSIの構成はピーク検出回路、A-D・D-A変換回路、アナログ信号と再生波形を比較するための3ビット並列形A-D変換回路及びこれらのアナログ回路を制御するデジタル論理回路でできている。出力信号としては2値信号の外、8階調(3ビット)信号も得ることができる。ピーク検出回路とA-D・D-A変換回路は共に追従比較形のA-D変換回路によって構成されている。

5 μ m NチャネルMOS(Metal Oxide Semiconductor)のLSIで1MHzのアナログ信号を $\pm 3\%$ の高精度な2値信号に変換可能である。チップサイズは5.26 $\times$ 4.66mm²、400mWの消費電力で28ピンのプラスチック、デュアルインラインのパッケージに収められている。

衛星画像処理技術

日立製作所 古村文伸・本間弘一

計測と制御 24-3, 234~241 (昭60-3)

衛星と地表撮像センサの最近の進歩に伴い、高精度かつ高速な画像処理が求められている。ここでは、衛星画像処理について、最近の計算機処理技術を解説した。現在まで大量の衛星画像を撮り続けているランドサット衛星MSS(Multi-Spectral Scanner)センサの地表分解能は80mであるが、新形センサセマティックマップのそれは30mに向上した。昭和60年打上げ予定のフランスのSPOT衛星には、10mの分解能をもつセンサが搭載される。このような分解能の向上は、一般にその二乗に比例した高速化を衛星画像処理システムに求める。同時に、相対的に厳しい処理精度も要求する。

衛星による地球観測の目的は、鉱物資源、海洋資源など各分野で必要とされる情報を抽出することである。この際、画像に含まれるひずみを補正除去し、基準となる地図に位置合わせすることが重要である。また、最近注目を集めている合成開口レーダでは、ひずみ補正以前に撮像データを画像化するための再生処理が必要である。画像補正、

再生処理を計算機でいかに精度良く行なうかは、その後の情報抽出精度に影響するため重要である。更に、衛星から送られてくる撮像データを遅滞なく処理する準実時間システムでは、高速な画像処理計算機システムが必要となる。

高精度な衛星画像処理を実現するには、衛星と撮像センサから成る計測システムを考え、システムが地表パターンに対して行なう変換の逆変換を撮像画像データに施すものであるとすると考えやすい。衛星・センサシステムを十分精密にモデル化し、地表撮像時の衛星軌道・姿勢など可変パラメータを高精度に測定し、精度の高い逆変換を求める。更に、変換精度を向上させるには、画像処理結果からのフィードバックも利用する。

ひずみ補正の場合、画像のひずみすなわち2次元の幾何学的変換は、衛星・撮像センサ及び地球の間の時々刻々の3次元的關係から求める。衛星の軌道・姿勢は、画像中の地上標準点の位置情報からカルマンフ

ィルタを用いて高精度に推定する。合成開口レーダの画像再生の場合、センサ系の画像変換は、2次元畳み込み積分であり、逆変換は相関処理となる。変換式に表われるパラメータを出力画像から推定し、自動焦点合わせを行なう方式も開発されている。

高速処理実現のためには、まず処理精度を低下させずに演算量だけを削減したアルゴリズムを求める。次に、並列、パイプライン化などの高速化技術を用い、計算機システム上へのアルゴリズムの実装を行なう。

演算量の低減は、例えば、本来2次元である画像処理の1次元処理への分解、衛星姿勢の高周波振動分の線型化分離、周波数空間処理の利用などにより実現できる。合成開口レーダの再生処理には、汎用計算機で10時間以上かかるが、アルゴリズムの改善、スーパーコンピュータ上の効率的実装により、衛星地上局の要求である6分以下の処理時間を達成する技術も開発されている。