

シングルチップCODEC “HD44230C” シリーズ

Single Chip CODEC Series “HD44230C”

PCM通信用LSIであるフィルタ付き1チップCODECとして、従来のHD44230Bシリーズを機能面、性能面で改良したHD44230Cシリーズを開発した。新しいCMOSリニア技術の適用により、対電源雑音特性、無通話時雑音特性、絶対遅延時間を従来品に比べて改善し、高精度の基準電圧発生源（総合偏差±2%以下）を内蔵化することを目指した。更に、アナログ入力部を完全独立アンプに、出力部を600Ω駆動可能と機能改善しながら消費電力は従来品と同等に抑え、同一のパッケージに格納して実現した。このLSIは、CCITT国際規格を完全に達成しており、時分割交換機、PCM端局装置、PBX、ディジタル電話への応用が期待される。

萩原史郎* Shirô Hagiwara
坂口治朗** Jirô Sakaguchi

1 緒 言

事業所内又は企業内ネットワークを含めたOA (Office Automation)の発展で、その中核となるPBX (構内交換機)は情報の多様化、高品質化などの目的で急速にディジタル化が進んでいる¹⁾。また、INS (Information Network System)、ISDN (Integrated System Digital Network)でも、端末と電話局の間の通信はディジタル化されており、音声信号とPCM (Pulse Code Modulation)信号の相互の変換を受け持つCODEC (Coder and Decoder)がLSI化され、システムのコスト低減上重要な位置を占めている。

日立製作所では、フィルタを含めたCODEC機能を24ピンに集積化したHD44210系²⁾、これを機能面、特性面から改良し16ピンパッケージに集積化したHD44220系、HD44230A、B系^{3)~6)}を5μm CMOS (Complementary Metal Oxide Semiconductor)技術を用いて開発し量産化している。特にHD44230Bシリーズは、16ピンパッケージの小形性と、低消費電力であること、及び基準電圧源、内部クロック発生源など必要な機能を1チップに集積化できたことから、ディジタル式電子交換機、PBX、ディジタル電話機の各方面に応用されている。ここでは、CMOSリニア回路設計技術の改善により、入力アンプの反転増幅器の自由度、出力アンプの600Ω駆動能力といったアナログインタフェース機能を改良し、PSRR (Power Supply Rejection Ratio)特性、絶対遅延特性、基準電圧安定

度、周波数特性平坦度、無通話時雑音特性など特性全般の改良を行なったHD44230C系CODECを開発したので、その各部回路の基本設計技術、及び伝送特性を中心とする測定結果について報告する。

2 HD44230Cシリーズの構成と特長

HD44230Cシリーズは、表1に示した10品種により構成されている。CODECのA-D変換部、D-A変換部の非線形圧伸則の違いから北米・日本で用いられるμ (μ-255)則と、欧州を中心とするその他の地域及び国際電話用途のA則のそれぞれを製品形名の偶数・奇数に対応して系列化した。また、同期動作専用のものと、伝送用途に必要な非同期動作も可能な同期・非同期両用のもの、そして内部クロック発生方式の違いからカウントダウン方式のものとPLL (フェーズ ロックド ループ)方式のものがある。結果として、A・μ則、同期・非同期、カウントダウン・PLLの8種の組合せが表1のHD44231CからHD44238Cに対応する。これらはHD44230Bシリーズの対応形名のものとピン互換性を保ちながら、上位機種としての性能・機能の改良を行なったものである。HD44247C・HD44248Cは、HD44237C・HD44238Cの特長に加えて、電話機などのトランス バランス駆動による高音声出力を得るための反転増幅を行なう出力アンプを内蔵したものである。

表1 HD44230Cシリーズ構成 全10品種により、すべてのアプリケーションに対応可能である。

No.	品 名	従来品種	圧伸則*	ク ロ ッ ク			アナログ出力アンプ
				同期・非同期	PCMビットレート	クロック発生	
1	HD44231C	HD44231B	A	同期専用	1,536kHz 1,544kHz 2,048kHz	デバイダ	シングルエンド
2	HD44232C	HD44232B	μ				
3	HD44233C	HD44233B	A	共 用			
4	HD44234C	HD44234B	μ				
5	HD44235C	HD44235	A	同期専用	64～2,048kHz	PLL	
6	HD44236C	HD44236	μ				
7	HD44237C	HD44237	A	共 用			
8	HD44238C	HD44238	μ				
9	HD44247C		A	共 用	64～2,048kHz	PLL	プッシュプル
10	HD44248C		μ				

注：略語説明など PLL (Phase Locked Loop), * A則は欧州・国際電話用, μ則は北米・日本用

* 日立製作所武蔵工場 工学博士 ** 日立製作所武蔵工場

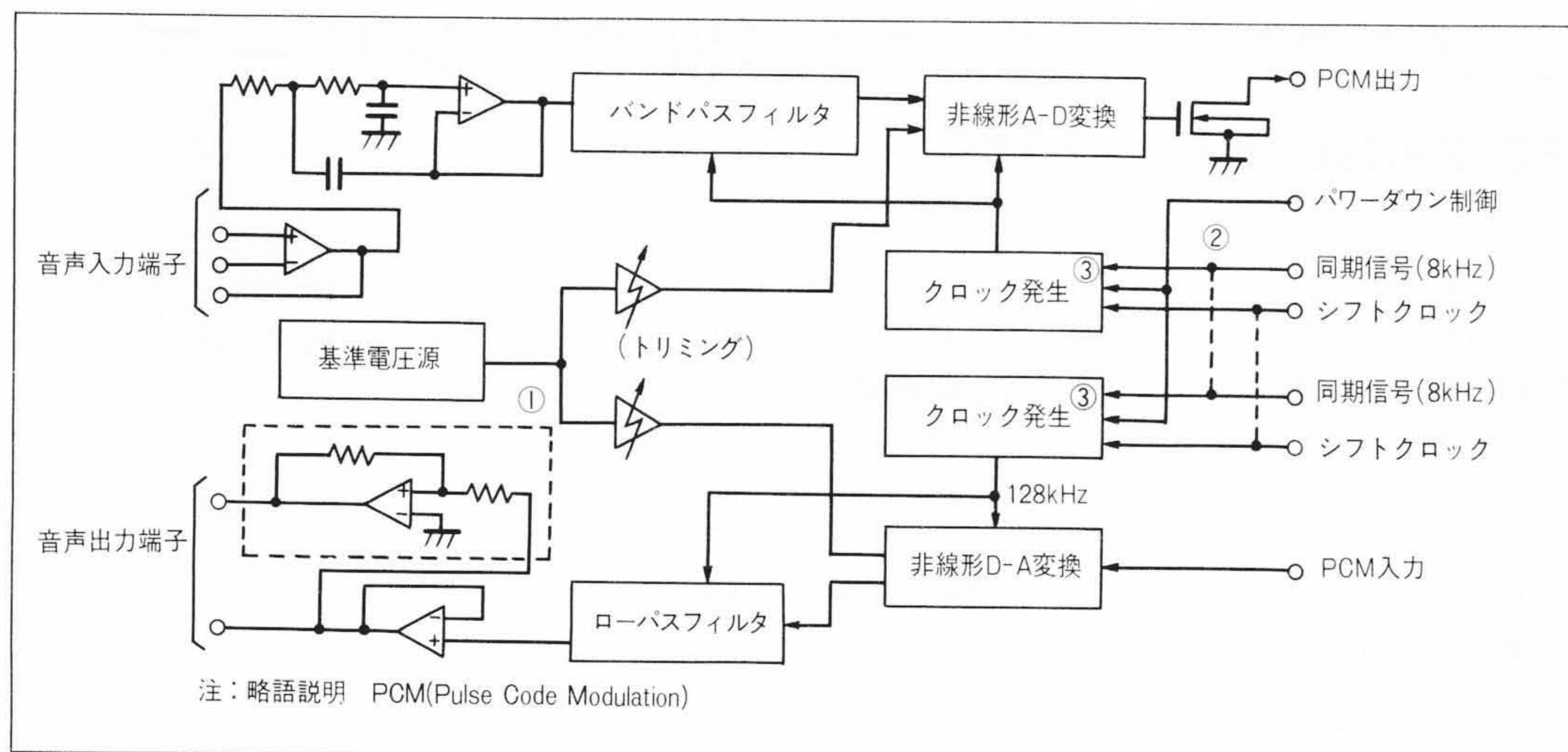


図1 CODEC LSIのブロック構成 HD44247・HD44248Cでは図中①が追加され、同期専用版では②が内部結線される。③のクロック発生部はPLL・カウンタダウン方式で内部方式が異なっている。これらとA-D、D-A変換特性のマスタスライスで全10品種を得ることができる。

図1にHD44230Cシリーズのブロック構成を示す。同一のベースチップから、ボンディング変更、マスタスライス接続変更、又は部分回路の交換により、10品種を実現している。内蔵クロック発生器は、A-D変換器、D-A変換器、スイッチトキャパシタフィルタに必要な128kHzのクロックを発生させる。カウンタダウン形では、1,536kHz、1,544kHz及び2,048kHzの3種のPCMデータのシリアル入出力ビットシフトクロックを12分周又は16分周しており、この分周比の選択は自動化されている。PLL形ではフレーム同期信号の8kHzを16倍化し、位相同期した128kHzを発生している。HD44230B系では入力フィルタアンプと増幅アンプを兼用していたが、これを独立させたことによりアナログ入力回路の設計自由度が増加した。また、アナログ出力の駆動能力を3k Ω 負荷から600 Ω 負荷へ改善し、600 Ω 系ラインの直接駆動が可能となった。また、HD44247C・HD44248Cでは、600 Ω 駆動の増幅器を反転バッファとして内蔵化している。反転バッファの電源は、この2品種以外では供給しない方式として他の品種の消費電力の増加を回避している。

3 各部回路設計

図1に示した各部回路は、スイッチトキャパシタフィルタ回路、電荷再配分方式A-D変換回路、同D-A回路、微小電流積分によるPLL回路、二次アクティブフィルタ回路、CMOSバンドギャップ電圧発生回路などCMOSリニア技術の集成によって実現されている。HD44230Cシリーズでは、全回路ブロックをそれぞれ再設計したが、以下に基準電圧発生回路、スイッチトキャパシタフィルタ回路の改良について述べる。

3.1 基準電圧発生回路

基準電圧は、CODECの使用温度範囲(0～70℃)、電源電圧範囲($\pm 5V \pm 5\%$)に対し安定であり、プロセス変動などによるばらつきを含めた総合変動幅を無調整で2%以下とする必要がある。このため、温度・電源に対して安定な定電圧を発生する定電圧発生部と、その出力電圧を一定電圧範囲に調整するトリミング回路が必要となる。

従来のHD44230B系では、まず電源電圧に安定な定電圧を得、これにより次段の対温度安定化回路をバイアスする縦続接続方式の定電圧発生回路を用いていた。HD44230C系では、これを図2に示すように、自己帰還制御により電流の安定化を行なう方式に改良した。この回路では、M1、M2に流す電流比を調整して温度変動を極小化し、M3～M11から成る

帰還回路によりM1、M2に流れる電流の電源電圧変動を吸収している。この結果、目標の温度安定度(50ppm/℃)及び電源安定度(0.1%/V)を達成することができた。

この定電圧源の出力ばらつきはプロセス変動により $\pm 20\%$ を超えるが、これを $\pm 1\%$ 以内に圧縮するため、ポリシリコン製ヒューズを用いたトリミング回路を採用している。このヒューズをウェーハ検査時に切断することにより、図1に示した基準電圧バッファアンプの増幅度を選択し、出力電圧を目標値($2.5V \pm 0.25V$)以内に調整している⁵⁾。この回路では、本来、送信側・受信側で各6ビット、計12本のヒューズを必要とするが、送受間の利得差が小さいことから下記の方式を採用して、ヒューズ数を10本に削減している。まず、送信側に対して6ビットのトリミングを実施する。受信側については、送信側の上位3ビットを流用しこれに受信専用の3ビットを加算している。残る1ビットは加算時けた上り制御に用いている。

3.2 スwitchトキャパシタフィルタ回路

従来のHD44230Bシリーズでは、受信側スイッチトキャパシタフィルタのPSRR特性が帯域内・外の境界付近で17dB以下となっていた。このため、フィルタの回路構成と内部容量

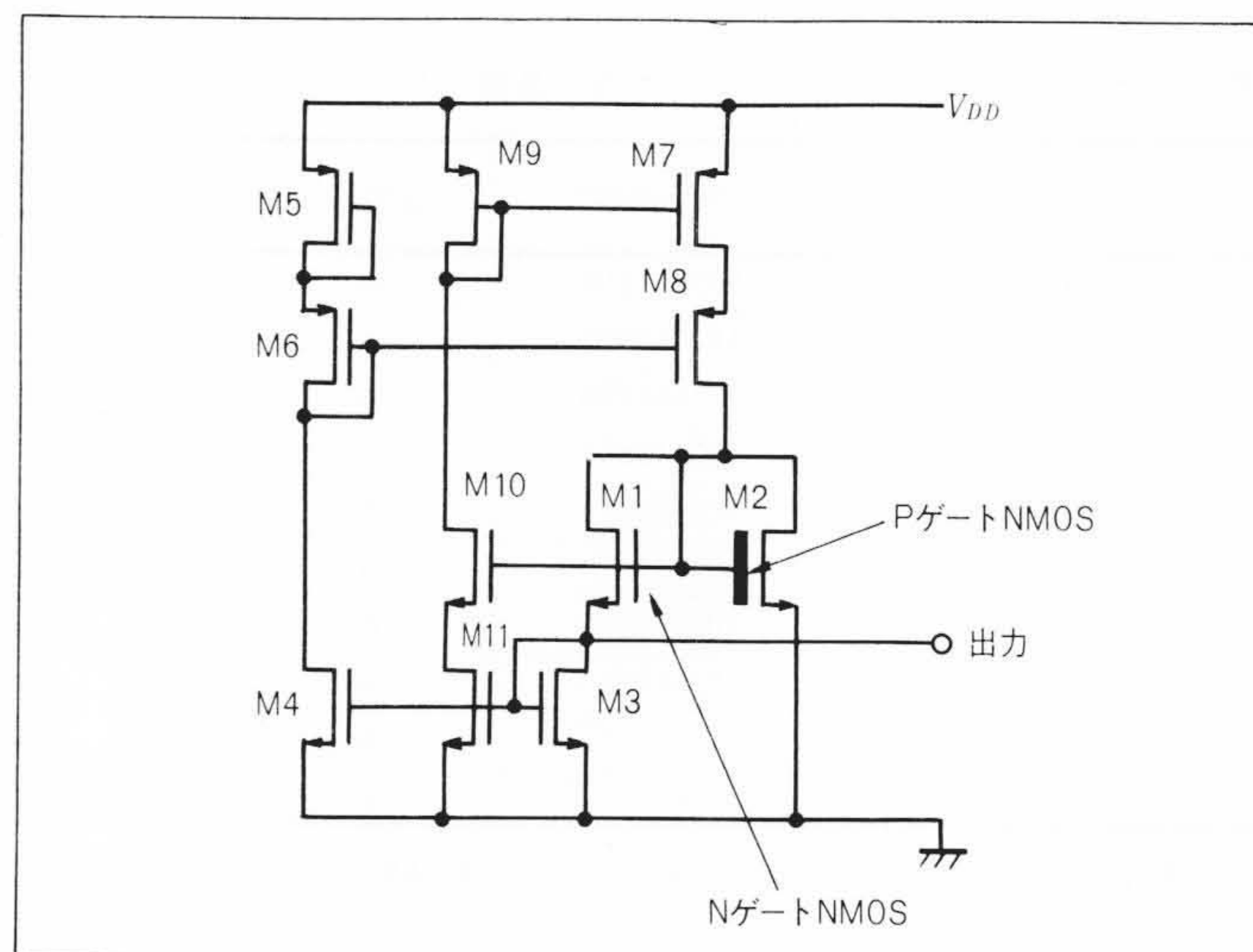


図2 基準電圧発生回路 M1、M2の電流差により温度安定度を得、かつ基準電圧を自己の電流源に帰還して対電源電圧の安定化を行なっている。

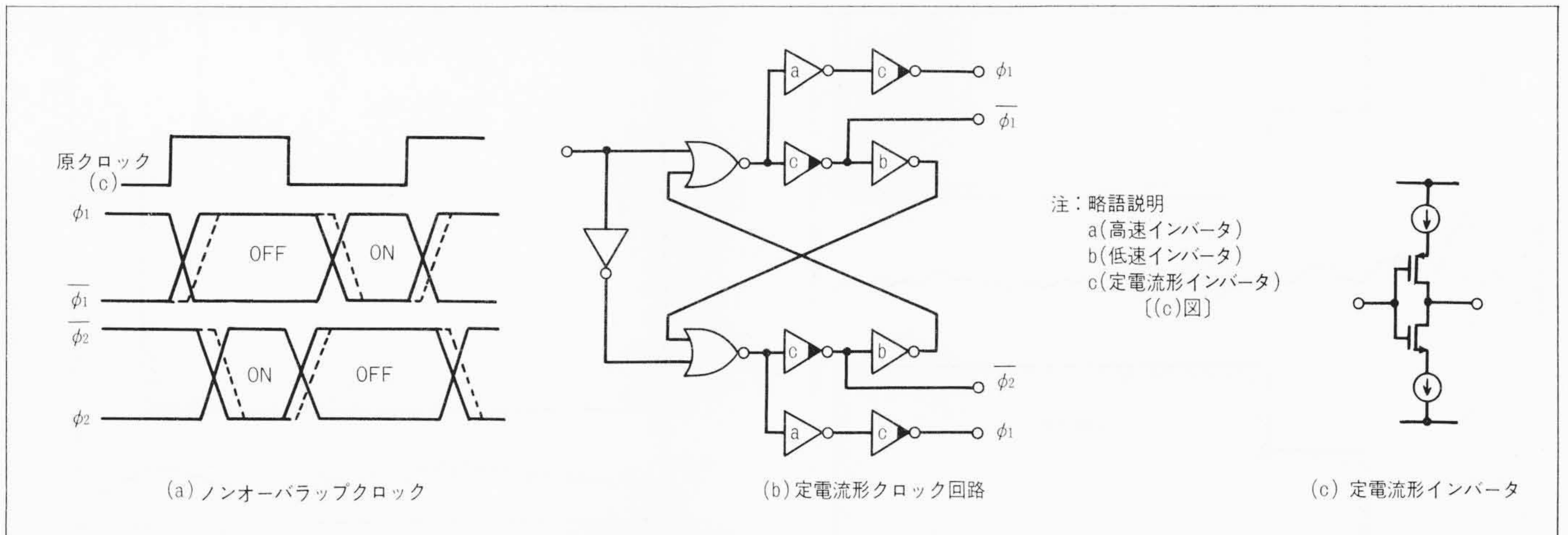


図3 スイッチト キャパシタ フィルタ クロック回路 従来のインバータ遅延方式でのノンオーバーラップクロックの交点不一致性 [(a)図の点線] を、定電流形インバータの導入により解消している。

比を最適化し、この問題を解消して全帯域で30dB以上に改善した。

また、この改良でフィルタの次数が減少したことと、A-D変換のタイミングを最適配分したことにより、絶対遅延時間も480 μ s以下を実現した。

スイッチト キャパシタ回路では、CMOSアナログスイッチを互いに導通状態が重ならないように切り換える(ノンオーバーラップクロック)ため図3(a)の4相のクロックが必要である。従来のインバータ遅延による方法では(a)図の点線のように、 ϕ_1 と ϕ_1 、 ϕ_2 と ϕ_2 の切り換えが同時ではない。このためスイッチから重畳されるフィードスルーノイズは、0V付近すなわち無通話状態に大きくなり、シミュレーションとの差異も大きくなる。同図(b)では、定電流回路によりフィルタクロックラインの容量を積分し、0V付近での $\phi_1 \cdot \phi_1$ 、 $\phi_2 \cdot \phi_2$ の切り換えとノンオーバーラップ性を同時に確保した。この結果、フィルタの帯域内リップルをシミュレーション設計値どおりに最小化することができ、無通話時雑音特性も改善することができた。

4 測定結果

製造プロセスは、5 μ m1層ポリシリコンCMOSプロセスであり、従来品と同じくポリシリコン-酸化膜-アルミニウム構造のキャパシタを用いた。図4にHD44230C系(HD44238C)のチップ写真を示す。チップサイズは3.62mm $\times$ 7.16mmで、この一つのベースチップで表1に示した10品種の全機能を実現している。

図5、6、7及び図8にHD44234C(μ 則、デバイダ方式、非同期可)の代表的測定例を示す。測定装置はHP3779Dを用いた。図5のSN比はA-A(アナログ-アナログ)測定1,020Hzトーン法による測定例で、ほぼ理論特性に近い特性が得られている。国際規格に対して4dB以上の十分な余裕をもっている。図6のレベル直線性を示すGT特性のA-A、1,020Hzトーン法測定例では-60dBm0入力まで直線性を保っている。また、図7、8はそれぞれ送信側、受信側の周波数特性を示しているが、これらも ± 0.15 dBの帯域内目標規格に対し十分な余裕

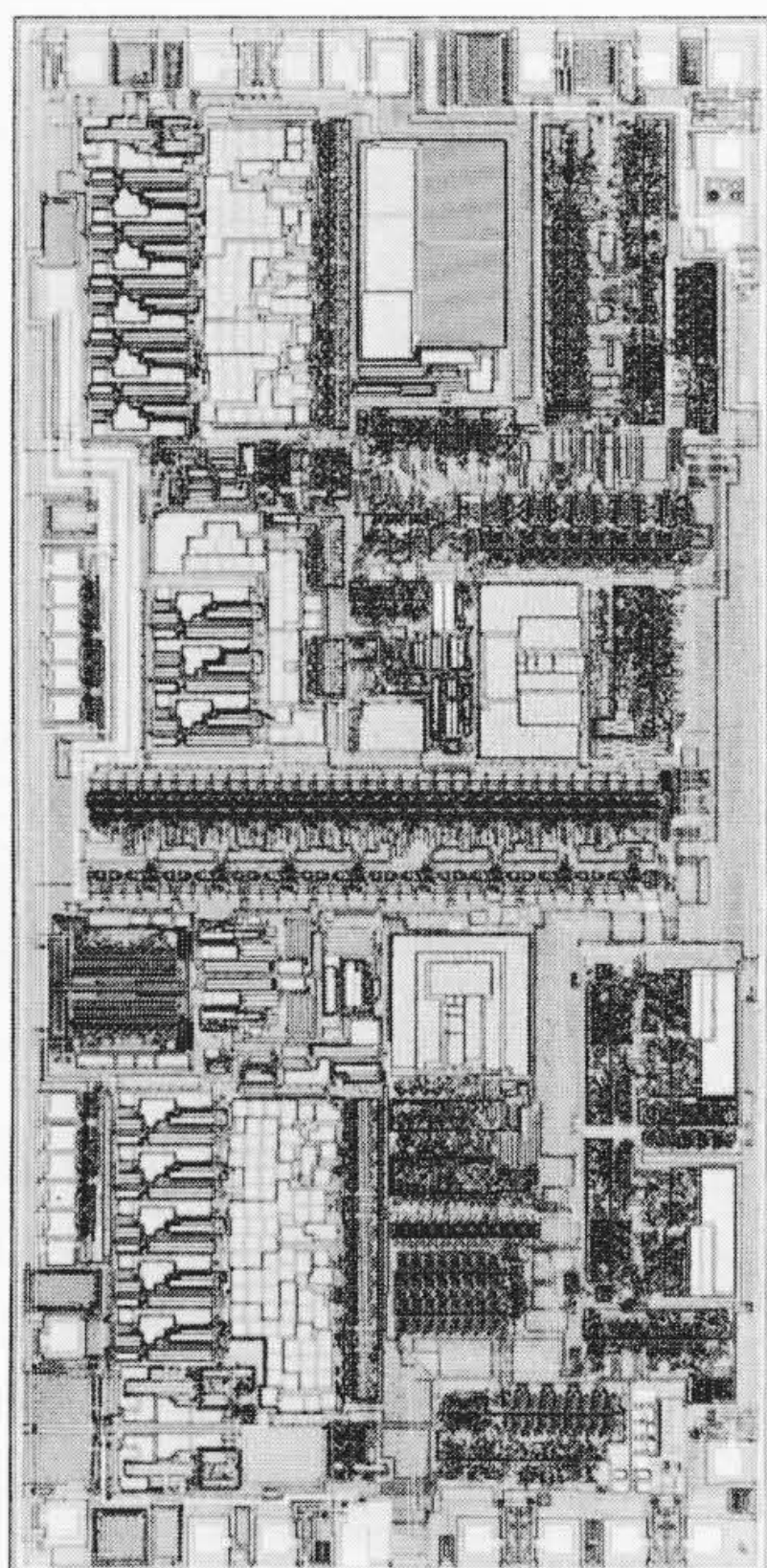


図4 CODEC・LSI(HD 44238C)チップ写真

チップサイズは3.62 $\times$ 7.12mm²、プロセスは5 μ mシリコンゲートCMOSである。

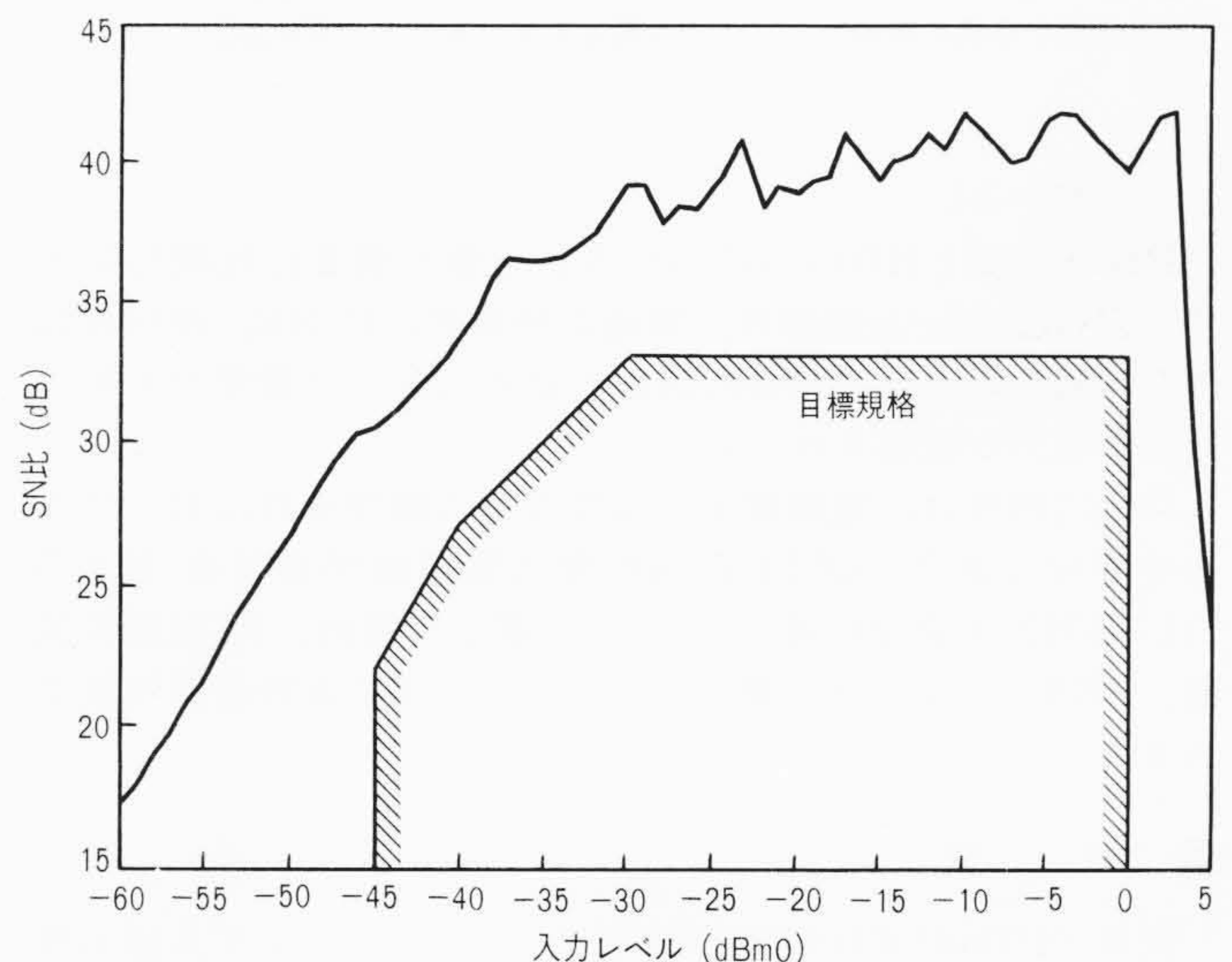


図5 信号対雑音電力比特性 HD44234C測定例、A-A(アナログ-アナログ)1,020Hzトーン法による測定を行なった。CCITT規格に対し4dB以上の余裕がある。

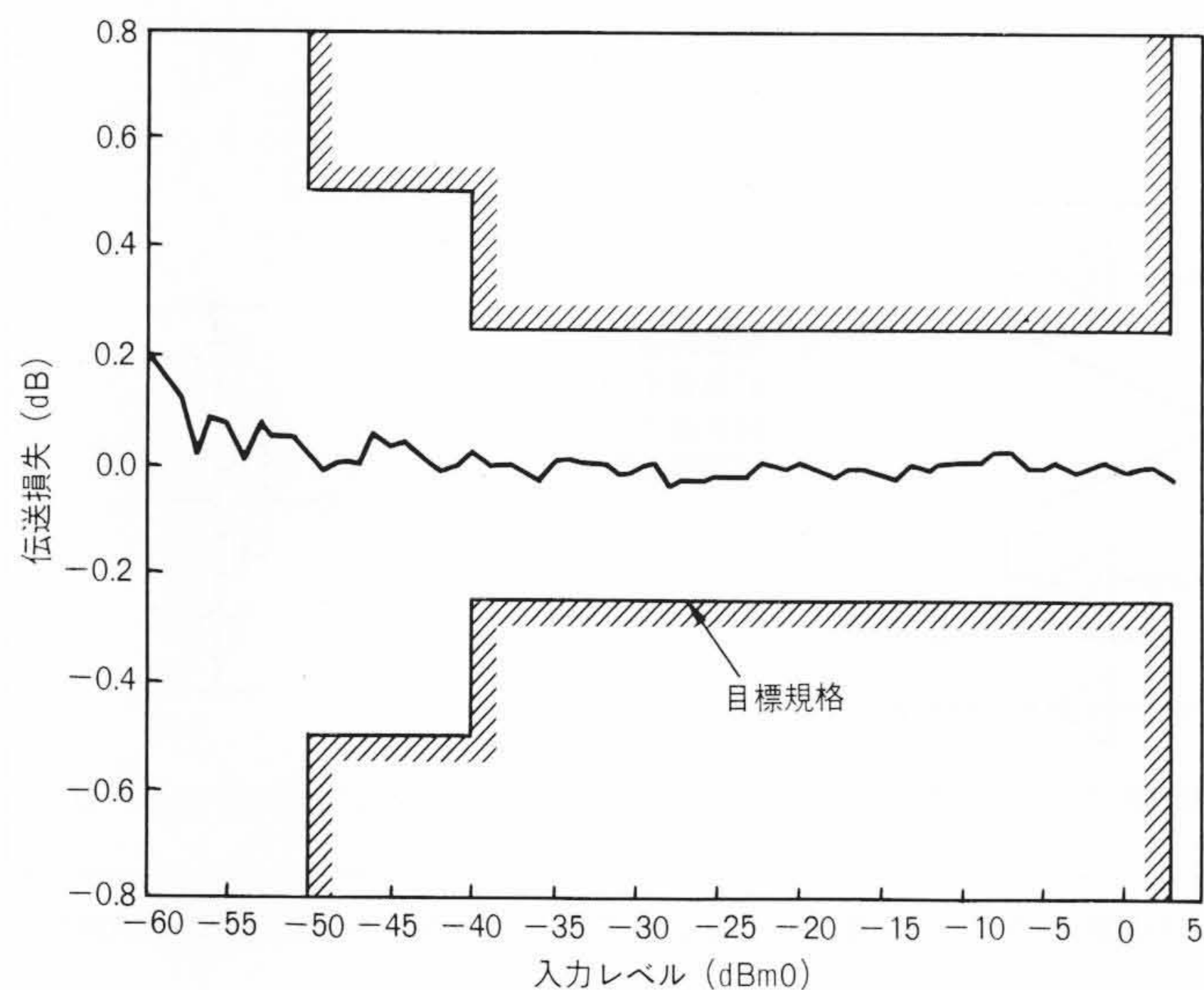


図6 伝送レベル損失特性 入力信号1,020Hz, アナログ-アナログ特性のHD44234C測定例を示す。基準入力レベルは-10dBm0である。CCITT規格(-40~+3dBm0入力で±0.5dB以内)の1/2の目標規格(同じく±0.25dB)に対し十分余裕がある。

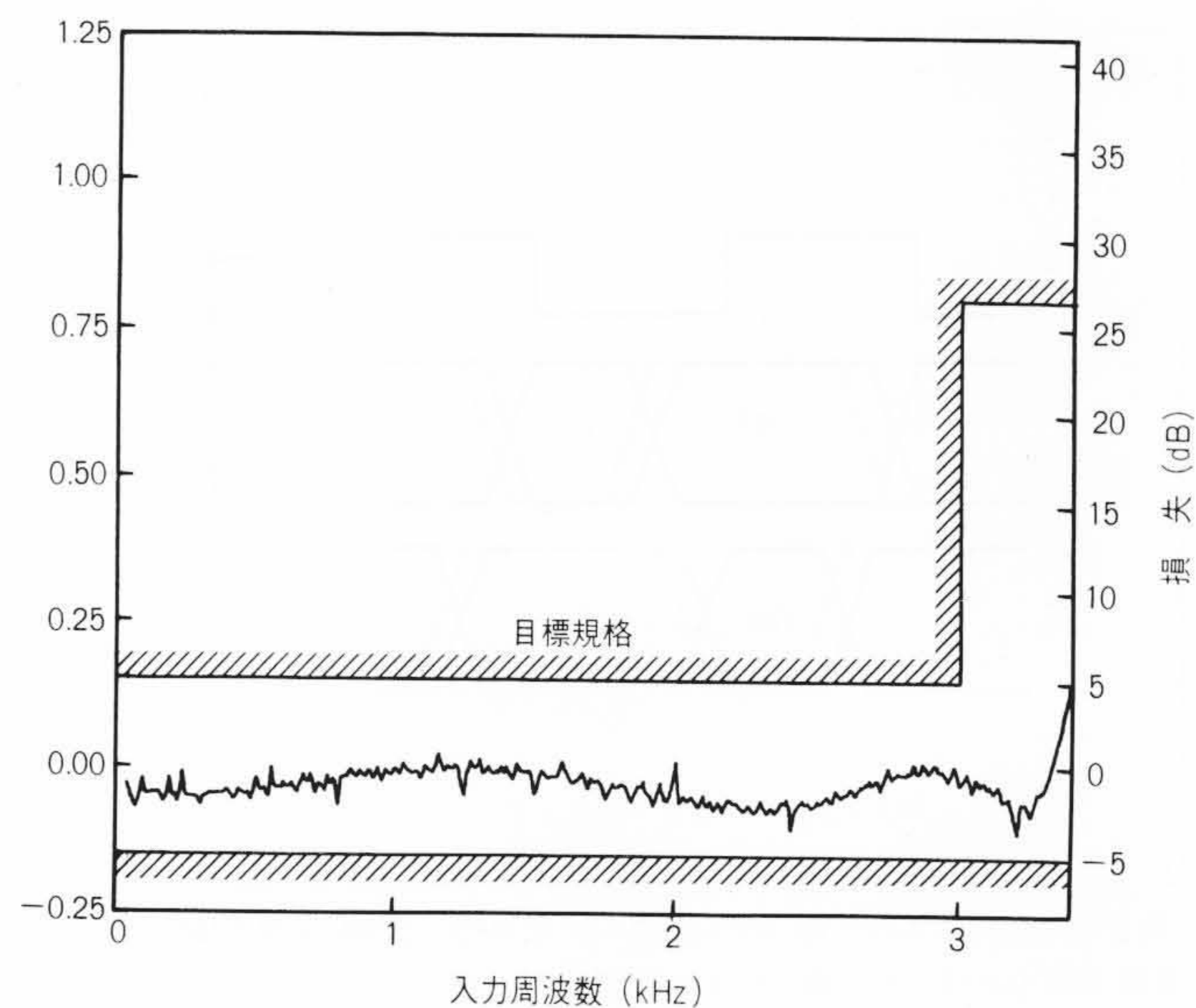


図8 伝送損失周波数特性(受信側) HD44234Cの受信側周波数特性例を示す。基準値1,020Hz, 0dBm0である。出力D-A変換のオーバーチャ補正を含み目標の±0.15dBを満足している。

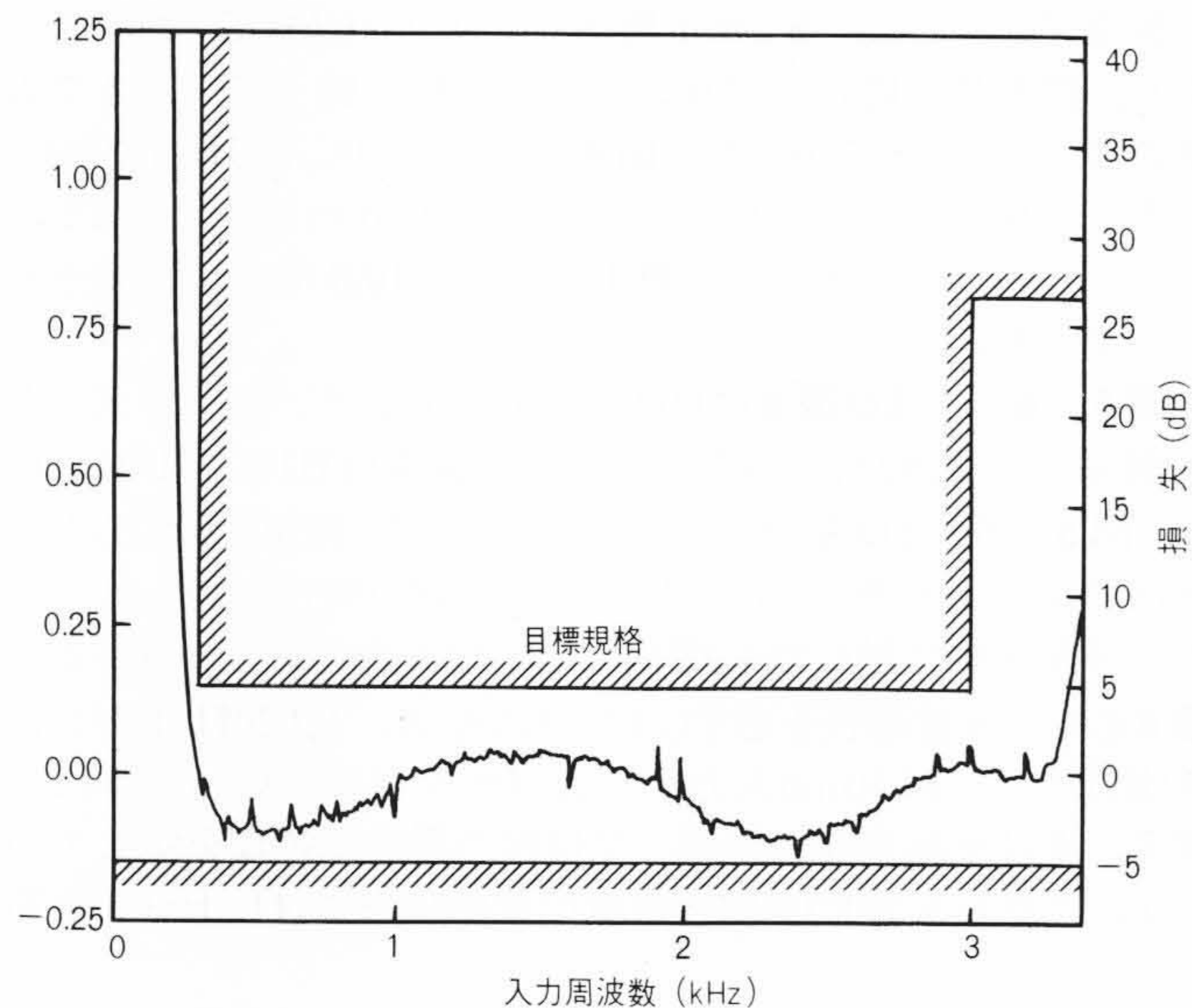


図7 伝送損失周波数特性(送信側) HD44234Cの送信側周波数特性例を示す。1,020Hz 0dBm0の入力信号に対する損失の相対値を示している。帯域通過特性が目標の帯域内±0.15dBを満足していることが分かる。

をもっている。

HD44234BとHD44234Cの代表測定値を表2に比較して示す。SN比, レベル直線性, 無通話時雑音, PSRR, 絶対遅延の全項目にわたって特性の改善が認められ, 消費電力も特に待機時電力が改善されている。

以上の特性は, 電源電圧, 温度などの環境条件に対しても十分安定であり, CCITT(国際電信電話諮問委員会)勧告G711・G712⁷⁾を完全に満足しており, 電話交換機, PCM端局装置, PBX, デジタル電話のすべての応用に直接使用可能である。

5 結 言

従来のHD44230B系CODECをベースに, アナログ入出力機能を改善し, 特性改善を図ったHD44230Cシリーズについて, シリーズの構成と特長, 及び回路の基本設計について報告した。評価結果は良好でCCITT国際規格をすべて満足している。

表2 HD44234C特性諸元(代表値) HD44234Bとの比較を示す。すべての項目にわたって特性が改善されている。

項		目	単 位	HD44234B	HD44234C
消 費 電 流		正電源(動作時)	mA	6.5	6.5
		負電源(動作時)	mA	5.6	5.5
		正電源(待機時)	mA	0.56	0.32
		負電源(待機時)	mA	0.08	0.06
SN比		－45dBm0 (A-A)	dB	30.0	30.5
伝送レベル損失特性		－55dBm0 (A-A)	dB	0.20	0.05
無 通 話 時 雑 音		A-A	dBrnC0	14.5	12.9
		D-A	dBrnC0	9.0	4.7
PSRR	V_{DD} 変調	A-A 0.3～50kHz	dB	17(3.4kHz)	>30
	V_{SS} 変調	A-A 0.3～50kHz	dB	18(3.9kHz)	>30
絶 対 遅 延 時 間		A-A	μ S	520	450

特に基準電圧発生回路では, 総合偏差±2%を実現し, 無通話時雑音, PSRR特性, 絶対遅延時間特性を改善することができた。

参考文献

- 1) 花田, 外: デジタルPBXシステム「DXシリーズ」, 日立評論, **64**, 3, 157~162(昭57-3)
- 2) K. Yamakido, et al.: A Single-Chip CMOS Filter/Codec. IEEE Solid State Circuits, SC-16, 4, 302~307(Aug. 1981)
- 3) 岩田, 外: 1チップCODEC・LSIのクロック発生用PLL, 電子通信学会全国大会論文集, 47(昭56-10)
- 4) 山木戸, 外: PCM・CODEC LSIの開発, 日立評論, **64**, 3, 189~194(昭57-3)
- 5) 萩原, 外: CRフィルタ, 基準電圧源内蔵CMOSコーデック/フィルタ, 電子通信学会技術報告, 81, 126, 11~16(昭56-10)
- 6) S. Hagiwara, et al.: Combo-Codec with Phase Locked Loop Circuits, HITACHI REVIEW **33**, 2, 87~92(1984)
- 7) CCITT勧告G712: Performance Characteristic of PCM Channels at Audio Freq. CCITT Orange Book, III-2 415~423(1977)