U.D.C. 681.326.3:621.3.049.774.2/.3′14

サブナノセカンドHi-BiCMOSゲートアレー「HG28シリーズ」

Development of Subnanosecond Hi-BiCMOS Gate Array "HG28 Series"

上遠野臣司*　*Shinji Kadono*
鈴木幸郎*　*Yukio Suzuki*
西尾洋二**　*Yôji Nishio*

システムの高性能化，高機能化に伴い，使用するセミカスタムLSIであるゲートアレーに対する高性能化，高機能化の要求が強い。この要求にこたえるためCMOS回路とバイポーラ素子を一つの回路内で複合化することにより，低消費電力でかつゲート当たり遅延時間0.8nsという超高速Hi-BiCMOSゲートアレーHG28シリーズを開発した。HG28シリーズには2種類あり，純粋な論理回路だけで構成されるが，複雑な論理機能を実現できるように最大2,500ゲートまであるHG28Aシリーズと，ゲート数は最大1,000ゲートであるが，入出力インタフェース回路用として必要なシュミット トリガ入力回路，I_{OL}=24mA出力回路などを構成できるHG28Eシリーズがある。ここではその開発に当たって使用した技術と製品の概要について述べる。

1　緒　　言

システムの小形・軽量化，低価格化及び高信頼度化を図るうえでLSIの導入が不可欠であり，コンピュータやOA(Office Automation)機器，各種制御機器を中心に多種多様のLSIの開発の要求がある。このためユーザーが要求するLSIを短期間で安価に実現できるセミカスタムLSIであるゲートアレーの需要が急激に増加している。

このゲートアレーとして，様々な製品が多くの半導体メーカーで開発[1]されているが，大形コンピュータのように超高速を追求する分野に使用されているECL(Emitter Coupled Logic)形を除くと，TTL(Transistor Transistor Logic)形とCMOS(Complementary Metal Oxide Semiconductor)形が主流を占めている。このうちTTL形はゲート遅延時間が1.5～4nsと高速ではあるが，消費電力がゲート当たり0.6～3mWと大きい。したがって，ゲート数が大きなものはチップの消費電力が1W以上にもなるため冷却技術が必要であり，かつ放熱性のよいセラミックパッケージを使用しなければならないので高価になるというデメリットがある。**図1**はTTLゲートの年次推移を示したものであるが，今後，回路，デバイス技術が進歩したとしてもこの消費電力があい路となり，高速化，高集積度化は今までの延長線を確保することは困難であると予想される。一方，CMOS形は消費電力がゲート当たり0.1mWと非常に小さく大集積化に適しているが，バイポーラ素子を用いたTTL形に比べて負荷駆動能力が低いという欠点がある。このため高負荷駆動能力というバイポーラ素子と，低消費電力というCMOS回路の両者の特徴をもつBi-CMOS形のゲートアレーの実現が望まれていた。

日立製作所ではこの要求にこたえるため，LS-TTL(Low power Schottky-TTL)コンパチブルなBi-CMOSゲートアレーとして既にHD27シリーズを製品化[2]しているが，高性能化，高機能化の要求が強くあった。このため，**図1**のTTLゲートアレーの年次推移の延長線上にある，ゲート遅延時間0.8nsのHG28シリーズをHi-BiCMOS技術と呼ばれる技術を用いて開発[3]した。Hi-BiCMOS技術の要点は大きく分けて，

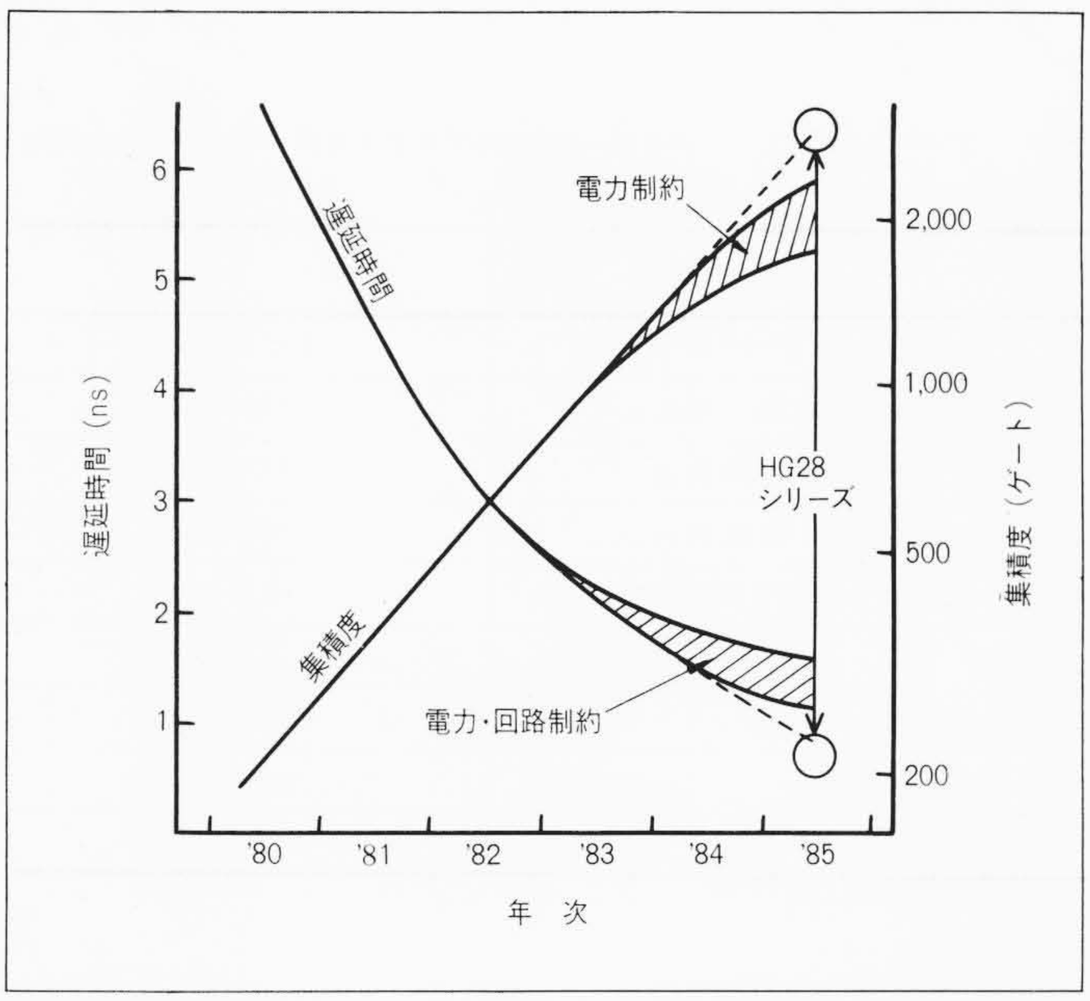


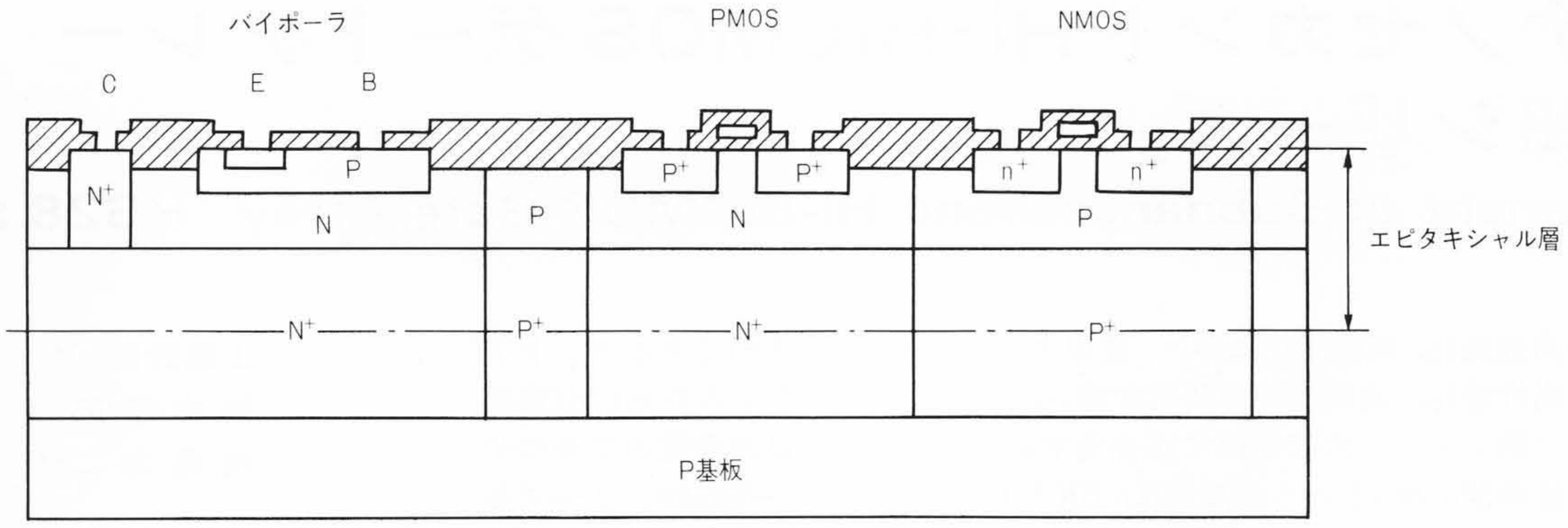
図1　TTLゲートアレーの年次推移　消費電力及び回路上の制約により，今後純粋なTTL(Transistor Transistor Logic)ゲートアレーでは従来の延長線上の製品を開発することは困難であると予想される。

(1)　微細化CMOS回路と，高周波特性の優れたバイポーラ素子を共存させるプロセス技術。
(2)　基本回路内で，高速バイポーラ素子とCMOS回路を，両者の特長を生かすように複合化した回路技術。
の2点に要約される。本報告では開発したHG28シリーズについて，上記二つの技術及び製品の概要を述べる。

2　プロセス技術

HG28シリーズは2μmCMOSプロセスと2μmバイポーラプロセスを用いて作られている。**図2**にHG28シリーズのデ

* 日立製作所高崎工場　** 日立製作所日立研究所



注：略語説明 PMOS(P-channel Metal Oxide Semiconductor)
NMOS(N-channel Metal Oxide Semiconductor)

図2 デバイス断面構造 薄いエピタキシャル層を，N^+埋込層とP^+により実現している。

バイス断面構造を，**表1**にデバイス特性を示す。その特徴を以下に示す。

(1) 薄いエピタキシャル層をN^+埋込層とP^+を用いて達成することによりf_T＝4 GHzという高性能バイポーラ トランジスタを実現した。

(2) 最小2×5 μm^2という小さなエミッタサイズのバイポーラ トランジスタを使用した。

(3) チャネル長2 μmのMOSトランジスタをP, N両ウエルを用いて構成した。

表1 デバイス特性 バイポーラCMOSプロセスを用いてf_T＝4GHzと高性能バイポーラ トランジスタを実現している。

項目		特性
最小エミッタサイズ		2×5 μm
電流増幅率 h_{FE}		100
カットオフ周波数 f_T		4 GHz
コレクタ飽和抵抗 r_{CS}		100Ω
コレクタエミッタ耐圧 BV_{CEO}		8.6 V
V_{th}	NMOS	0.55 V
	PMOS	−0.55 V
最大コンダクタンス β_{0max}	NMOS	50 μS/V
	PMOS	15 μS/V

3 基本回路

3.1 内部回路

HG28シリーズの内部基本回路である2入力NAND回路を**図3**に示す。この回路は，バイポーラ素子とCMOS回路とで構成され，出力レベルは，CMOS回路と同様高レベルは電源電圧V_{cc}に，低レベルは接地電位GNDに等しい。またスタティックなDC電流が流れないため，CMOS回路と同様に低消費電力である。回路性能に関しては電流増幅率h_{FE}の大きなバイポーラ トランジスタにより負荷容量C_Lを充放電するため，**図4**に示すように標準負荷状態で0.8nsと高速であり，負荷駆動能力も0.24ns/pFとCMOS回路に比べて約5倍高い。

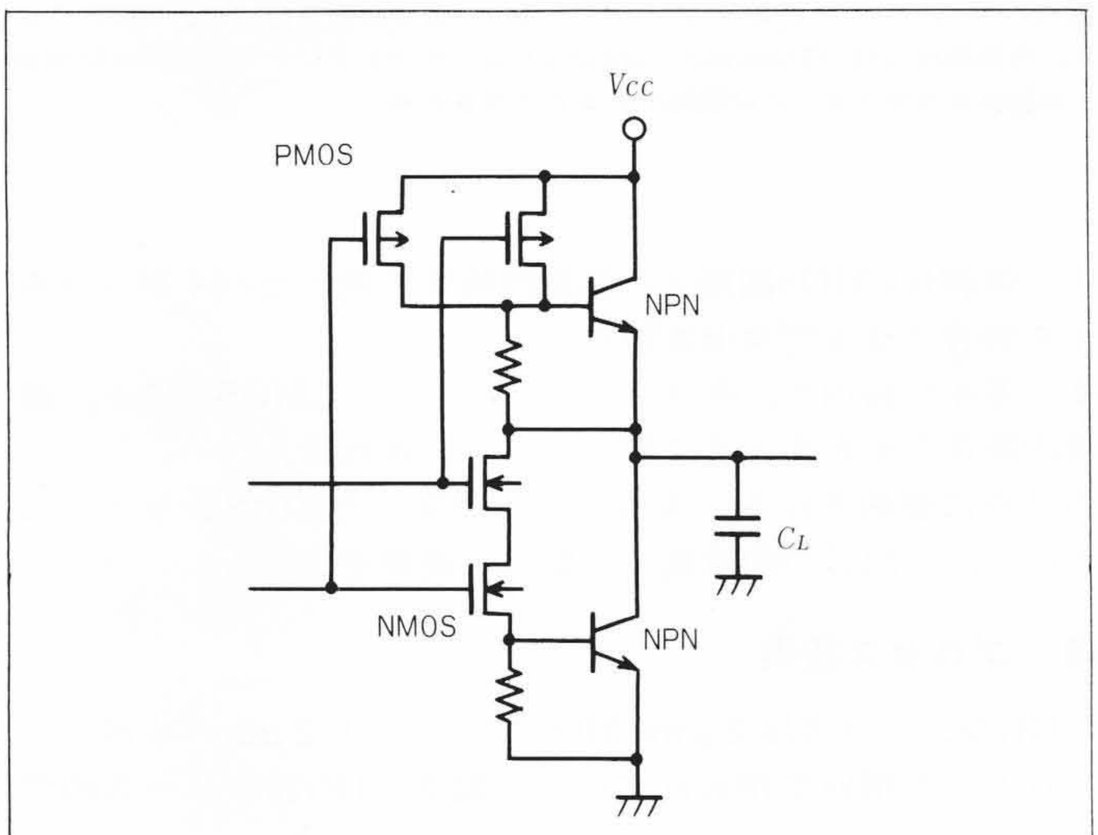


図3 内部基本回路(2入力NAND回路) バイポーラ素子とCMOS回路を組み合わせることにより，低消費電力，高性能の回路を実現している。

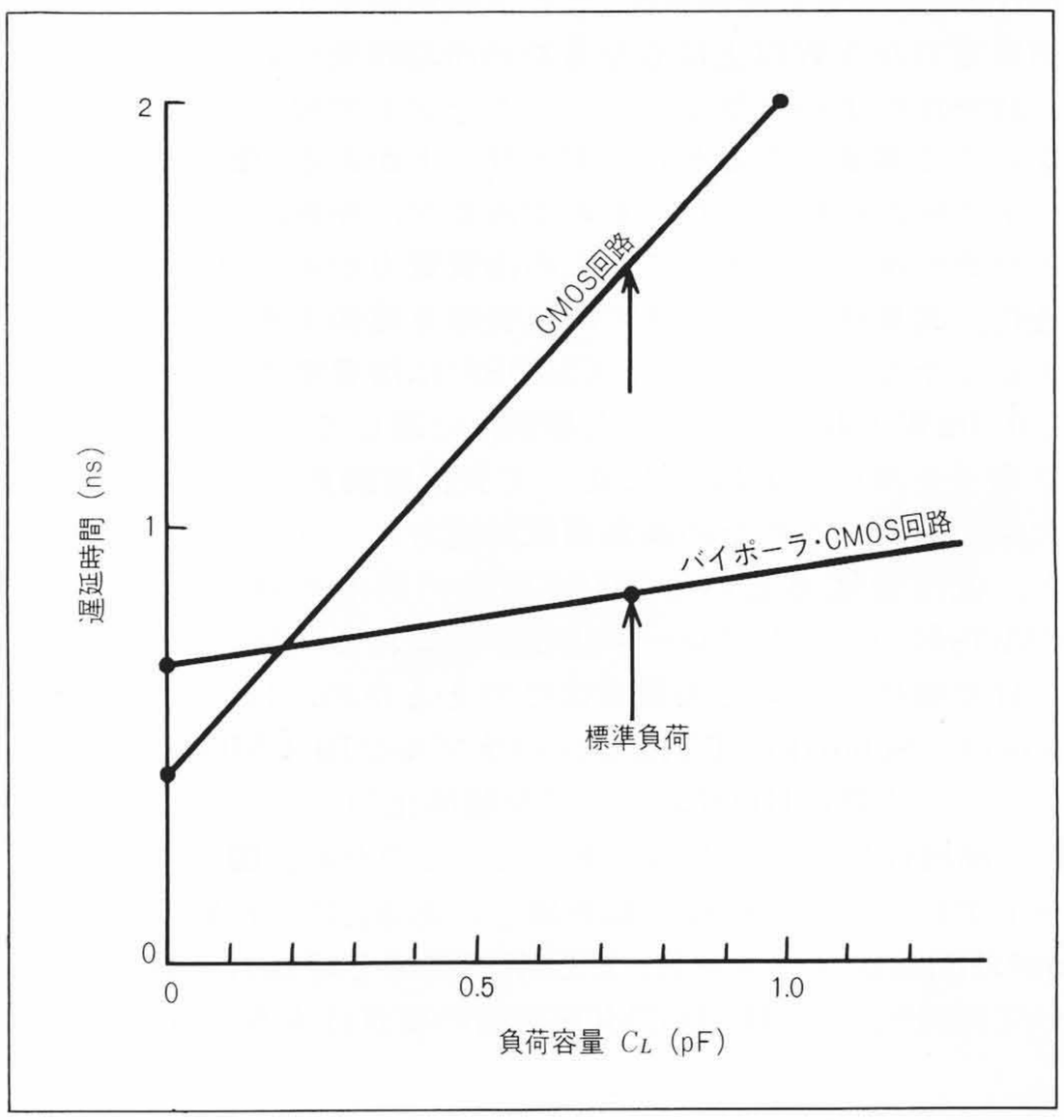


図4 基本回路の遅延時間 ファンアウト＝3，配線長＝3 mmの標準負荷状態で，0.8ns/ゲートと高速動作を達成している。

3.2 入力バッファ

HG28シリーズの入力バッファの回路図を**図5**に示す。入力特性がLS-TTLコンパチブルであるこの回路の特徴は，入力部にPNPトランジスタを設け，低レベル入力電流I_{IL}を低減したことと，出力部に内部回路を変形したバイポーラ・CMOS回路を設け，高速・低消費電力化を実現したことにある。このためI_{IL}は50μA以下を，遅延時間は**図6**に示すように標準負荷状態で2 ns，負荷容量C_L依存性は0.24ns/pFを実現できた。

3.3 出力バッファ

HG28シリーズの出力バッファの回路図を**図7**に示す。この回路の特徴は次に述べるとおりである。

(1) MOSトランジスタN_1によりバイポーラ トランジスタQ_2のベース電流を供給し，LS-TTLの標準仕様であるI_{OL}＝8 mAのときV_{OL}＝0.5Vを保証した。

(2) 入力部にPMOS，NMOS各々3個を設けることにより，出力バッファ内で3入力ANDなどの論理機能を構成できるようにした。

(3) LSI外部に接続される出力バッファの出口はすべてバイポーラ素子で構成することにより，CMOS特有の現象であるラッチアップ現象が生じないようにした。

図8はこの出力バッファの遅延時間を示したものであり，負荷容量C_Lが15pFのとき3.0ns，50pFのとき4.3ns，また負荷容量C_L依存性も0.03ns/pFと高速で動作している。

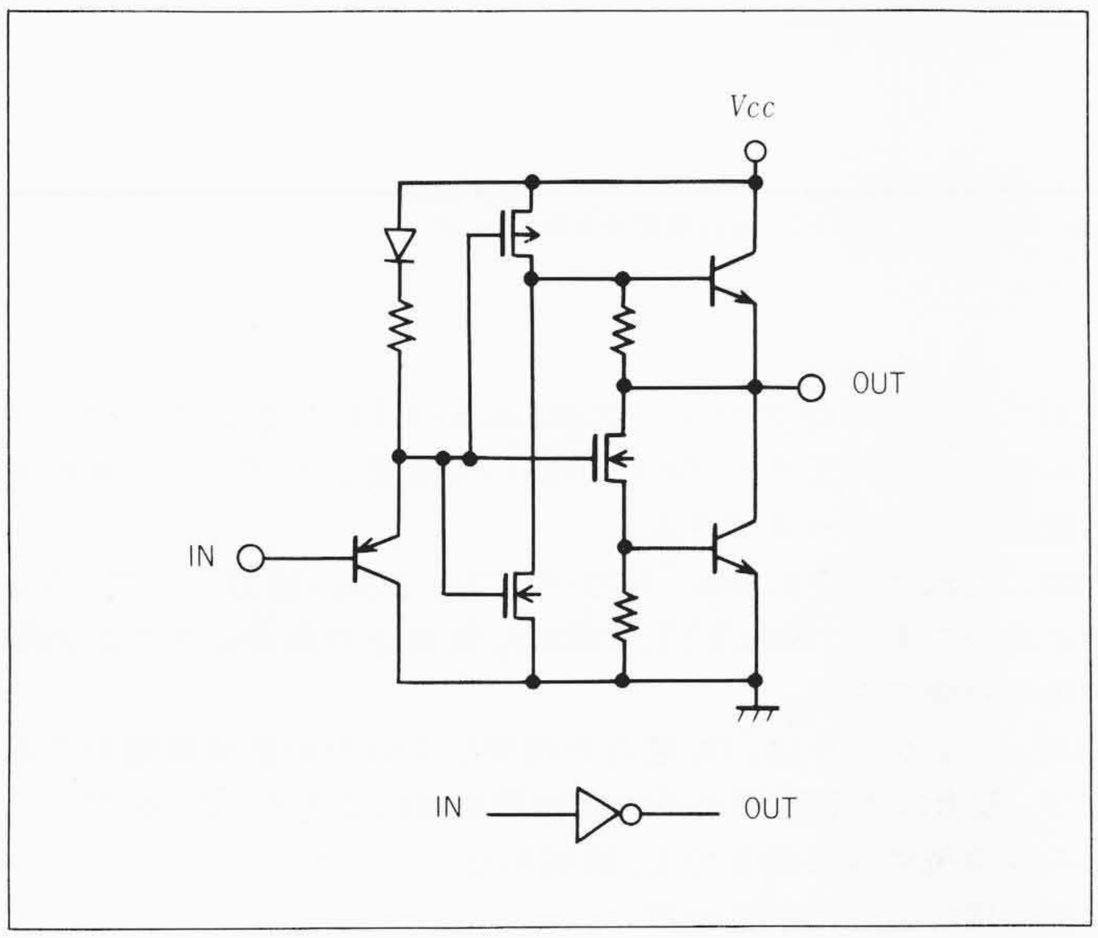


図5 入力バッファ回路　入力部にPNPトランジスタを用いることによりI_{IL}を低減し，出力部にバイポーラCMOS回路を用いることにより低消費電力化，高性能化を図っている。

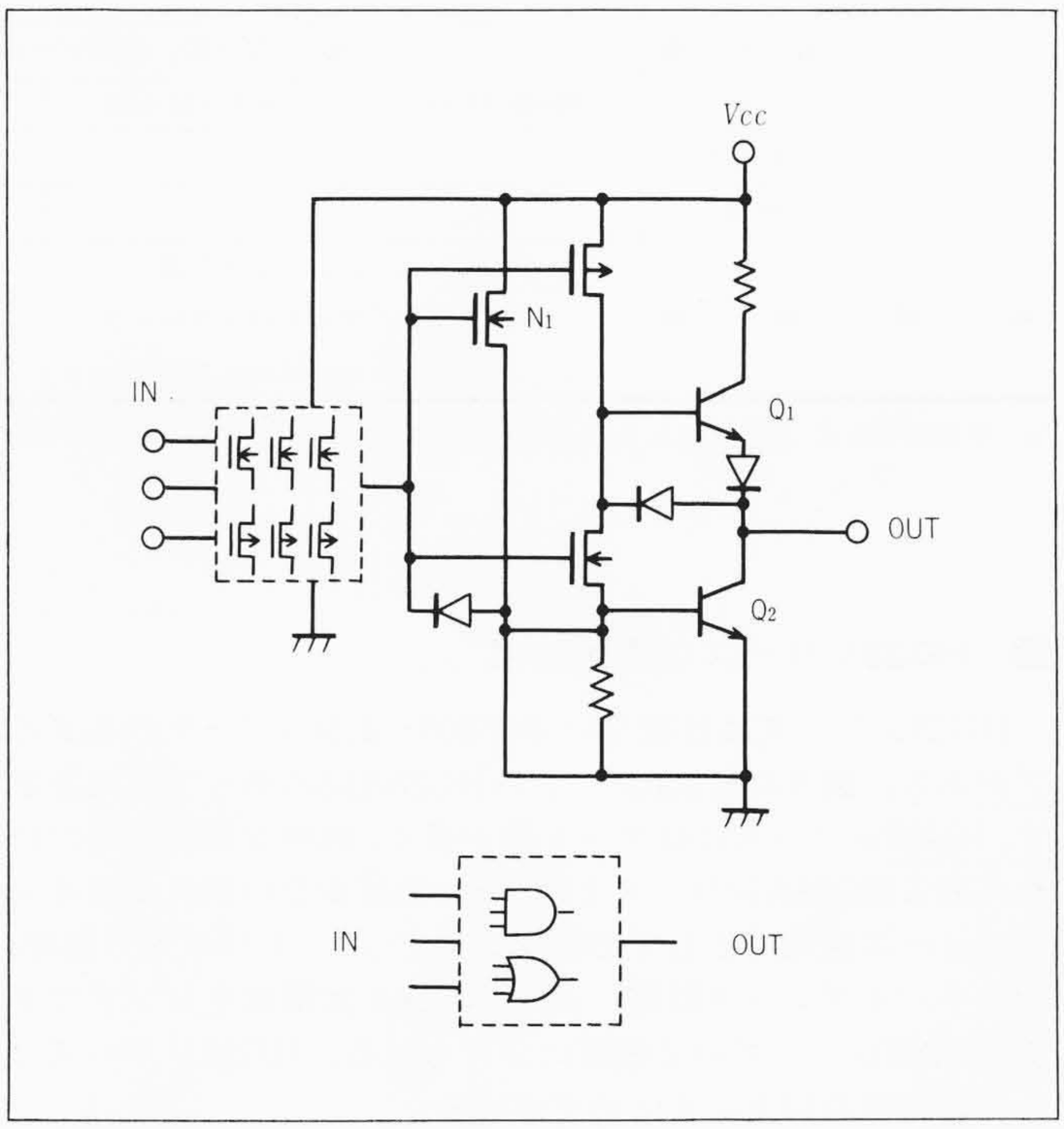


図7 出力バッファ回路　入力部にPMOS，NMOS各3個設けることにより論理機能をもたせ，また出力部はすべてバイポーラ素子で構成することにより，ラッチアップ現象が生じないようにしている。

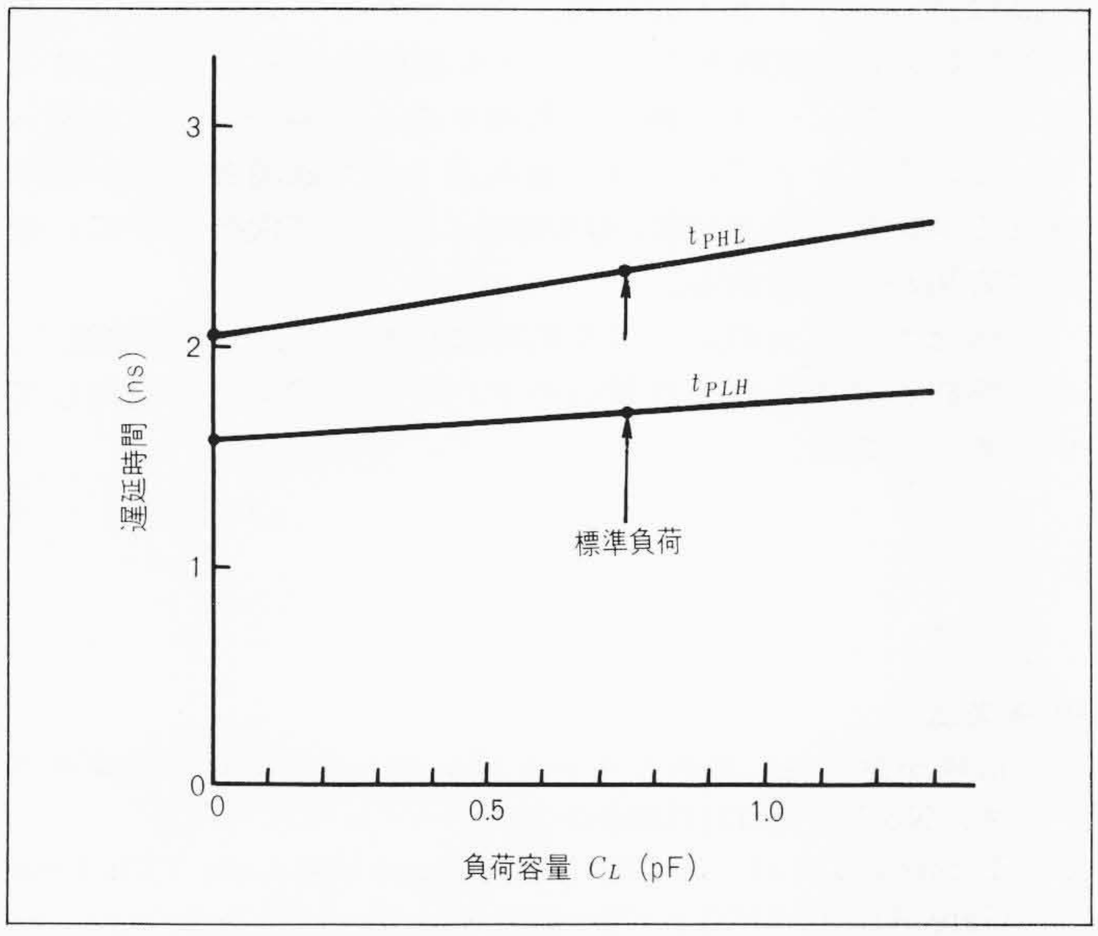


図6 入力バッファ遅延時間　ファンアウト＝3，Al＝3 mmの標準負荷状態で，2.0nsと高速動作を達成している。

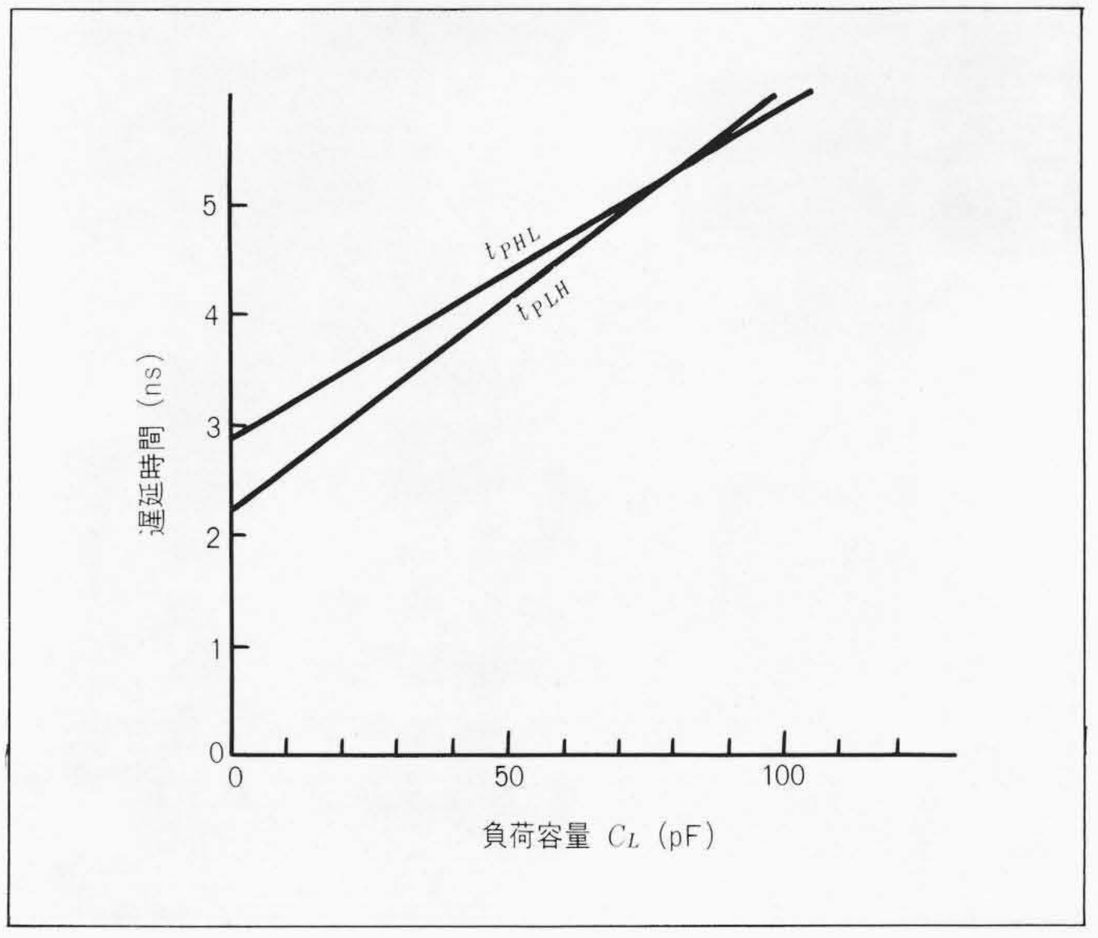


図8 出力バッファの遅延時間　TTLの標準負荷である。C_L＝15pFのとき，3.0nsと高速動作を達成している。

表2 HG28シリーズの概略仕様 内部ゲート0.8ns，入力バッファ2ns，出力バッファ3nsと高速動作が可能である。また1,000ゲート以下のHG28Eシリーズでは，入力シュミット回路など特殊な回路を構成できる。

項目		E06*	E08*	E10*	A13	A18	A25
ゲート数		630	864	1,008	1,326	1,800	2,550
I/O数		48	58	58	66	90	114
遅延時間(Typ)	内部ゲート	0.8ns/2NAND FO=3, Al=3mm					
	入力バッファ	2.0ns FO=3, Al=3mm					
	出力バッファ	3.0ns(C_L=15pF), 4.3ns(C_L=50pF)					
消費電力	内部ゲート	0.22mW/10MHz					
	入力バッファ	1.2 mW/10MHz					
	出力バッファ	4.7mW(C_L=15pF)/10MHz					
入出力レベル		LS-TTL(I_{OL}=8mA)					
マクロセル数		入出力バッファ27，内部ゲート39			入出力バッファ25，内部ゲート37		
パッケージ	DIP	28・40・42・64S	28・40・42・64S	28・40・42・64S	28・40・42・64S	28*・40・42・64S	28*・40*・42*・64S
	FPP*	—	—	—	80	80・100	80・100
	PGA*	—	—	—	72	107	135
特殊機能		シュミット入力 マルチバイブレータ I_{OL}=24mA 出力バッファ			—		

注：略語説明など DIP(Dual In Package)，FPP(Flat Pack Plastic)，PGA(Pin Grid Array)，FO(ファンアウト) *は開発中を示す。

4 HG28シリーズの概略仕様

HG28シリーズには**表2**に示す600～2,500ゲートの6タイプがある。**図9**に1,300ゲートのHG28A13のチップ写真を示す。HG28シリーズにはゲート数が多く，純粋な論理回路だけから成るHG28Aシリーズと，ゲート数は少ないが入出力インタフェース回路用として必要なシュミット トリガ入力回路，マルチバイブレータ回路，I_{OL}=24mAと大電流をシンクできるHG28Eシリーズの2種類に分けられる。HG28シリーズとしての特長を以下にまとめて述べる。

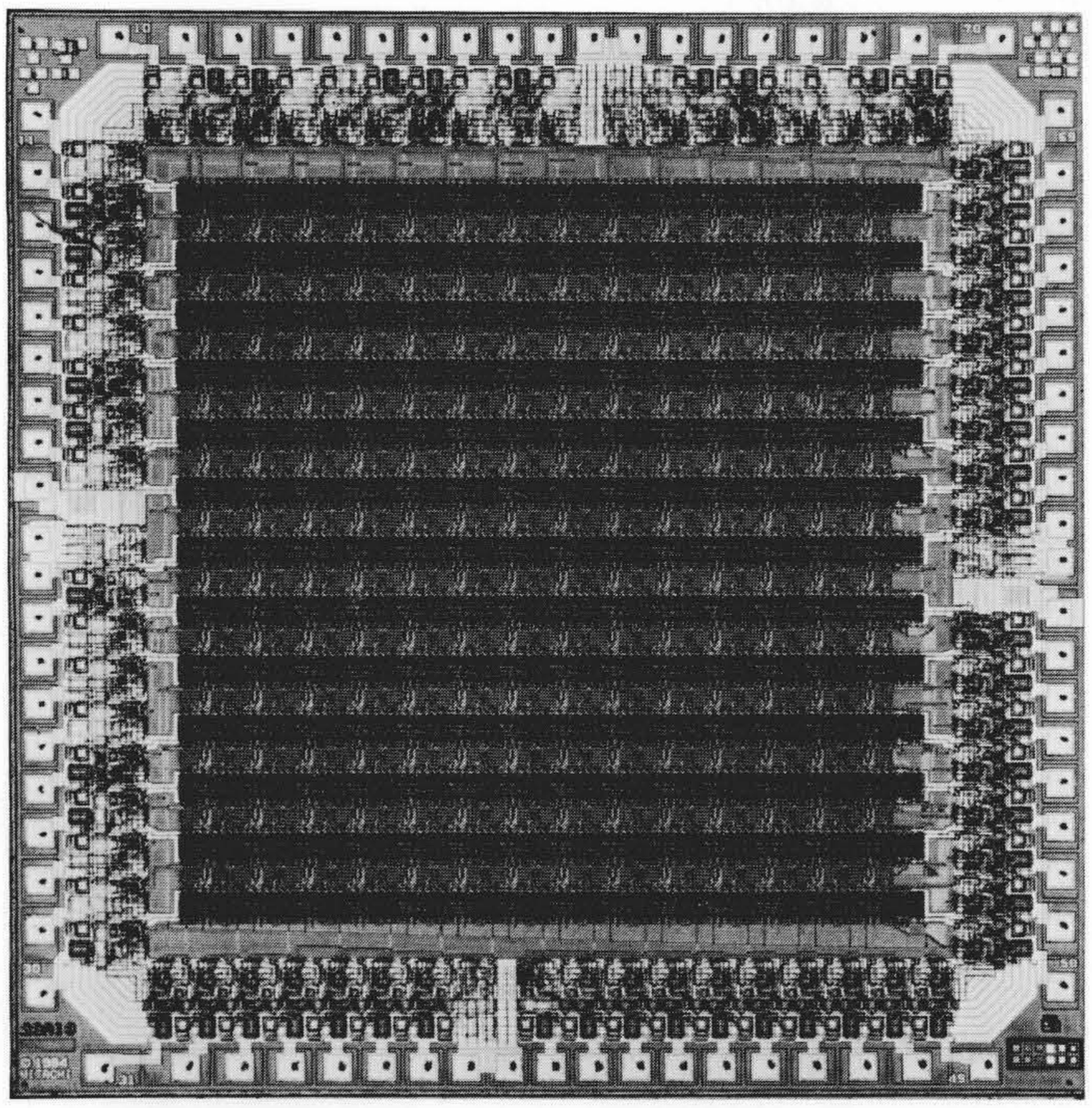


図9 HG28A13のチップ写真 LSIのチップ全体にバイポーラ素子とCMOS回路が混在して配列されている。

(1) 入出力インタフェースは74LS-TTLと完全コンパチブルであり，TTLタイプのICを用いて構成したプリント基板を完全にリプレースできる。

(2) 内部ゲート0.8ns，入力バッファ2ns，出力バッファ3nsと高速であり，単体TTLで構成した以上の高速システムの開発が可能である。

(3) 内部ゲートは，DC電力を消費しないため低消費電力であり，電力は内部回路の平均動作周波数によるが，2,500ゲートの高集積度品の場合でも，汎用的なプラスチック パッケージを使用できる可能性が高い。

5 結 言

CMOS回路とバイポーラ素子を一つの回路内で複合化し，LS-TTLコンパチブルでかつゲート当たり遅延時間0.8nsという超高速ゲートアレーを開発した。またゲート数の少ない製品にはシュミット入力回路，マルチバイブレータ，I_{OL}=24mAを流せる高駆動出力バッファも構成できるようにして入出力インタフェース回路への利用を考えた場合の便宜を図っている。本ゲートアレーは，超高速でかつ低消費電力が要求されるコンピュータ分野，OA機器，各種制御機器ほか広い分野に応用が可能である。

今後はユーザーのニーズを的確に反映して，より高性能で，かつ機能を充実したより使いやすいゲートアレーを開発していく考えである。

参考文献

1) 市場が急成長し始めたゲートアレイ：日経エレクトロニクス，No.311，p.111(1983-2-28)
2) Y. Suzuki, et al.：A Plastic Packaged 1600 Gate TTL Type Gate Array, CICC p.472～475(1984-5)
3) Y. Nishio, et al.：A Subnanosecond Low Power Advanced Bipolar-CMOS Gate Array, ICCD p.428～433(1984-10)