

Hi-BiCMOS技術の展開

Applications of Hi-BiCMOS Technology

VLSI技術は低消費電力を特長とするCMOSを中心に発展してきたが、各種情報機器への要求が高度化するに伴い高速性も併せて要求されている。本論文で述べるHi-BiCMOS技術は、バイポーラとCMOSの一体化により、低消費電力性と高速性を同時に達成することを目的とする。

Hi-BiCMOS技術の特徴は、バイポーラとCMOSを基本回路内で複合して単独では得られない性能を実現し、これを用いて低消費電力性と高速性を併せもつVLSIを得たことにある。この技術を応用することにより、CMOSと同程度の消費電力で、約2倍の速度をもつSRAMとゲートアレーが得られた。また、これ以外のVLSIへの幅広い展開が期待でき、微細化が進んだ段階でも有効な技術である。

増田 郁朗* Ikurô Masuda
荻上 勝己** Katsumi Ogiue
上遠野 臣司*** Shinji Kadono
樋口 久幸**** Hisayuki Higuchi

1 緒言

最近の論理VLSIでは、大規模化の要求に対処するために、高集積、低消費電力という特徴をもつCMOS(Complementary Metal Oxide Semiconductor)が主流になりつつある。また、微細化技術の進展に伴ってCMOSの動作速度も著しく向上している。しかし、速度の点では、ECL(Emitter Coupled Logic)をはじめとするバイポーラには及ばず、両方の間には依然としてギャップが残っている。

一方、バイポーラとCMOSを同じチップ上に形成して、両方の特徴を生かすという考えが従来からあり、デジタル・アナログ混在LSIなどで実用化されていたり。また、論理LSIでも、内部論理をCMOSで、入出力バッファをバイポーラで構成したゲートアレーの例があり、出力の駆動能力が要求される場合に有効である。ただし、この形では内部論理回路の性能はCMOSに依存する。

そこで、このCMOSで構成された内部回路の性能を改良するため、バイポーラ又はCMOSで構成した回路を機能に応じて使い分けるだけでなく、論理回路、センスアンプなどの基本回路内で複合することを提案し、Hi-BiCMOS(High performance Bipolar CMOS)技術として実用化に成功した。このねらいは、バイポーラ、CMOS各々の特徴を生かして、単独では得られない高性能の基本回路を実現し、これを用いて高速性と低消費電力性とを併せもつLSIを得ることにある。

Hi-BiCMOS技術はSRAM(スタティックメモリ)とゲートアレーに適用され、その有効性が実証されている^{2)~4)}。本論文では、Hi-BiCMOS技術の基本的な考え方を示した後、これを生かしたSRAMとゲートアレーの設計及び性能評価について述べる。また、併せて今後の展開についても示す。

2 Hi-BiCMOS基本技術

Hi-BiCMOSの特徴は、基本回路内でバイポーラとCMOSを複合することにあるが、一例として、論理ゲートの基本的な考え方を図1に示す。この回路は、CMOSの論理とトータムポール接続したバイポーラを一体化することにより、相補動作による低消費電力性とバイポーラの駆動能力を生かした高速性の両立をねらっている^{5),6)}。

バイポーラの駆動能力を生かすという観点で、負荷容量 C_L

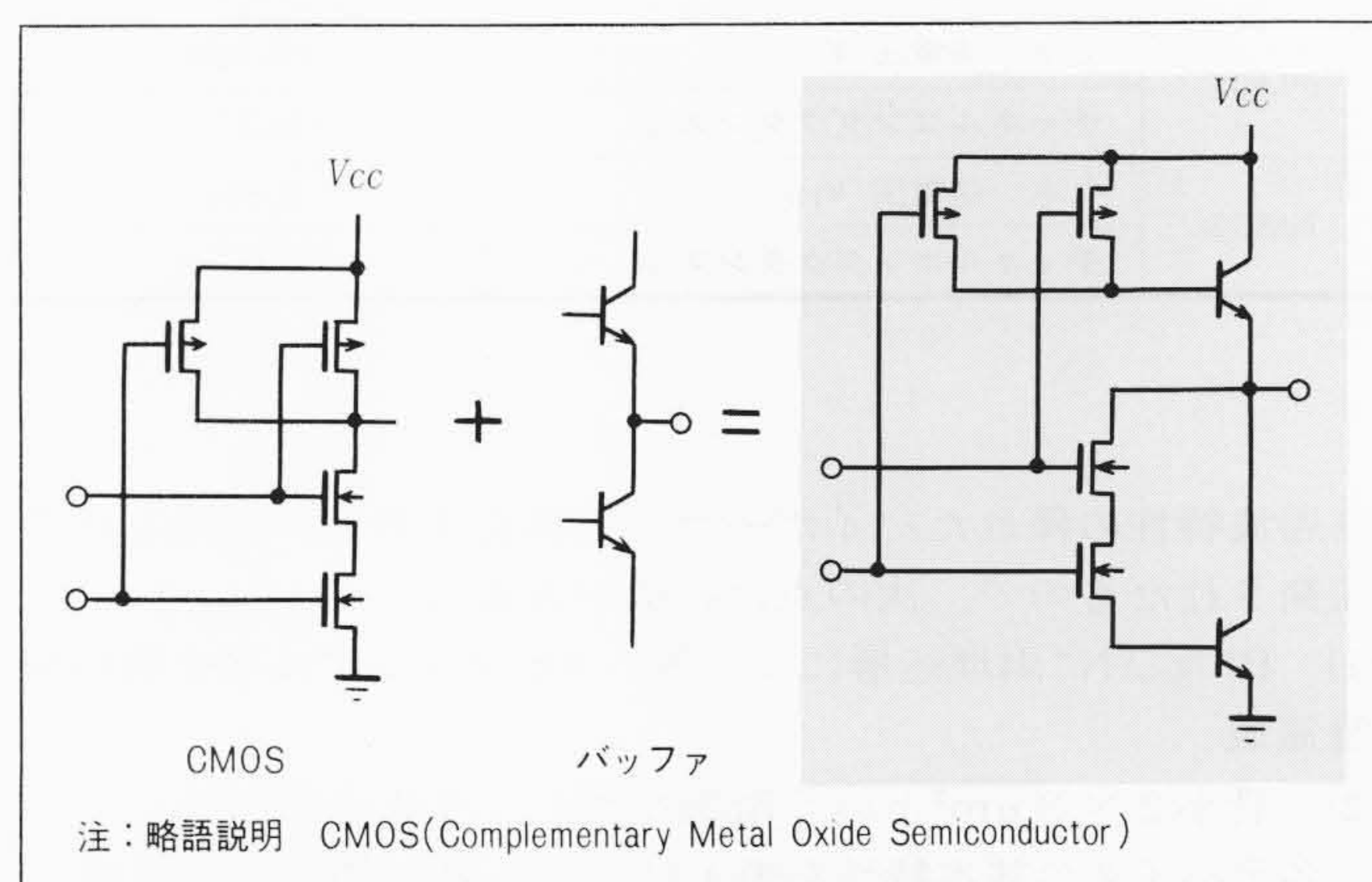


図1 高速Hi-BiCMOS回路の基本構想 CMOSの相補動作とバイポーラの高駆動能力を生かして、高速・低消費電力性を併せもつ。

と遅延時間 t_{PD} の関係に注目すると、近似的に次の式が成り立つ。

$$t_{PD} = t_0 + \frac{1}{\beta} \cdot \frac{V_{LT}}{I_D} (C_0 + C_L) \dots\dots\dots(1)$$

ここに t_0, C_0 : 定数

I_D : MOSのドレーン電流

V_{LT} : 論理しきい値電圧

β : バイポーラの電流増幅率

ところで、 C_L の係数、すなわち t_{PD} の負荷依存性は、CMOSの場合と比較し、 $1/\beta$ に低減される。高周波領域では、 β は動作周波数 f と遮断周波数 f_T で決まり、次式で表わされる。

$$\beta = f_T / f \dots\dots\dots(2)$$

したがって、論理ゲートでは、バイポーラの高周波特性が優れているほど負荷依存性が改善され、複合化の効果が顕著になる。他の基本回路についても同様な考察が成り立つため、Hi-BiCMOSのねらいを達成するためには、微細なCMOSと高速のバイポーラとを一体化したデバイス構造が不可欠である。

図2に以上の考えに基づき、新たに開発したデバイスの断面構造を示す。このデバイスはCMOS $2\mu\text{m}$ 技術を基本にし、

* 日立製作所日立研究所 工学博士

** 日立製作所デバイス開発センタ

*** 日立製作所高崎工場

**** 日立製作所中央研究所

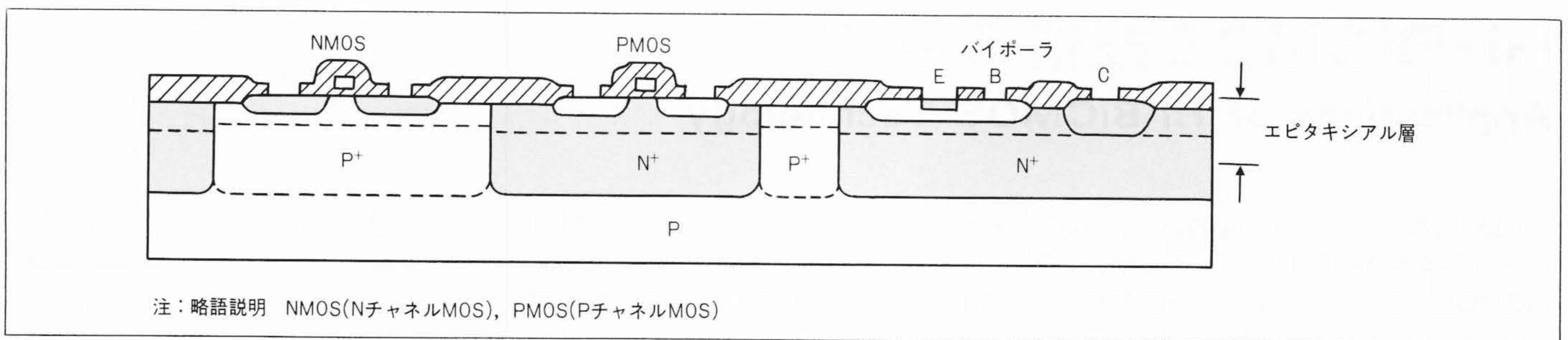


図2 高速Hi-BiCMOSデバイスの断面構造 P⁺、N⁺両埋込層を設け、薄いエピタキシャル層厚と微細な素子分離幅を実現している。

表1 Hi-BiCMOSデバイスの基本特性 純CMOSプロセスと同等なCMOSと高速バイポーラが、同一基板上で得られる。

項	目	特 性
バイポーラ	直流電流増幅率 h_{FE}	100
	コレクタ-エミッタ間耐圧 BV_{CEO}	8.6V
	電流利得帯域幅積 f_T	4 GHz
PMOS	しきい値電圧 V_{TH}	-0.55V
	チャネルコンダクタンス β_0	15 $\mu S/V$
NMOS	しきい値電圧 V_{TH}	0.55V
	チャネルコンダクタンス β_0	50 $\mu S/V$

高周波特性の優れたバイポーラを一体化するというねらいで開発されたもので、次の点に特徴がある⁷⁾。

- (1) P⁺及びN⁺両埋込層による薄いエピタキシャル層と狭い分離領域
- (2) 最小 $2 \times 3 \mu m^2$ という微細なエミッタサイズ

各デバイスの基本特性を表1に示す。MOS部については、通常のCMOS $2 \mu m$ 技術と同等の特性を得ている。一方、バイポーラ部は上で述べた構造を採ることにより、通常の論理回路を実現するのに十分な耐圧を確保した上で、4 GHzという高い f_T を得ている。なお、CMOS部が微細化された場合も、基本的な構造を変える必要はなく、性能を更に向上させることができる。

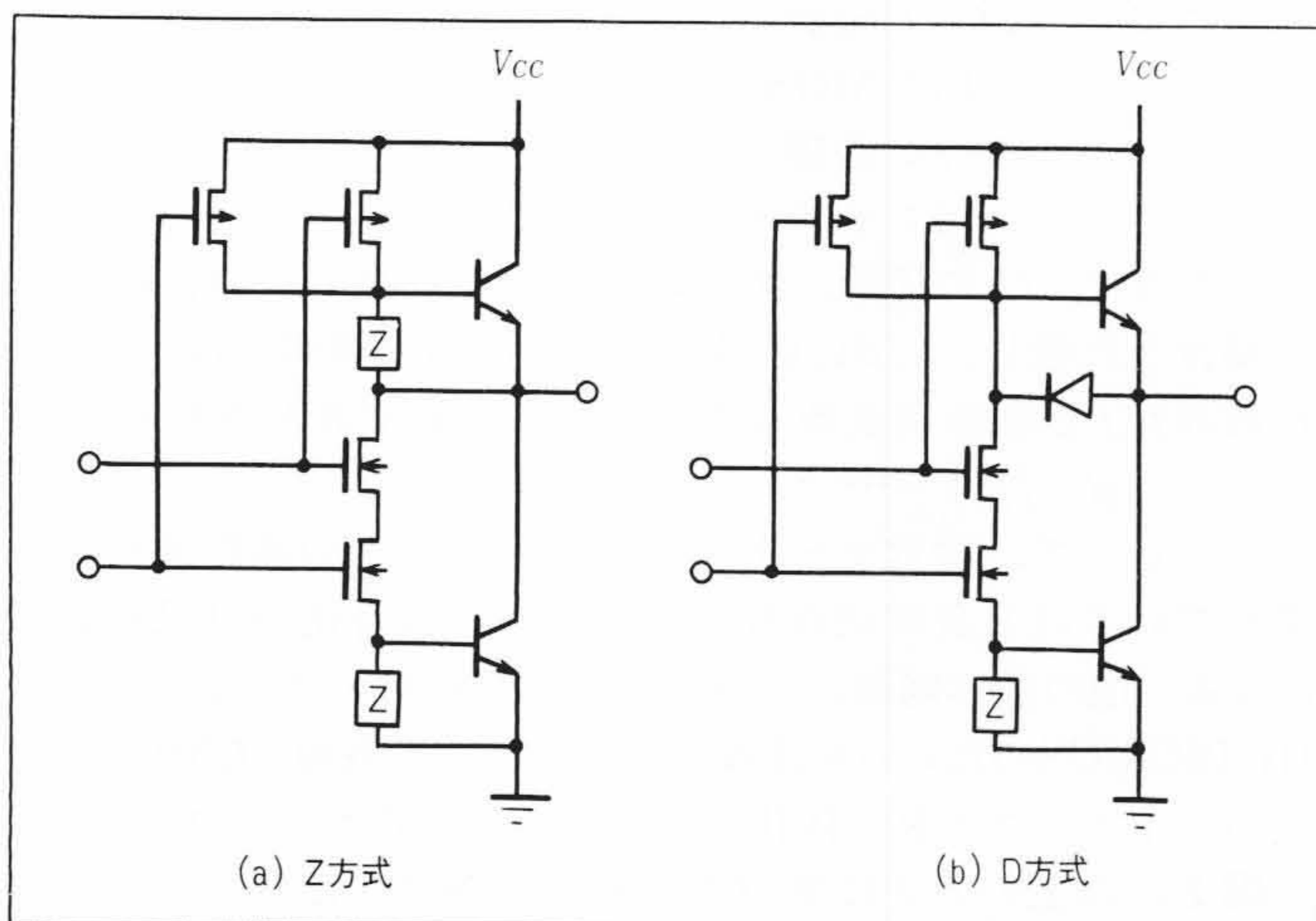


図3 具体的なHi-BiCMOS論理回路 Z方式とD方式では上側のバイポーラトランジスタのベース回りの容量を充・放電するバイパスの実現法が異なる。両方式とも、(1)高速、負荷依存性小、(2)直流パスがなく低消費電力、(3)多入力ゲートへの拡張が容易、という三つの大きな特長がある。

次に、このデバイスを用いて論理ゲートを試作し、Hi-BiCMOSの効果を検証した結果について述べる。論理ゲートの考え方は図1に示したとおりであるが、この回路自体はバイポーラのベースでの寄生容量が、電流増幅率を乗じた形で作用し、消費電力を増大させるため、そのままでは実用できない。実用化のためには、寄生容量の充・放電電流を極力ベースに流さないようなバイパス回路が必要である。図3はこの点を考慮して考案した2種の具体回路の構成を示すものである。これらは2入力NAND回路の例であるが、いずれの方式でも、PMOS及びNMOSの直・並列数を変えることにより、NOR回路や多入力に容易に展開できる点はCMOSと同じである。

性能の検証は、図3の回路を用いてリングオシレータを試作し、遅延時間と消費電力を実測することによって行なった。

図4は負荷容量に対する遅延時間の変化を実測した結果を示すものである。ここでは、Hi-BiCMOSの二つの方式に加えCMOSの2入力NANDゲートの遅延時間を比較した。

Hi-BiCMOSの負荷依存性は、いずれの方式でも、CMOSの $\frac{1}{5}$ になり、この結果、0.2 pF以下という極めて小さな負荷領域を除き、Hi-BiCMOSのほうがCMOSよりも高速である。また、二つの方式を比較すると、Z方式のほうがD方式よりも若干高速である。ところで、論理ゲートの負荷は用途によって異なるが、メモリのデコーダ、論理LSIのバスやタイミング回路で

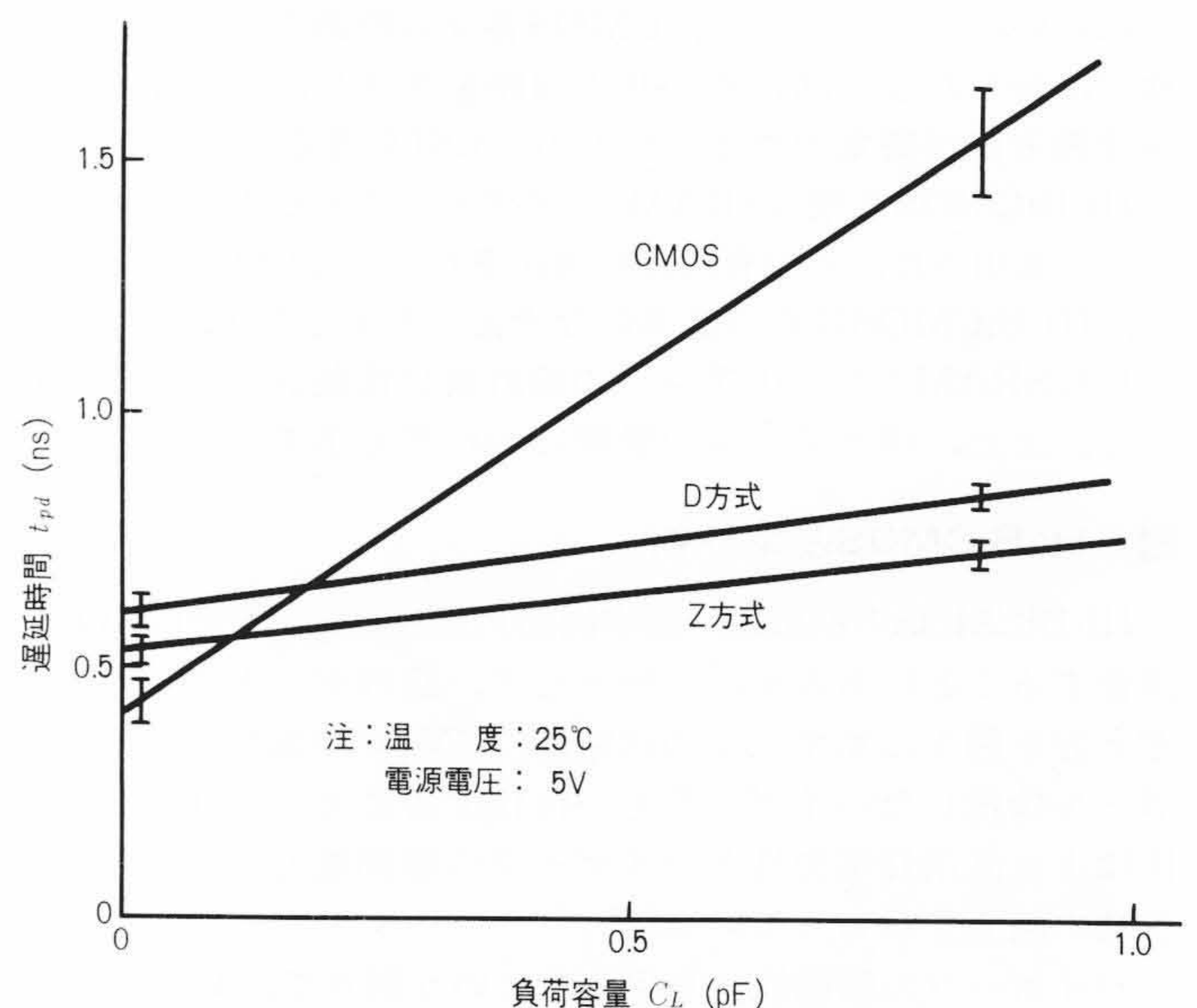


図4 負荷容量-遅延時間特性 Hi-BiCMOS回路は、負荷の依存性をCMOSの $\frac{1}{5}$ 以下に低減できる。1 pFの負荷で1 ns以下のゲート遅延時間を実現する。

は数ピコファラッドにも及ぶため、Hi-BiCMOS論理ゲートは高速化に大きく寄与する。ただし、このような負荷依存性の改善は、先の解析に示したように、高速のバイポーラによって始めて得られる。詳細は省略するが、エピタキシャル層を厚くし、バイポーラの f_T を低下させた場合、負荷依存性の改善効果がしだいに小さくなることが確認されている。

一方、実測したHi-BiCMOS論理ゲートの電力・遅延時間積は同じ水準のバイポーラを用いたECLより一けた小さく、従来の論理ゲートの中で最も小さいとされていたCMOSと比較しても同等以下である。

以上述べたように、Hi-BiCMOS論理ゲートでは、高速性と低消費電力性を両立させるというねらいを達成できることが実証された。これは、微細なCMOSに高速バイポーラを一体化したデバイス構造、及びこれを生かした回路構成によって得られたものであり、論理ゲートだけでなく、他の基本回路でも同じ効果が期待できる。以下の章では、Hi-BiCMOS技術を用いた代表的なLSIについて述べるが、この中で、他の基本回路についても述べる。

3 SRAMへの応用

日立製作所の高速SRAMの性能推移は図5に示すとおりであり、デバイス技術の向上とともに高速化、大容量化が進んでいる。最大アドレスアクセス時間で見た場合、25ns以下の高速領域では、バイポーラ技術によるECL RAM(Random Access Memory)が主流になっており、4kビットで5～7ns、16kビットで12～15nsの性能が得られている。このようなSRAMは大形コンピュータの性能を左右するバッファメモリやコントロールメモリとして使用されている。一方、大容量化の方向はMOSのSRAMで特に顕著であり、35～75nsの64kビットSRAMが実用化され、256kビットの集積度も実現されている。これらは、マイクロコンピュータ、端末などのメモ

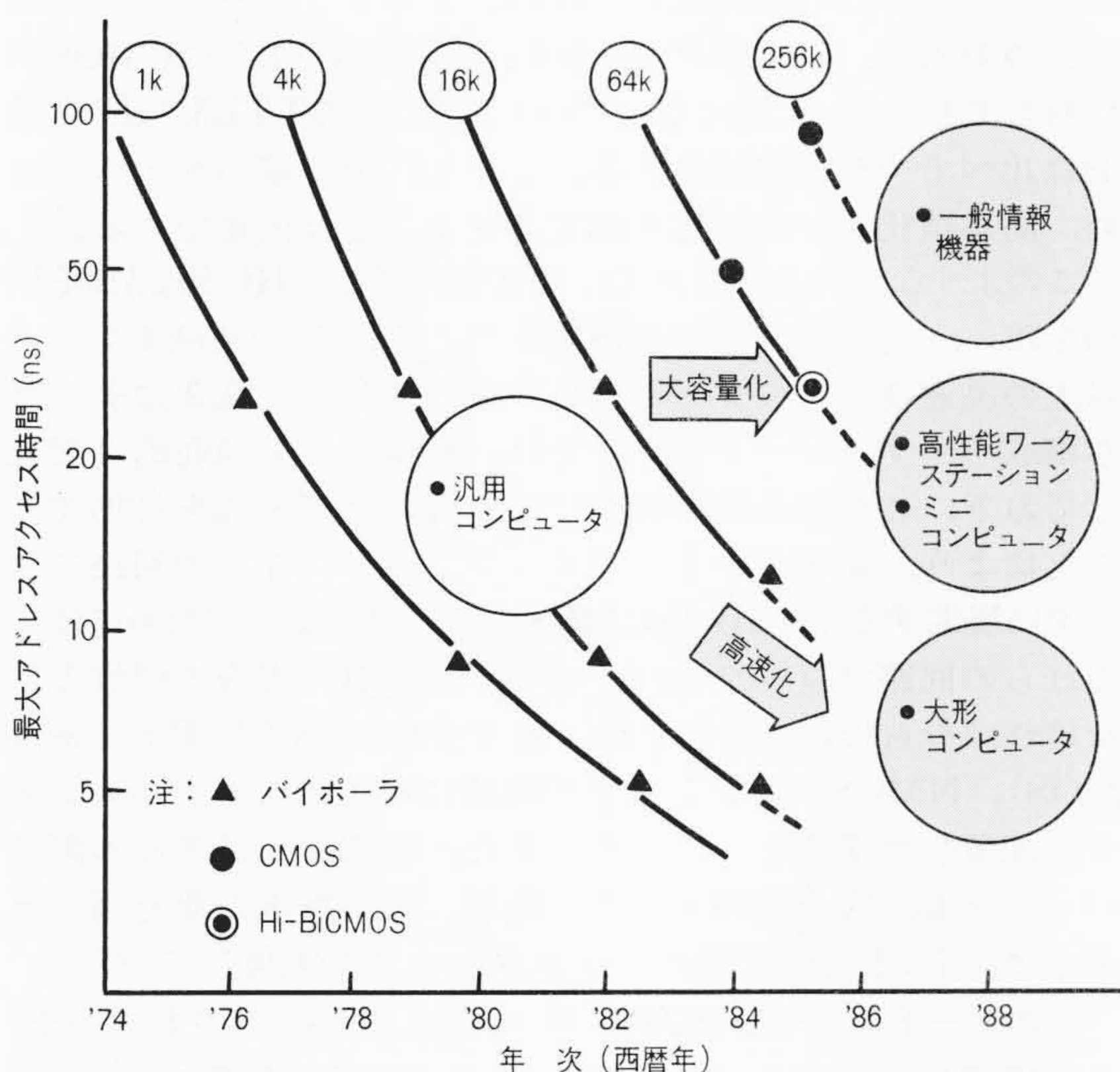


図5 高速SRAMの性能推移 情報化社会の進展に伴うコンピュータなどのシステムの高性能化によって、高速SRAMの速度、集積度の改善が目覚ましい。特に、25ns以下、64kビット以上の高速・低消費電力メモリの需要が高まっている。

りとして使われ、装置の小形化に貢献している。しかし、OA (Office Automation) システムの高度化を反映して、高性能ワークステーションやミニコンピュータを中心に、更に高速化に対する期待が大きい。

このような要求にこたえるため、日立製作所では、先に述べた2 μ mのHi-BiCMOS技術を用い、最大アドレスアクセス時間25ns以下の64kビットSRAMも開発した^{3),4)}。既に製品化しているのは、TTL (Transistor Transistor Logic) 入出力の64k $\times$ 1ビット、16k $\times$ 4ビット及びECL入出力の16k $\times$ 4ビットの計3品種で、各々の主要特性を表2に示す。

次に、このような高速・高集積SRAMを、Hi-BiCMOS技術によって実現するための具体的な手段について述べる。

SRAMの一般的な構成は図6に示すとおりであり、情報を記憶するメモセルアレーと周辺回路から成っている。周辺

表2 Bi-CMOS64kビットRAMシリーズの主要特性 最大アドレスアクセス時間は25nsである。

項目	品種名	HM6787	HM6788	HM10494
構成		64kワード $\times$ 1ビット	16kワード $\times$ 4ビット	16kワード $\times$ 4ビット
入出力レベル		TTL	TTL	ECL
アドレスアクセス時間		25ns max.	25ns max.	25ns max.
消費電力	動作時	220mW typ.	340mW typ.	500mW typ.
	待機時	20mW typ.	20mW typ.	350mW typ.
書込みパルス幅		20ns min.	20ns min.	17ns min.
チップサイズ		28.9mm ²	29.9mm ²	30.0mm ²
パッケージ		DG-20ピン	DG-22ピン	LCC-28ピン

注：略語説明 DG〔標準デュアルインパッケージ(Cerdipタイプ)〕
LCC(リードレスチップキャリアパッケージ)
TTL(Transistor Transistor Logic)
ECL(Emitter Coupled Logic)

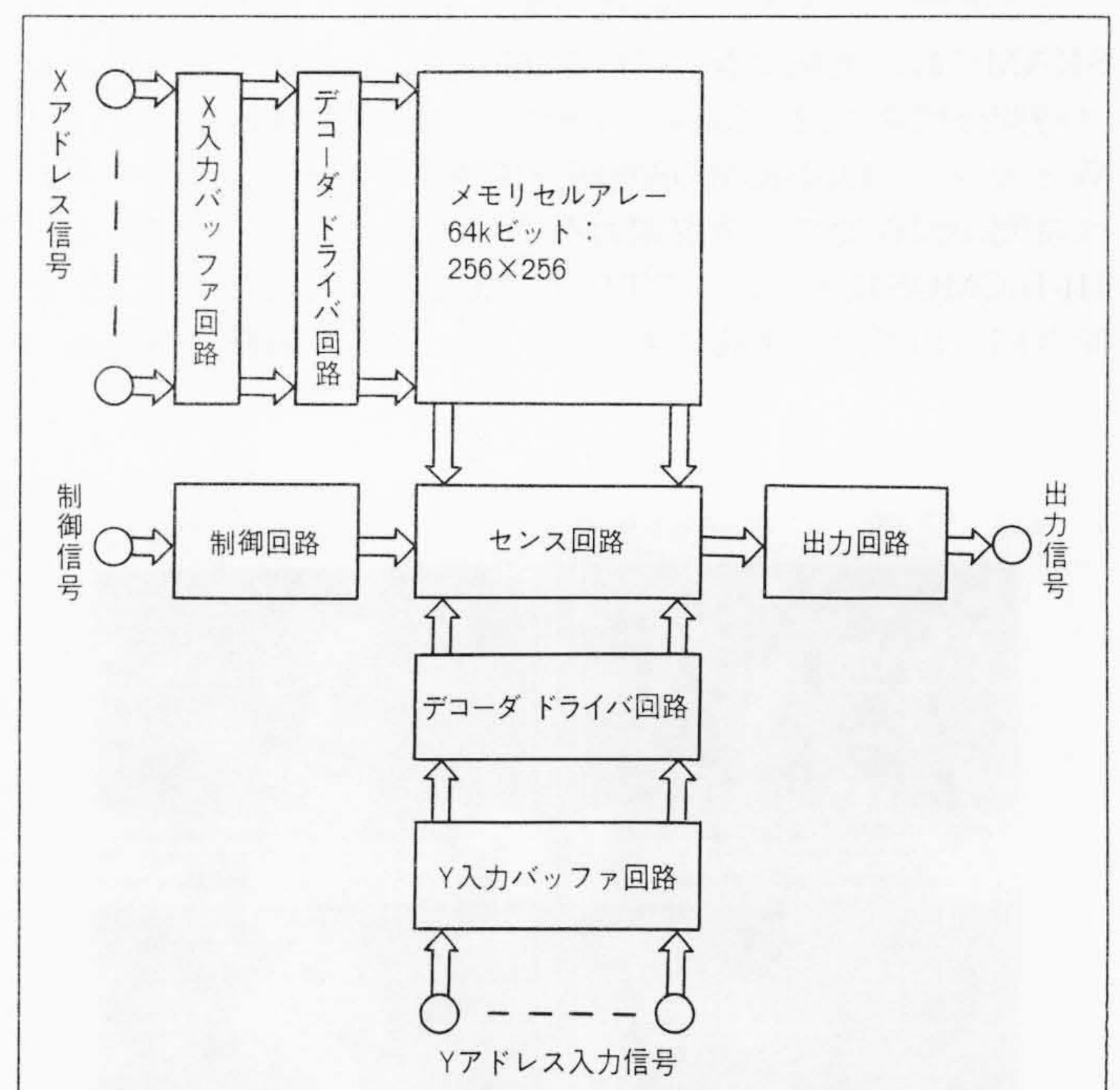


図6 SRAMの構成 メモセルアレー部が、メモリの消費電力と歩留まりを決定する。また、周辺回路がスピードを決定する。

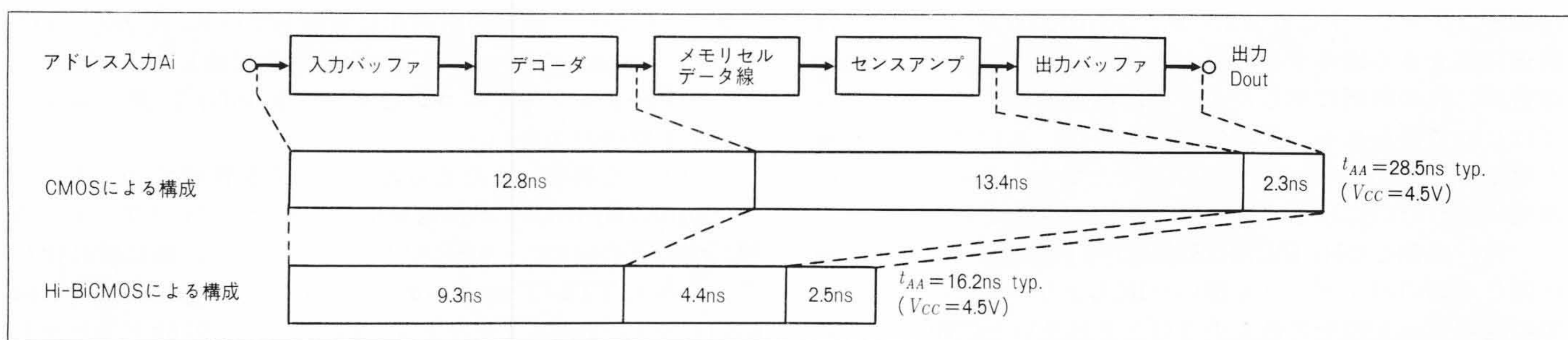


図7 64kビットSRAMの回路ブロックと遅延時間内訳 Hi-BiCMOS技術を採用することで、CMOS構成の場合の約 $\frac{1}{2}$ である16.2nsという高速性能を得ることができる。

回路としては、アレー中の任意の部分を選択して、情報の書き込み、読み出しを行なうX、Yアドレス入力バッファ、デコーダドライバ、センス回路、出力バッファなどがある。Hi-BiCMOS技術を用いたSRAMでは、消費電力や歩留まりを支配するメモリセルにはMOSのSRAMと同様、高集積化に適した高抵抗負荷形NMOS(NチャネルMOS)セルを用いる。しかし、速度を支配する周辺回路にはCMOS、バイポーラ複合回路を用い、高集積、低消費電力でかつ高速のSRAMを実現している。

図7はアドレスアクセス時間に対し、各回路ブロックでの遅延時間の内訳をHi-BiCMOSとCMOSで比較したものである。この結果は同じ $2\mu\text{m}$ 技術を用い、シミュレーションによって算出した。Hi-BiCMOS技術を用いることにより、各回路ブロックで大幅な高速化が図られ、CMOSの約 $\frac{1}{2}$ の16.2nsのアクセス時間を得ることができる。この高速化は、主に前章で述べたバイポーラ、CMOS複合の論理ゲートを各部に効果的に使うこと、及びメモリセルからの微小振幅の信号を、高速に検出及び増幅するために、センス回路はバイポーラの差動増幅回路のカスコード接続で構成したことで達成されたものである。

ところで、バイポーラ技術を用いて開発されてきたECLのSRAMでは、実用になっている16kビットのものでも、アクセス時間は標準で12~15nsと高速であるが、消費電力は0.9~1.3Wと大きい。Hi-BiCMOS技術を採用することにより、アクセス時間が同程度で、消費電力を $\frac{1}{2}$ 以下にすることができる。Hi-BiCMOS技術では、TTL形とECL形は入出力バッファを除き同一の設計が可能であるが、特にECLの場合、高速のバ

イポーラトランジスタを生かして、入出力バッファがTTLの場合よりも更に高速化される。

以上のようにして開発されたHi-BiCMOSのSRAMは、実測により予期したとおりの性能が得られることが実証されているが、次にその代表例を述べる。

図8は、開発したECL入出力機種HM10494のチップ写真である。このSRAMのアドレスアクセス時間は標準動作状態で13nsが得られている。

一方、Hi-BiCMOS SRAMは、信頼性の面でも十分に満足すべき結果を得ている。一般にCMOS構造ではラッチアップが問題になるが、Hi-BiCMOSのデバイスでは、図2に示したように、 P^+ 及び N^+ 埋込層をウェルの下にもち、ラッチアップに直接関係するウェル抵抗を低減している。このため、従来のCMOSと比較してラッチアップ耐量が向上している。

4 ゲートアレーへの応用

ゲートアレーを大別すると、大形コンピュータのように超高速を追求する分野に使われているECL形と、パーソナルコンピュータやワークステーションをはじめとするOA分野を中心に汎用的に使われているTTL及びCMOS形に分類される。近年、システムの高性能化に伴い、ゲートアレーに対する高速化の要求が、ECL形だけでなく、汎用のTTL形やCMOS形に対してもしだいに強くなっている。この中でTTL形はCMOS形に比べて一般に高速である。しかし、消費電力が大きいため、高集積化及び高速化を両立させることは困難である。

このような状況を踏まえて、日立製作所ではHi-BiCMOS技術を用い、消費電力がCMOS並みで、TTL形の速度トレンド以上の高速性をもつゲートアレーを開発した。図9にその基本構成を示す。ゲートアレーでは、基本セルを規則的に配列しておき、これを必要な数だけ組み合わせて配線を付加することにより、論理ゲート、フリップフロップなどの回路ブロックに展開するが、Hi-BiCMOSの高速性を生かすためには、これらの回路ブロックをバイポーラ、CMOS複合の構成としなければならない。このため、基本セルはPMOS(PチャネルMOS)、NMOSトランジスタの両側にバイポーラトランジスタを配置した構成としている。また、周辺に配置する入出力バッファも、複合回路として、高速、低消費電力化を図るとともに、TTL完全互換のインタフェースを実現している。

このゲートアレーはHG28シリーズとして製品化されている。その概略仕様を表3に、2,500ゲートのHG28A25のチップ写真を図10に示す。1,300~2,500ゲートのHG28Aシリーズは、論理回路だけから成る一般的なものであり、630~1,000ゲートのHG28Eシリーズは入出力インタフェースとして特殊な回路を構成できる。

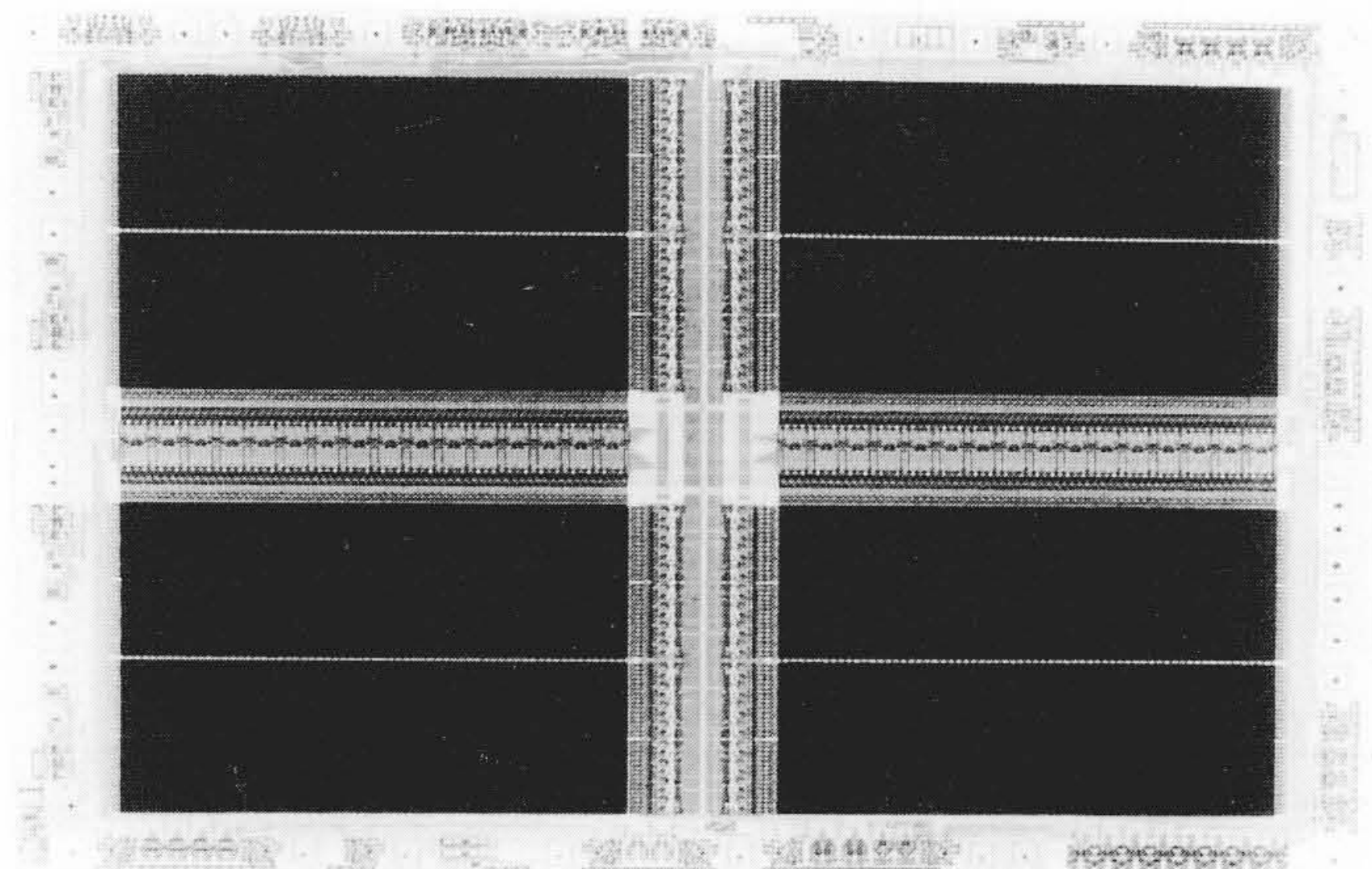


図8 HM10494のチップ写真 入出力ECLレベルの16kワード×4ビットのチップ写真を示す(チップ面積は 30.0mm^2)。

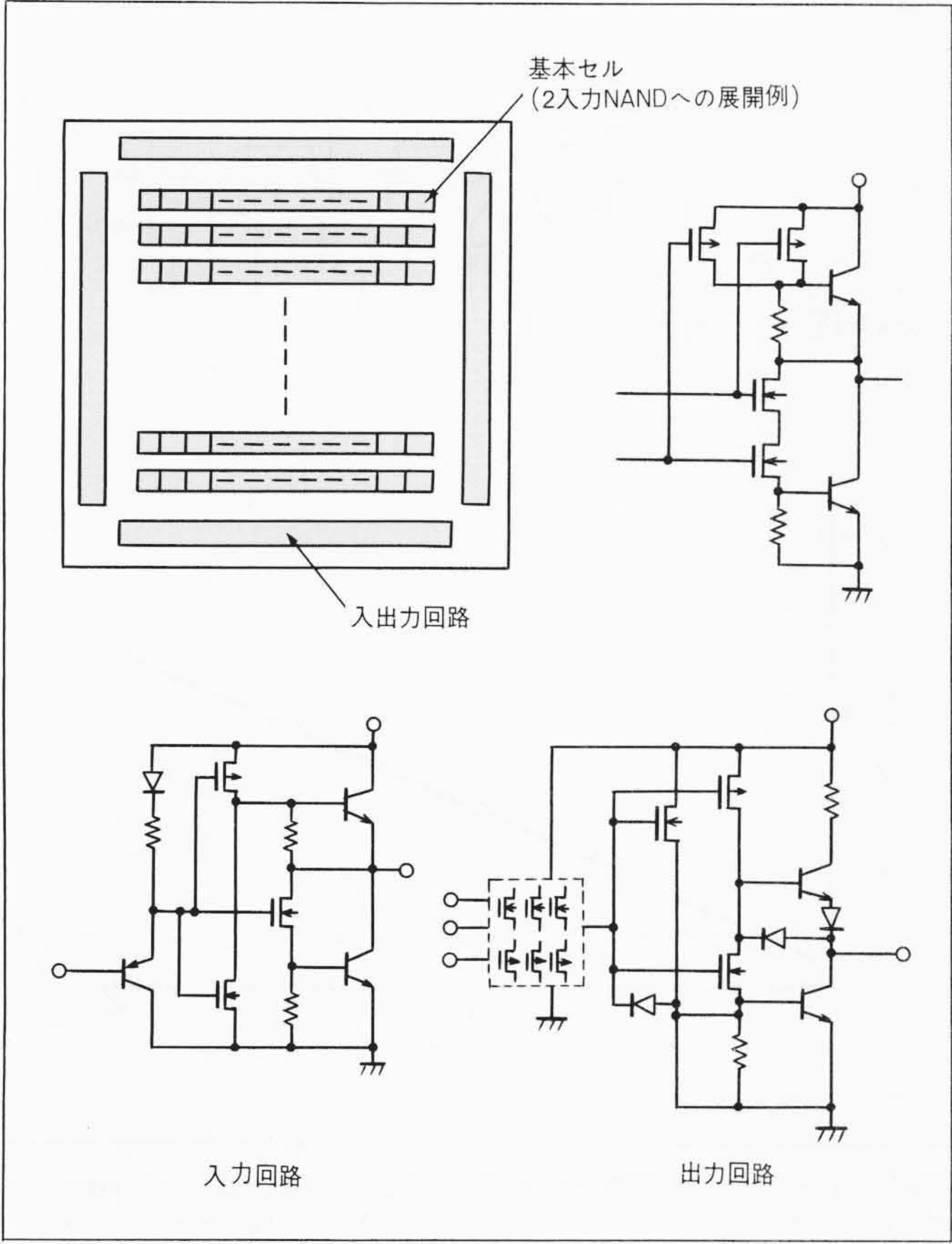


図9 Hi-BiCMOSゲートアレーの基本構成 基本セル，入出力回路共にバイポーラ，CMOS複合構成とし，高速・低消費電力化を図っている。

表3 HG28シリーズの概略仕様 内部ゲート0.8ns，入力バッファ2ns，出力バッファ3nsと高速動作が可能である。また1,000ゲート以下のHG28Eシリーズでは，入力シュミット回路など特殊な回路を構成できる。

項 目		E06	E08	E10	A13	A18	A25
ゲート数		630	864	1,008	1,326	1,800	2,550
I/O数		48	58	58	66	90	114
遅延時間 (typ.)	内部ゲート	0.8ns/2 NAND FO=3, AI=3mm					
	入力バッファ	2.0ns FO=3, AI=3mm					
	出力バッファ	3.0ns(C _L =15pF), 4.3ns(C _L =50pF)/2 AND					
消費電力	内部ゲート	0.22mW/10MHz					
	入力バッファ	1.2mW/10MHz					
	出力バッファ	4.7mW(C _L =15pF)/10MHz					
入出力レベル		LS-TTL(I _{OL} =8mA)					
マクロセル数		入出力バッファ27, 内部ゲート39			入出力バッファ25, 内部ゲート37		
パッケージ	DIP	28・40・42・64s*	28・40・42・64s	28・40・42・64s	28・40・42・64s	28*・40・42・64s	28*・40*・42*・64s
	FPP	—	80	80	80	80・100	80・100
	PGA*	—	—	—	72	107	120
特殊機能		シュミット入力 マルチバイブレータ I _{OL} =24mA出力バッファ			—		

注：略語説明ほか
DIP (Dual In Package)
FPP (Flat Pack Plastic)
PGA (Pin Grid Array)
FO (Fan Out)
* 開発中を示す。

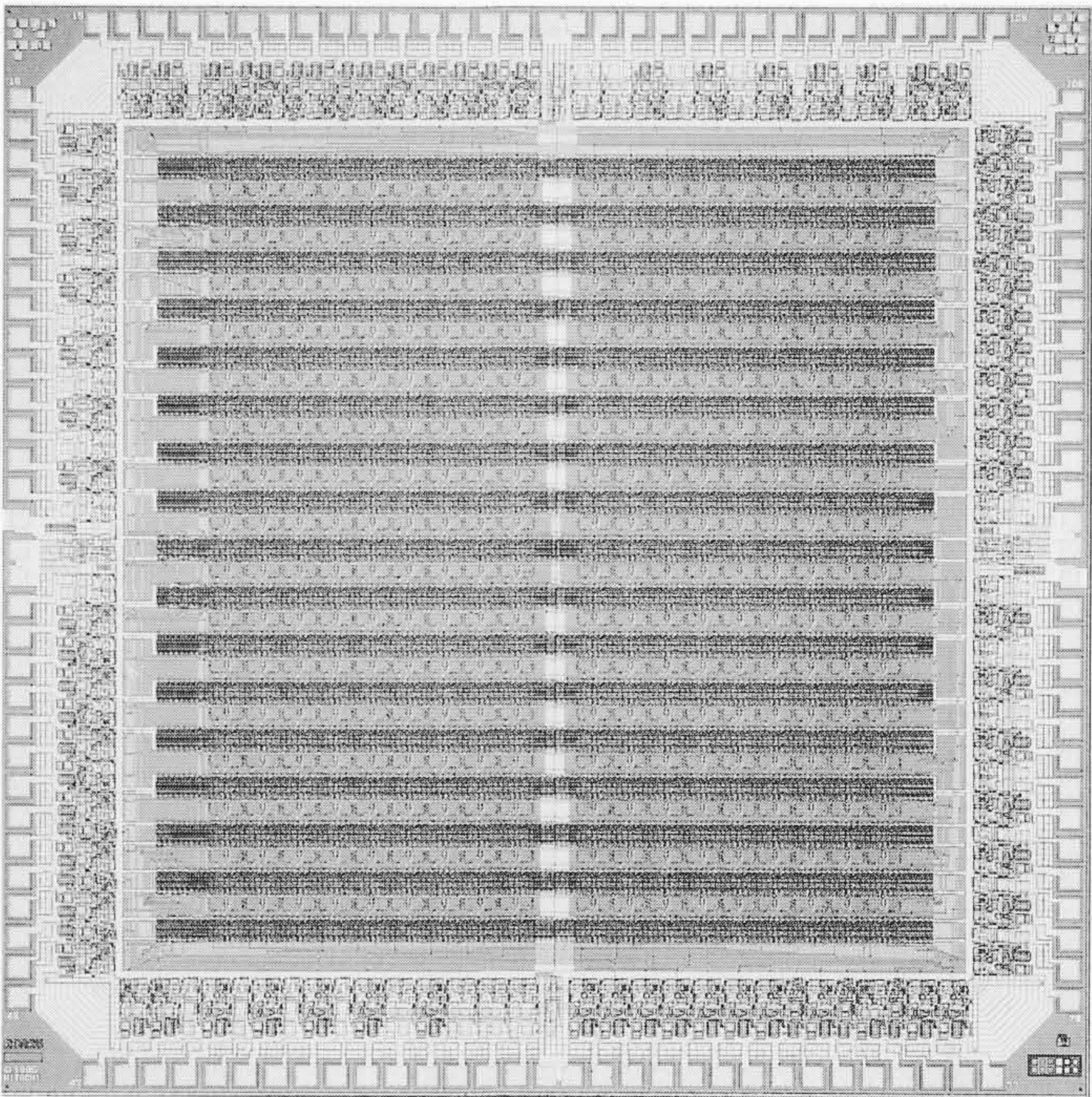


図10 HG28A25のチップ写真 LSIのチップ全体にバイポーラ素子とCMOS素子が混在して配列されている(チップサイズは6.8mm平方)。

- 次に，このゲートアレーの特長と応用効果を列挙する。
- (1) 複合形論理ゲートにより，1ゲート当たり0.8nsという遅延時間を得ており，入出力バッファの高速化とあいまって，単体TTLで構成したものを上回る高速システムを実現できる。
 - (2) 出力バッファの駆動能力が大きいため，メモリモジュールのように負荷容量の大きなものでも，直接駆動できる。
 - (3) CMOSに近い低消費電力で動作するため，多くの場合，プラスチックパッケージに実装できる。
 - (4) 入出力インタフェース部がバイポーラで構成されているため，本質的にラッチアップが生じにくい。
 - (5) HG28Eシリーズでは，従来，外付けICで実現していた機能をオンチップ化できる。

Hi-BiCMOSゲートアレーは，高速のECL形と高集積度のCMOS形とのギャップを埋めるもので，新しい応用分野が期待できる。特に，ミニコンピュータの演算処理装置，入出力や表示の制御回路に有効と思われる。

5 今後の展開

現在，Hi-BiCMOS技術はメモリとゲートアレーで実用化されているが，これ以外にも，各種のLSIに幅広く展開できる。ただし，Hi-BiCMOS技術を，より複雑な機能をもったLSIに適用していくためには，基本回路としても，以上の例で挙げた論理ゲートやセンスアンプだけでなく，新しい機能のバイポーラ，CMOS複合回路が必要である。

図11，12に，新しい基本回路の代表例として各種プロセッサの構成に不可欠なマイクロプログラムROM，キャリア伝搬回路の構成及び特性を示す⁸⁾。これらの回路は，論理ゲートのようにバイポーラの駆動能力を生かすだけでなく，増幅度を生かした低振幅動作によって高速化を図っており，いずれの場合もCMOSの約2倍の動作速度を得ている。また，SRAMの場合と同様，回路の多くがMOSで構成されているため，CMOSと比較して面積はほとんど増加しない。したがって，

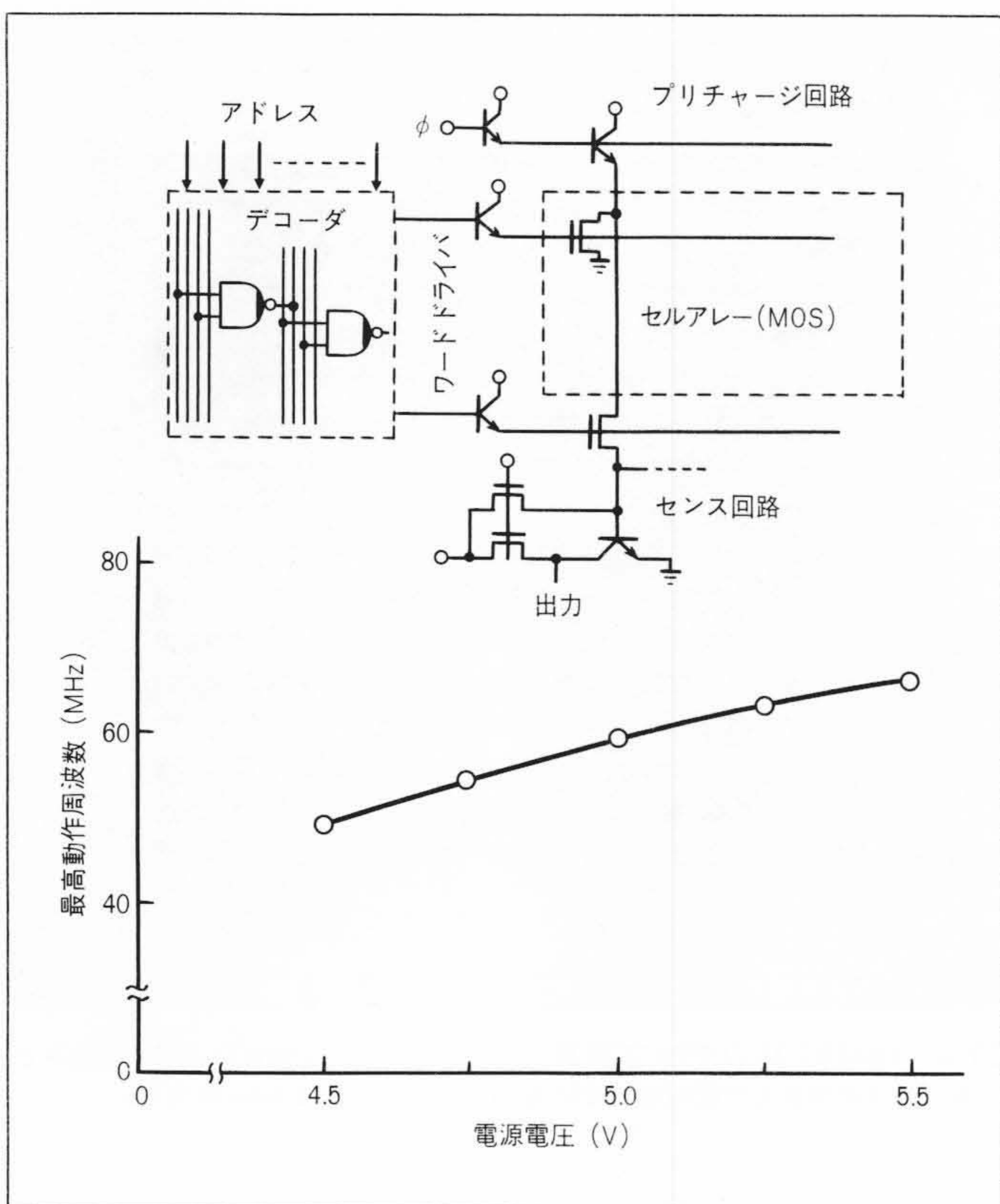


図11 マイクロプログラムROMの構成及び特性 各種プロセッサの構成に欠かせない部分である。バイポーラの高駆動能力及び増幅度を生かした低振幅動作によって高速化を図っている。

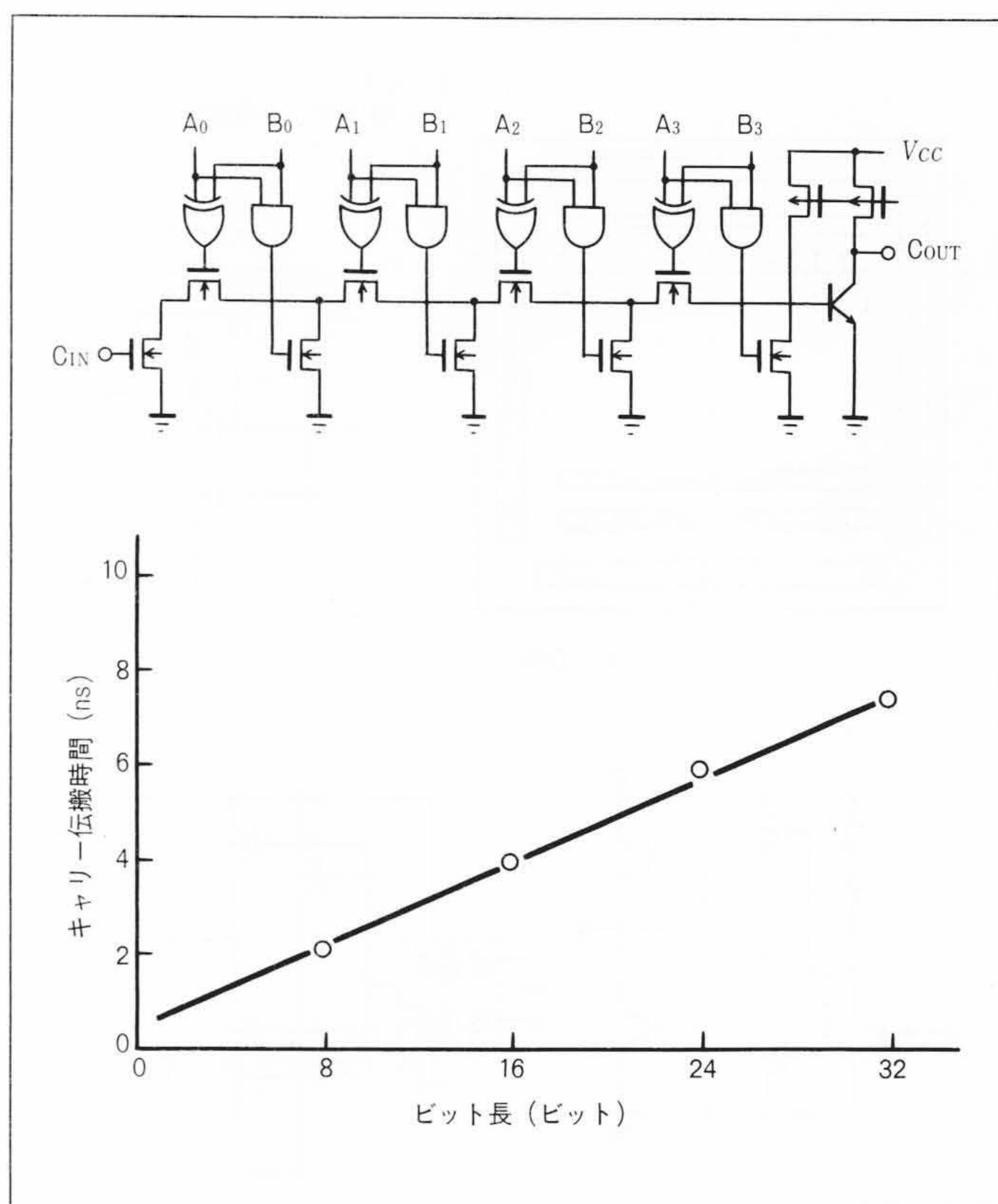


図12 キャリー伝搬回路の構成及び特性 各種プロセッサの構成に不可欠の回路である。バイポーラの増幅度を生かした低振幅動作によって高速化を図っている。

このような基本回路を用いることにより、Hi-BiCMOSの高速性を生かした高集積の論理LSIを実現できる。

ところで、ここまで述べた具体的な応用事例は、 $2\mu\text{m}$ のHi-BiCMOSの技術を適用して得られたものであるが、この技術は微細化が進んだ場合にも同様な効果を発揮する。2章で述べた論理ゲートを、 $1.3\mu\text{m}$ 技術で実現した場合の試作結果によれば $2\mu\text{m}$ の場合と同様、CMOSと比較して負荷依存性が大幅に低減でき、標準的な負荷条件で2倍以上の高速化が可能である⁹⁾。ただし、微細化に伴う高性能化はMOS部だけに依存するものではなく、2章の解析で明らかにしたように、バイポーラ部の高速化も不可欠である。本試作では、バイポーラの f_T が $2\mu\text{m}$ の場合と比較して約1.5倍に向上している。同じような効果は他の基本回路でも得られる。したがって、CMOSの微細化に合わせて一体化されたバイポーラが高速化される限り、Hi-BiCMOSは効果を発揮し、同じ加工レベルのCMOSに対する性能面での優位性は保持できる。

6 結 言

バイポーラとCMOSを基本回路内で複合し、これを用いて低消費電力性と高速性を併せもつVLSIを実現するというねらいでHi-BiCMOS技術を開発した。この技術は、既にSRAMとゲートアレーに適用され、所期の性能を得られることが実証されている。

バイポーラとCMOSを複合した基本回路のCMOSに対する性能向上は、バイポーラの高周波特性に支配される。したがって、CMOSの微細化が、急速に進む中で、Hi-BiCMOSが本来の特徴を発揮するためには、高周波特性の優れたバイポーラを最先端のCMOSと同一基板上に形成するデバイス技術を

確立し、各々の特徴を基本回路の中で融合していくことが重要である。

参考文献

- 1) T. Matsuda, et al.: A New Bi-CMOS Structure for Analog/Digital System, Proc. of 11th European Solid State Device Research Conf. 174~176 (Sept. 1981)
- 2) Y. Nishio, et al.: A Subnanosecond Low Power Advanced Bipolar CMOS Gate Array, Proc. of 1984 IEEE ICCD 428~433 (Oct. 1984)
- 3) H. Uchida, et al.: A 15ns/250mW 64K Static RAM, Proc. of 1985 IEEE ICCD 17~20 (Oct. 1985)
- 4) K. Ogiue, et al.: A 13ns/500mW 64Kb ECL RAM, 1986 IEEE ISSCC Digest of Technical Papers 212~213, 353 (Feb. 1986)
- 5) 西尾, 外: 高速低消費電力バイポーラ・CMOS複合論理回路の評価, 昭59電子通信学会総合全国大会, 497 (昭59-3)
- 6) 増田, 外: バイポーラCMOS複合による高速論理回路, 電子通信学会論文誌J67-C, 12, 999~1005 (昭59-12)
- 7) 池田, 外: 埋込ウェルを用いたBiCMOS構造, 昭59電子通信学会総合全国大会, 566 (昭59-3)
- 8) T. Hotta, et al.: CMOS/Bipolar Circuits for 60MHz Digital Processing, 1986 IEEE ISSCC Digest of Technical Papers 190~191 (Feb. 1986)
- 9) A. Watanabe, et al.: High Speed BiCMOS VLSI Technology with Buried Twin Well Structure, 1985 IEEE IEDM Technical Digest 423~426 (Dec. 1985)