1 MビットダイナミックRAM[「]HM511000シリーズ」 1 M Bit Dynamic RAM "HM511000 Series"

1 MビットダイナミックRAM(1 M DRAM)は、次世代の主力メモリとして大容 量化だけでなく、高性能、高機能への強い要求があり、1.3µm CMOSプロセス技術、 高速・低消費電力回路技術により、これらの要求を実現した。CMOS化とともに、 プロセス面では改良プレーナ セル方式、多層配線技術などを採用した。高速・低消 費電力で、かつ広い動作マージンを確保するため、新たに新センスアンプ回路、低 消費電力基板電圧発生回路などの新回路を導入した。機能面では高速ページ、ニブ ル、スタティック カラムの3機能を実現した。本論文では仕様、プロセス技術、回 路設計及び評価結果について述べる。

遠藤 彰* Akira Endô 松本哲郎** Tetsurô Matsumoto

1 緒 言

DRAM(Dynamic Random Access Memory)は大形コンピ ュータ,通信機器から各種OA(Office Automation)機器,端 末機器に至るまで広く使用されている。システムの高性能化, 小形化に伴いDRAMの大容量化が3年に4倍の割合で進んで いる。1 M DRAM¹⁾は現在大量に使用されている256k DRAMに続く次世代主力品種として開発された。1 M DRAMに対する市場での要求は,単に大容量化にとどまらず, 更に高性能,高機能が要求されている。これらの要求にこた えるためには,従来技術では困難であり,新たに1.3 μ mプロ セス技術,高速・低消費電力回路技術を採用した。機能面で も各種高速用途に適した高速ページ,ニブル,スタティック カラムの三つの高速動作機能をAlマスタスライスにより実現 した。高速性については最高速アクセス時間100nsを実現し, 消費電力も300mW以下と低消費電力となっている。図1にチ ップ写真を,表1に1MDRAMの概要を示す。 ウトを容易にする国際標準ピン配置を採用した。アクセス時 間により最高速100ns, 120ns, 150nsの3品種があり, 特に100 nsは現在標準DRAMの中では最高速となっている。消費電力 については, 従来のNMOS (N Channel Metal Oxide Semiconducter) 256k DRAMより更に低消費電力となってい る。また, スタンバイ電流についてはTTL (Transistor Transistor Logic) インタフェース (入力ハイレベル最小2.4

2 仕 様

ピン配置を図2に, 主な電気的仕様を表2に示す。ピン配置は従来の256k DRAMと異なるが, ボード上の配線, レイア

V)で最大2mA,更にCMOS(Complementary MOS) インタフェース〔入力ハイレベル最小(Vcc-0.5V)〕で50 μ A typ.と低消費電力になっている。低消費電力特性は、今後のパッケージの小形化の動向の中でますます重要となる。高速動作機能(図3)として高速ページモード(HM511000),ニブルモード(HM511001),スタティックカラムモード(HM511002)の3機能をもっている。リフレッシュ方式として通常サイクルに加えRAS オンリー及びCASビフォアRASの二とおりが可能である。リフレッシュは RAS オンリーの場合 アドレス入力A₀~A₈のXアドレスをスキャン(512サイクル)することにより実行され、リフレッシュ時間は8 msである(CASビフォアRASの場合はリフレッシュアドレスがチップ内部で自動的にカウ





Vcc 9 10 A4 日立1M DRAMチップ写

63

図 2 ピン配置図 1M DRAM標準ピン配置を示す。

* 日立製作所武蔵工場 ** 日立製作所デバイス開発センタ

590 日立評論 VOL. 68 No. 7 (1986-7)

表 I 1M DRAMの概要 1M DRAM主要技術を示す。I.3 µm CMOS プロセス技術及び新回路技術採用により、高速・高信頼度メモリが実現できた。

項目	内容
プロセス	 1.3µm NウエルCMOS 2層ポリ:ポリシリコン・ポリサイド 2層アルミ配線 LDD構造
メモリセル	・プレーナ ・セルサイズ:36μm ²
チップサイズ	4.66mm×13.74mm
アクセス時間	100ns · 120ns · 150ns
機能	 ・高速ページモード(HM511000) ・ニブルモード(HM511001) ・スタティックカラムモード(HM511002)
回路技術	 シェアードセンスアンプ回路 1/2Vccプリチャージ方式 低消費電力基板バイアス発生回路
欠 陥 救 済	 ・電気的ヒューズ切断方式 ・冗長ビット:2ロー+2カラム

注:略語説明 CMOS(Complementary Metal Oxide Semiconductor)

表2 電気的特性表 アクセス時間100ns,動作時電流60mA,スタンバイ電流2mAとCMOS1.3µm技術により,高速・低消費電力1M DRAMが実現できた。

(a) 主要電気的仕様

	形名	HM511000-10		HM511000-12		HM511000-15	
· 貝 日		最小	最大	最小	最大	最小	最大
アクセス時間	t_{RAC}	—	100	-	120	—	150
(ns)	t_{CAC}	-	50		60		75
サイクル時間 (ns)		190		220	-	260	
リフレッシュ時間 (ms)			8		8	_	8
電 源 電 流 (mA)	動 作 時	-	60	_	50		40
	スタンバイ時 $\begin{pmatrix} TTL \\ (1 ンタフェース \end{pmatrix}$		2		2		2
入力レベル	V_{iH}	2.4	6.5	2.4	6.5	2.4	6.5
(V)	V_{iL}	-2.0	0.8	-2.0	0.8	-2.0	0.8



図3 高速カラム動作機能 ページ,ニブル,スタティックカラムの3 モードを備えている。CMOS回路技術の採用により,これらのモードを容易に Alマスタスライスで実現させることが可能となった。

3.2 メモリセル構造

図4(b)にメモリセル断面図を示す。従来の平面形セル構造

注:略語説明 TTL(Transistor Transistor Logic)

(b) 高速カラム動作機能

	形 名	形 名 HM511000		000	HM511001			HM511002		
		高速ページ						スタティック		
百日	機能	モード			-) // - r			カラムモード		
項日		-10	-12	-15	-10	-12	-15	-10	-12	-15
通常モード	アクセス時間(ns)	100	120	150	100	120	150	100	120	150
	サイクル時間(ns)	190	220	260	190	220	260	190	220	260
高速カラム	アクセス時間(ns)	50	60	75	30	35	40	*40	*50	*65
動作モード	サイクル時間(ns)	70	85	105	50	55	65	45	55	70

注:* カラムアドレスからのアクセス時間

ントされ外部アドレスの制御不要)。タイミングについては, ボードでのタイミング設定を容易とするため,アドレス(カラ ムアドレス),データ入力タイミング規定のうちRASからのタ イミング規定を廃止した。

3 プロセス技術

64

3.1 1.3μm CMOSプロセス

高速・低消費電力実現のため、周辺回路にNウエルCMOSプロセスを適用した(図4)。配線としてはポリシリコン及びポリサイドの2層とA12層を使用している。ポリシリコンによりメモリセル電極を形成し、ワード線及びトランジスタのゲートにポリサイドを用いている。Alは1層目をビット線と周辺回路に使用している。2層目はリード線遅延を最小にするため、ポリサイドに並列に配置し、ワード線の低抵抗化を図り、また周辺回路にも使用し高速化を図っている。また、各層間の段差を最小とするため、独自に開発した平たん化技術を用いている。微細化に伴うホットキャリヤ注入を防止するために、LDD(Lightly Doped Drain)を採用した。

を改良しており, 蓄積容量の実効面積を確保するために LOCOS(Local Oxidation of Silicon)のバーズビークを極力 抑える構造にしている(改良プレーナ セル方式)。この結果, 十分低いソフトエラー率を実現した。

4 回路設計

4.1 メモリセルアレー分割

図5にメモリセルアレー及び周辺回路ブロックを示す。メ モリセルアレー分割は、特性を決定する重要な設計ポイント である。ビット線は8分割し、ビット線容量を低減した。対





図4 NウエルCMOSインバータとメモリセル断面図 周辺回路は CMOS, メモリセル部はNMOSを用いている。また、AI2層配線技術をビット 線、ワード線に用いることにより、ワード線の低抵抗化が図れ高速化を実現した。

IMビットダイナミックRAM「HM511000シリーズ」 591





基板バイアス VBB 発生回路 回路を2回路に分け、一方は定常 × 6 的に動作する低消費電力回路(A),もう一方はRASと基準電圧VBrefにより制御 される従来形の回路(B)とし、スタンバイ電流の大幅な減少が実現できた。

検知回路は VBBの安定化にも寄与している。

電気的特性評価結果 5

5.1 アクセス時間

図7(a)にRASからのアクセス時間 t_{RAC} を、同図(b)にCASか らのアクセス時間 tcacを示す。標準的なサンプルで最悪条件 $(T_a=70^{\circ}C, V_{cc}=4.5V)$ 下で t_{RAC} 92ns, t_{CAC} 38nsと高速アク セス時間を実現している。特に、 t_{CAC} がCMOS回路導入により 高速化されている。更に、ページモードでのCASプリチャージ

図5 ブロックダイヤグラム 1M DRAMの構成を示す。128kメモリア レーで8分割されて、下辺に行デコーダ、メモリ端に列デコーダが配列されて おり、高速かつ広い動作マージンを実現している。

蓄積容量比10となり、大きな信号量が得られる。ワード線遅 延をポリサイド、Al(2層目)により最小限とした。カラムデ コーダとドライバをメモリセルアレー端に配し、I/O(入出力) バスコントロール信号をAl(1層目)により供給している。以 上の結果, 高速かつ動作マージンの広いメモリセルアレーを 実現した。

4.2 $\frac{1}{2}$ V_{cc}プリチャージ方式

動作時での電源ピーク電流は、メモリボード上でノイズの 発生源となり、ピークを抑えることが実装状態での安定動作 を確保する上で重要である。また、ユーザー側にとっても、 バイパスコンデンサ, 配線のインダクタンスなどボード設計 上重要な要素となる。このピーク電流を最小に抑えるため, ビット線のプリチャージレベルを - Vccとした。すなわち、ピ ーク電流の主要因であるビット線への充電を、従来の0Vから V_{cc} レベルであったものを $\frac{1}{2}$ V_{cc} から V_{cc} と約半減し、ピーク 電流の低減を図った。この方式はCMOSセンスアンプ回路を 採用することにより容易に実現できた。

4.3 低消費電力基板バイアス発生回路

スタンバイ電流は主にクロック入力回路及び基板バイアス € 5.0 (VBB)発生回路により決定される。スタンバイ電流の大幅な低 Vcc 減を図るため VBB発生回路の低消費電力化を図った。図6に低 *================================= 消費電力 VBB発生回路を示す。回路を2回路に分け、一方は定 電源電圧 *==============================* *========================= 4.0 常的に動作する50µA以下の低消費電力回路(A)とし、もう一方 *================================ *================== をRASと基準電圧 VB refにより制御される従来形の回路(B)と *============* *Ta* =70℃ した。スタンバイ時(RAS:ハイレベル)回路(A)だけ動作し、 ★=========**★** 3.0 *======*+ 動作時(RAS: ローレベル)だけ回路(B)が動作することにより, 40.0 50.0 30.0 60.0 20.0 スタンバイ電流を大幅に低減できる。また、電源 Vcc 投入時 アクセス時間 t_{CAC} (ns) V_{BB} を早期に安定させるため、 V_{BB} レベル検知回路により回路 (b) \overline{CAS} からのアクセス時間 t_{CAC} (B)が動作する。ただし、 V_{BB} が V_{Bref} に到達すると回路(B)が停 アクセス時間の Vcc 依存性 CMOS設計により高速性能を実現 义 7 止し、回路(A)だけ動作するスタンバイ状態となる。また、本 した。

時間tcpが実測10ns以下と高速化され、従来の256k DRAMで のページモードサイクル時間に比べ70%程度に高速化された。 5.2 消費電流

動作時電流については、図8に示すように $V_{cc} = 5 V \tilde{c} 33$ mAと従来のNMOS DRAMに比べ大幅に低減されている。ス タンバイ電流については,低消費電力基板,バイアス回路採 用などにより、 $V_{cc} = 5 V \tilde{c} 0.5 m A (TTL インタフェース)$



70.0

65

592 日立評論 VOL. 68 No. 7 (1986-7)



区 8 動作時電流*lcc*1の*Vcc*依存性 CMOS回 路技術により,大幅に低消費電力化が実現できた。

図9 スタンバイ電流IccsのVcc依存性 TTLインタフェース, CMOSインタフェースと2 種があり、特にCMOSインタフェースでは大幅に低減される。





▶ 時 間

注: Vcc=5V, 40mA/div, 50ns/div, Ta=25℃

図10 電源電流波形 通常動作での電源電流波形を示す。 是Vcc プリチ ャージ,シェアードセンスアンプの採用により,ピーク電流を100mA以下に抑 えることができた。

図9(a)〕以下と従来に比べ大幅な低消費電力化を実現した。 特にCMOSインタフェース〔同図(b)〕では、 $V_{cc} = 5 V \subset 50 \mu A$ 以下と更に低減できる。

電源電流のピーク電流については、図10に示すように<u>+</u>V_{cc} プリチャージ方式,シェアードセンスアンプ回路などの採用 により、100mA以下に低減された。この低ピーク電流特性に より,実装時の電源ノイズを低減することができる。

5.3 テストパターン依存性

種々の使用条件での動作の安定性は、 テストパターン依存 性に示される。テストパターン依存性の評価結果の一部を 図11に示す。本評価の結果、テストパターン間での Vcc 動作範 囲の変化はなく安定な動作が得られ,また広い電源動作範囲 を示している。

6 結 言

66

5.0- ////////////////////////////////////	
4.0- Pass	
3.0 Fail	
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15	
1. X-スキャン リードライトマーチング 2. Y-スキャン リードライトマーチング	
3. X-スキャン リードリードライトマーチング 4. Y-スキャン リードリードライトマーチング 5. Y スキャン リードエディファイライトマーチング	
5. $x - x + v = y - v - y - y - y - y - y - y - y - y -$	
8. Y-スキャン オール0/1 9. X-スキャン ローバー0/1	
10.Y-スキャン ローバー0/1 11.X-スキャン コラムバー0/1 12.X-スキャン コラムバー0/1	
12.1-スキャン コラムハー0/1 13.X-スキャン チェッカ ボード 14.Y-スキャン チェッカ ボード	
15. ロングリードモディファイライトマーチング (サイクル時間10μs)	
	5.0 4.0 4.0 3.0 Fail 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 1. X-スキャン リードライトマーチング 2. Y-スキャン リードライトマーチング 3. X-スキャン リードリードライトマーチング 4. Y-スキャン リードリードライトマーチング 5. X-スキャン リードリードライトマーチング 5. X-スキャン リードモディファイライトマーチング 7. X-スキャン リードモディファイライトマーチング 7. X-スキャン オール0/1 8. Y-スキャン オール0/1 9. X-スキャン オール0/1 10. Y-スキャン コラムバー0/1 11. X-スキャン コラムバー0/1 12. Y-スキャン チェッカ ボード 14. Y-スキャン チェッカ ボード 15. ロングリードモディファイライトマーチング (サイクル時間10 μ s)

図11 テストパターン依存性 テストパターン依存性評価結果の一部を 示す。テストパターン間の動作範囲の変化はなく、また広い動作範囲を示して いる。

今後,1M DRAMについてはその用途の拡大に伴い、製品 の多様化が256kの世代よりも更に進むと考えられる。ビット 構成では×4,×8構成も重要であり、パッケージもDIPタイ プからSOJ(面実装形パッケージ)などの小形パッケージ、更に モジュール化も進むと予想される。これらの市場ニーズにこ たえるべく、1M DRAMの早期製品展開を進める。

最新の1.3µm CMOSプロセス,多層配線及び高速,低消費 電力回路技術などにより高性能・高機能1M DRAMを開発し た。性能面でアクセスタイム最高速100ns品を,消費電力300 mW以下で実現した。機能として高速ページ、ニブル、スタテ イックカラムの3機能をもち、動作マージンについても規格 に対し十分満足することができた。

参考文献

1) 佐藤, 外: A 20ns Static Column 1 M bit DRAM in CMOS Technology, ISSCC Digest of Technical Paper (1985)