

64kビットCMOS EEPROM “HN58C65”

64k bit CMOS EEPROM “HN58C65”

高度なマイクロコンピュータシステムの設計を容易にするメモリとして、電氣的に情報の変更が可能な不揮発性メモリEEPROMの要求が急速に高まっている。本論文では、このたび開発した64kビットCMOS EEPROM “HN58C65” の概要及び主な技術内容並びに応用について述べる。

先に商品化した高信頼・高性能なNMOSタイプの64kビットEEPROM “HN58064” の実績に加え、本製品では新しく、10ms typ.の自動書換えタイマ機能、及び全チップ書換えを2.5秒と高速化する32バイトページ機能の内蔵するとともに、CMOS化により動作時4 mA/MHz typ.と低消費電力を実現し、またデータ保護機能の充実をも図っている。

神垣良昭* *Yoshiaki Kamigaki*
古沢和則* *Kazunori Furusawa*
寺沢正明** *Masaaki Terasawa*
内田 憲* *Ken Uchida*
萩原隆旦*** *Takaaki Hagiwara*

1 緒 言

EEPROM(Electrically Erasable and Programmable Read Only Memory)は、電氣的に情報の変更ができる不揮発性メモリである。EEPROMをROMとして用いると消去に紫外線を必要とせず、システムに組み込んだままで遠隔操作により自由に情報の変更ができ、SRAM(Static Random Access Memory)に比べてはバックアップ用の電池を必要とせず、システム構成を容易にすることができる。このような便利なメモリである一方、比較的新しいメモリである点から16kビットEEPROMは、製品ごとに機能や仕様が異なりユーザーからみて使いにくいという問題があった。

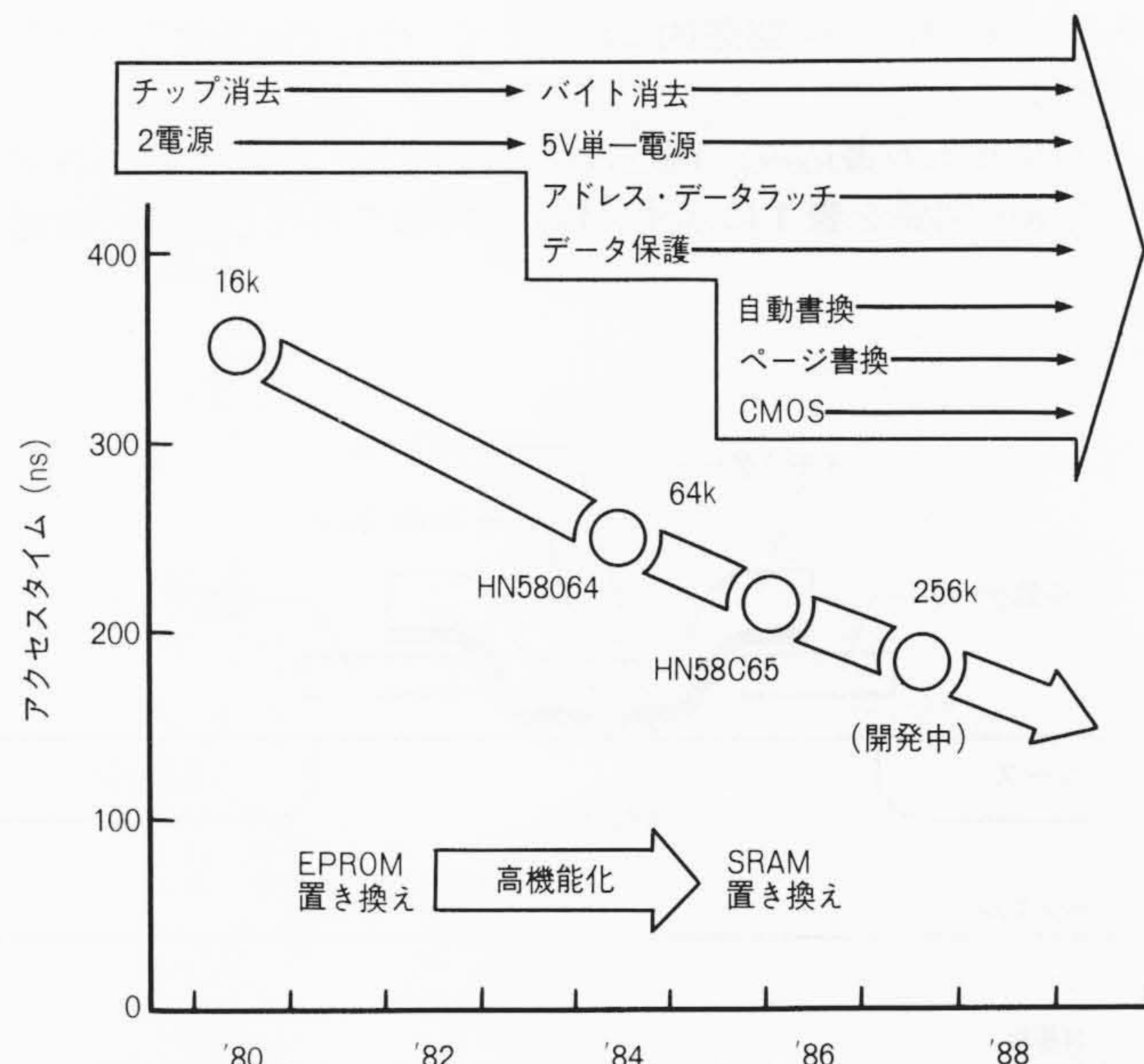
このため標準化が大きな課題になっていたが、64kビットの時代に入り、EEPROMの機能及び仕様はほぼ2系列に大別されるようになった。HN58064のようにCPU(Central Processing Unit)又は外部タイマのコントロールのもとで書換え動作をさせるタイプと、今回開発したHN58C65のように、自動書換え機能をもつことにより書換え中はCPUから切り離せるタイプとに分けられる。

本稿では、EEPROMの動向に触れた後、HN58C65の概要と主な技術内容について述べる。更に、より確実・効率的な応用方法について示す。

2 EEPROMの動向

日立EEPROM製品の開発経緯と高機能化の流れを図1に示す。日立製作所は世界に先駆けて初めて16kビットEEPROM(HN48016)を製品化した¹⁾。このHN48016は、EPROMの置き換えをねらったもので、消去をチップ単位、電源を2仕様とし、書込み電圧をはじめピン配置、アクセスタイムを紫外線消去形のEPROM(Erasable and Programmable Read Only Memory)に合わせて設計している。

その後、各社から新機能を追加したEEPROMの開発がみられた。RAMと同じに書換えができるようバイト単位の消去機能、書込み動作中アドレス・データバスを解放するためのラッチ機能、また外付け部品の低減とオンボード書換えのメリットを生かすための完全5V単一電源化などが挙げられる。これらの機能は各社の新製品ごとに順次追加されていった。日立製作所はNMOSタイプの64kビットEEPROM “HN58064”



注：略語説明

CMOS(Complementary Metal Oxide Semiconductor)
EPROM(Erasable and Programmable Read Only Memory)
SRAM(Static Random Access Memory)

図1 日立EEPROMの高機能化の流れ EEPROMは、使いやすさの追求により高機能化が進められ、SRAMとほぼ同様のタイミングで情報の変更ができるようになった。HN58C65は、CMOS技術を採用し、更に高性能化を実現している。

の製品化で、これらの機能を取り込むことによってシンプルなシステム構成を可能にするとともに、高信頼・高性能なEEPROM技術を確立した^{2)~4)}。

EEPROMは比較的長い書換え時間を要する点に使用上の問題があり、改善の動きがある。ページ書換えを行なうことにより書換え時間の実効的な高速化を図る方法、また、自動書換えタイマ機能の内蔵により書込み信号(WE)を内部にラッチしてCPUから解放することによりシステムの効率を上げる方法がある。HN58C65の開発ではこれらの機能を取り込み、更にCMOS技術の採用により低消費電力化を実現し、マイク

* 日立製作所武蔵工場 ** 日立超LSIエンジニアリング株式会社 *** 日立製作所中央研究所 工学博士

ロコンピュータシステムのオールCMOS化の流れに対応している。また、内部昇圧電位によって書換えが行なわれることから、昇圧回路が誤動作して意図しない書換えが発生しないように、データ保護機能の充実を図っている。

これまでの機能によって、EEPROMはSRAMとほぼ同様のタイミングでデータの書換えができるようになった。今後の大容量化の中では、更に使いやすさを求めて、高性能化・高信頼化が進められていくものと考えられる。

3 MNOSメモリ素子

HN58C65では、新規にトライゲート (Tri-Gate) 形のMNOS (Metal Nitride Oxide Semiconductor) メモリ素子を採用している (図2)。チャンネル長が自己整合的に決まる擬似1トランジスタタイプで、高集積化メモリ素子を実現している。MNOS素子のゲート絶縁膜の厚さは、シリコン窒化膜 (Si₃N₄) が30 nm、シリコン酸化膜 (SiO₂) が約2 nmと極めて薄い。厚さは先のHN58064と同じ厚さを採用し、約16Vの電位差により、トンネル現象を用いて書換えを実現する。蓄積された電荷が正であるか負であるかを回路的に判定して、それぞれ“1”、“0”を読み出す。

メモリセルの書込み、書込み阻止、消去、読出し時の各ノードの電圧関係を表1に示す。V_{PP} は内部で昇圧した負の高電

- 圧である。基本動作は次のように説明される。
- (1) 書込みは、基板側を負の高電圧とし電子を注入する。
 - (2) 書込み阻止は、チャンネル表面が5 Vとなり、ゲートとチャンネル間に電位差が生じないように選択される。
 - (3) 消去は、ゲート側を負の高電圧とし電子を引き抜く。
 - (4) 読出しは、ゲート電圧を0 Vとして、MNOS素子の“1”か“0”の情報を読み出す。

4 HN58C65の機能及び回路設計

4.1 タイマ機能

アドレス、データ、制御信号 (チップエネーブル $\overline{CE}$ 、出力エネーブル $\overline{OE}$ 、ライトエネーブル $\overline{WE}$) のすべてをEEPROMの内部にラッチすることによって、以降内部タイマによって自動的に古いデータから新しいデータに書き換えられる (図3)。このタイマは書換えの時間を内部で計算するもので、データロード時間、消去、書込み時間をそれぞれ自動的に設定している。このタイマによって、データの書換えがEEPROM内部で自動的に行なわれ、データの消去及び書込みの間、 $\overline{WE}$ の信号をも占有する必要がなくなり、これによって、見掛け上SRAMと同じタイミングを用いてデータを書き換えられる。

なお、書換え終了時点が検出できると、ただちに次の書換えが始められる。書換え終了表示としてREADY/BUSYとDATA Pollingの2機能をもっている。READY/BUSYはチップが書換えサイクル中であることをNo.1ピンの出力状態で表示するハードウェア的な機能である。データ書換え中はLowレベル、書換え終了後は高インピーダンスによってチップ状態を表示する。DATA Pollingは特に表示用の出力ピンや外部回路を使わないソフトウェア的な機能である。書換えサイクル中は出力D₀からD₆は読出しをかけても高インピーダンス

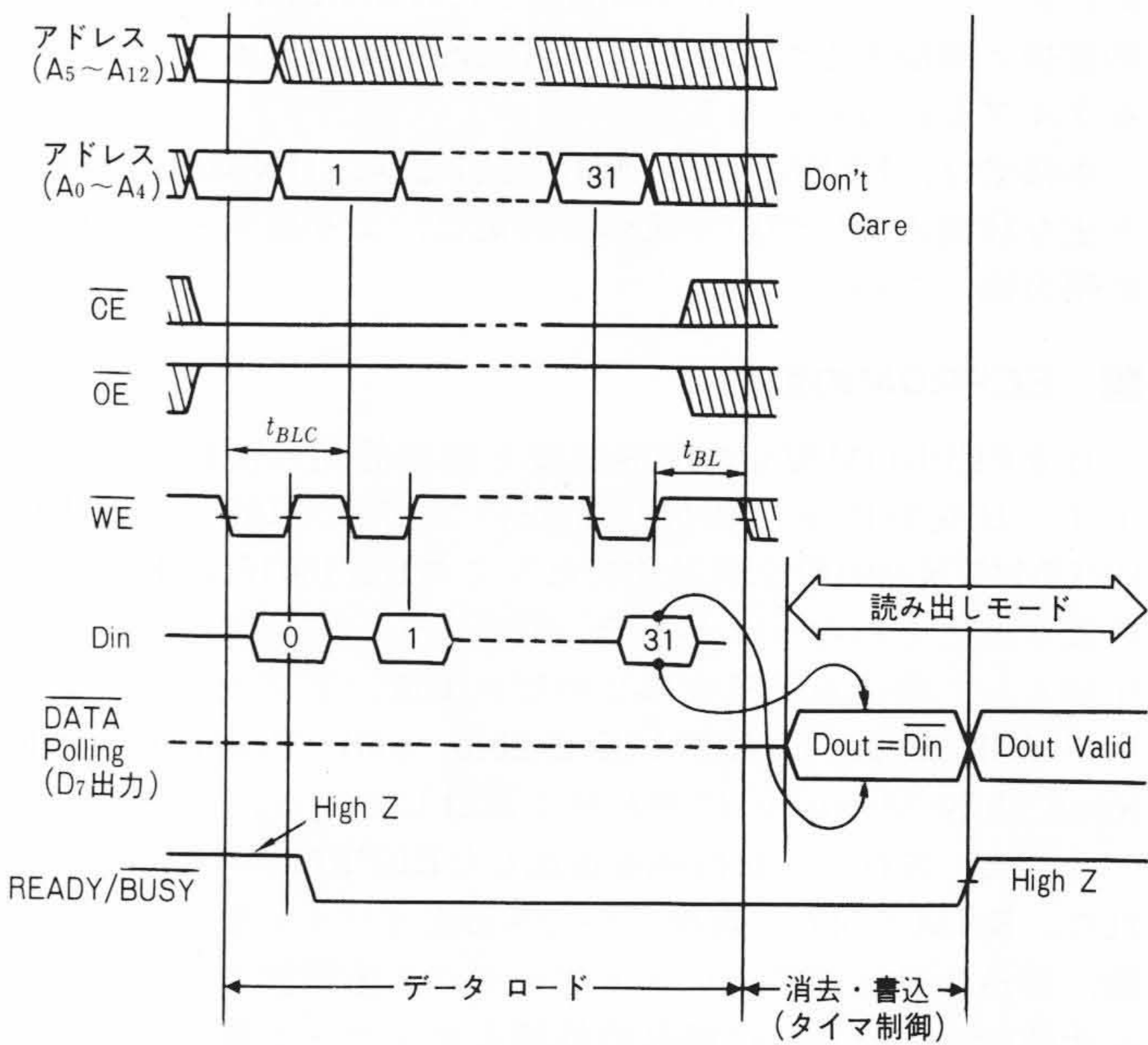
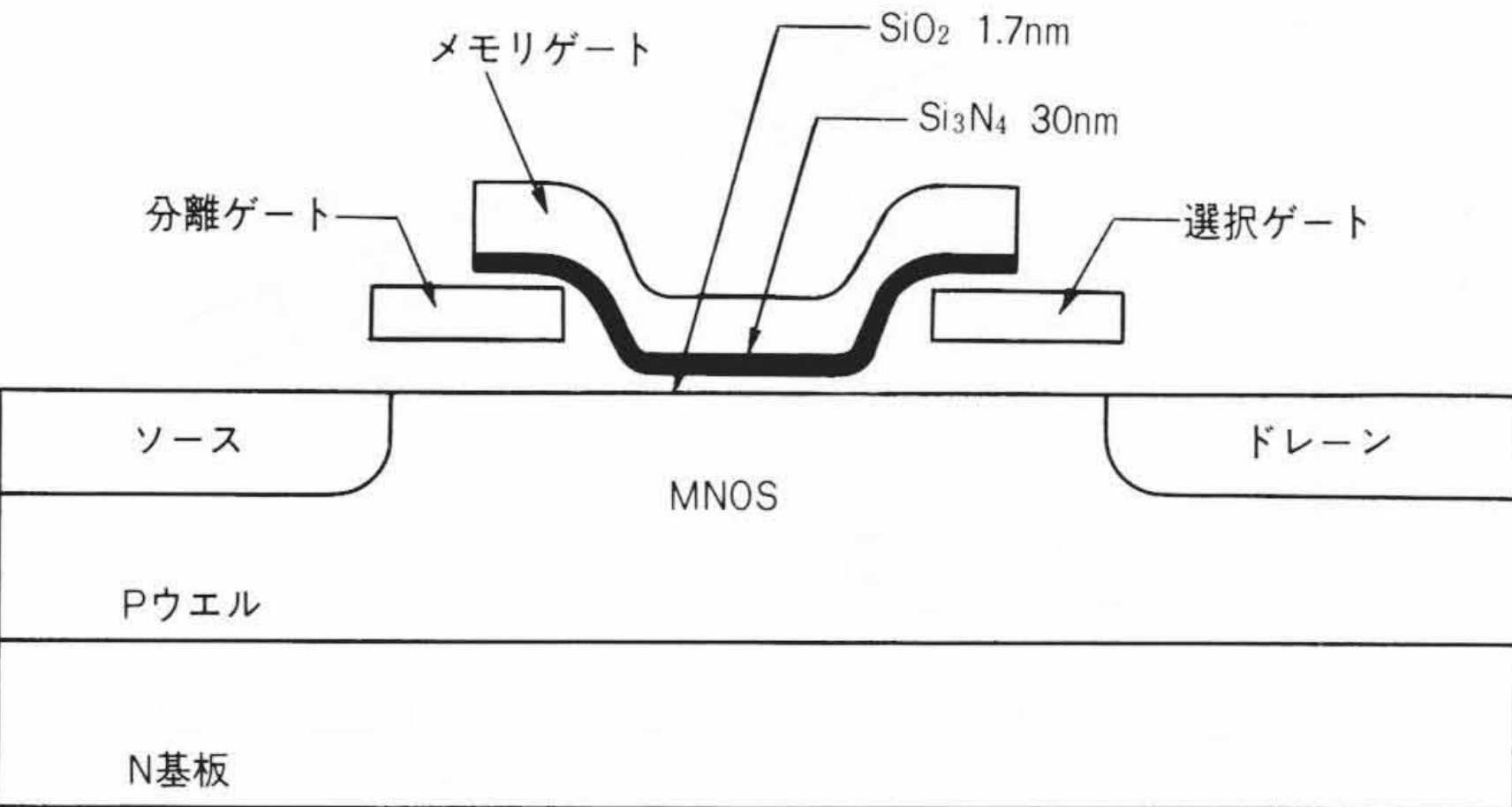


図3 ページモードの書換えタイミング アドレス(A₀~A₁₂), データ(D_{in}), 制御信号($\overline{CE}$, $\overline{OE}$, $\overline{WE}$)のすべてをEEPROMの内部にラッチすることによって、それ以降、古いデータから新しいデータへ内部タイマによって自動的に行なう。1回のページ書換えは、32バイトまでのデータを内部ラッチに取り込み、これらを同時に書き換える。書換え中には、書換え終了表示のREADY/BUSYはLowレベル、DATA PollingはD₇出力が最後に取り込んだデータの補数となっている。



注: 略語説明 MNOS(Metal Nitride Oxide Semiconductor)
図2 MNOSトライゲート形メモリセルの断面構造 HN58C65のメモリ素子は、トライゲート形で擬似1トランジスタタイプとし、高集積化を実現している。30nm厚のシリコン窒化膜 (Si₃N₄) と約2 nmのシリコン酸化膜 (SiO₂) をもち、トンネル効果により電荷を窒化膜中に蓄積する。

表1 メモリセルの基本動作 V_{PP}は内部昇圧した負の高電圧である。書換えは、ゲート基板との間の高電界で実行する。

モード	各ノードの電圧	モード	各ノードの電圧
書込み		消去	
書込み阻止		読出し	

注: V_{PP} = -11V

状態であるが、出力D₇は出力可能な状態となっており、最後に書き込んだアドレスのデータを読み出しにいったとき、実際のデータと不一致であれば書込みサイクル中、一致すればサイクル完了を判定する。

4.2 ページ機能

ページ書換えは、32バイトモードであり、1回のページ書換えでは32バイトまでのデータを内部ラッチに取り込み、これらを同時に書き換える。1回の書換えサイクルタイム(t_{wc})は、バイト書換えのときと同じ10ms typ.である。ページ書換えを用いると実効的なバイト書換え時間は0.3ms/バイトとなり、8k全バイト書換え時間は2.5秒と高速化を実現している。

データ取込み時間としてバイトロードウィンドウ t_{BL} を設けている。 t_{BL} は少なくとも30 μ s開いている。この30 μ sを過ぎても次のバイトデータが取り込まれない場合には、タイマが始動し書換えサイクルに入る。また、バイトデータのロードサイクル t_{BLC} として0.3から30 μ sを設定している。同じページ内のバイトデータの取込みは、このサイクル内で行なわれ、取込みのバイトデータ数は任意で、しかも順不同を許している(図3)。

4.3 データ保護機能

内部昇圧回路の誤動作によって記憶されているデータが誤って書き換えられないように、次のような回路設計を行なっている。

(1) $\overline{WE}$ のノイズキャンセラ回路内蔵

読み出しあるいはスタンバイ時に20ns幅以下のノイズが書込み信号 $\overline{WE}$ にのっても感応しない。

(2) $\overline{WE}$ 内部信号High固定回路内蔵

各制御ピン($\overline{CE}$, $\overline{OE}$, $\overline{WE}$)がグラウンドあるいは電源電圧 V_{cc} に固定されていればREAD, STANDBY, WRITEのどの

モードでもPOWER ON/OFFを可能とする。

(3) V_{cc} レベル判定回路内蔵

POWER ON/OFF時に V_{cc} が3.0V以下の場合に書換えを禁止する。

4.4 CMOS化

日立製作所独自の2 μ m CMOSプロセスのHiCMOS技術をベースに周辺CMOS回路設計により、低消費電流を実現している。スタンバイ時200 μ A typ., 動作時4mA/MHz typ.である。これにより小形パッケージ化を容易とし、高密度実装への対応を可能にしている。

以上の機能を盛り込んだ回路構成を図4の内部回路ブロック図で示す。メモリ書換え用の負高電圧の内部昇圧回路を内蔵、書込み時には負高電圧でウェルとデータ線デコーダを駆動、消去時にはワード線デコーダを駆動する。昇圧回路の安定化は、先のHN58064で実績のあるツェナーダイオードを用いている。

5 HN58C65の仕様と応用

5.1 製品仕様

チップ写真を図5に示す。チップサイズは4.26mm×5.9mmである。製品仕様の概要を表2にまとめて示す。データ保持10年以上、書換え回数 10^4 回以上が可能である。パッケージは従来の28ピンプラスチックDIP(Dual Inline Package)に加えてSOP(Small Outline Package)を開発している。ピン配置はバイトワイド標準に準拠している。

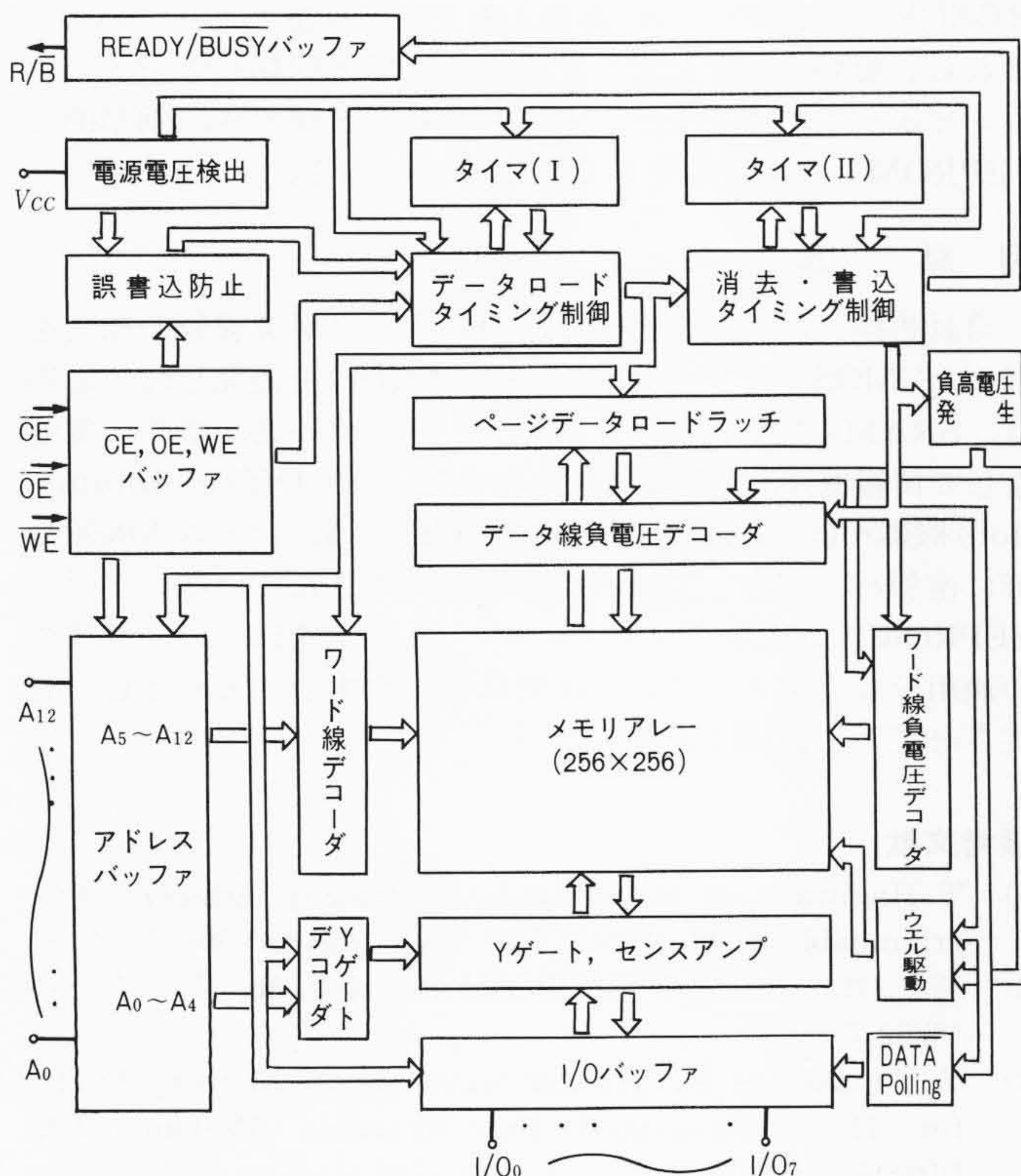


図4 HN58C65の内部回路ブロック メモリ書換え用の負高電圧昇圧回路を内蔵、書込み時には負高電圧でウェルとデータ線デコーダを駆動、消去時にはワード線デコーダを駆動する。

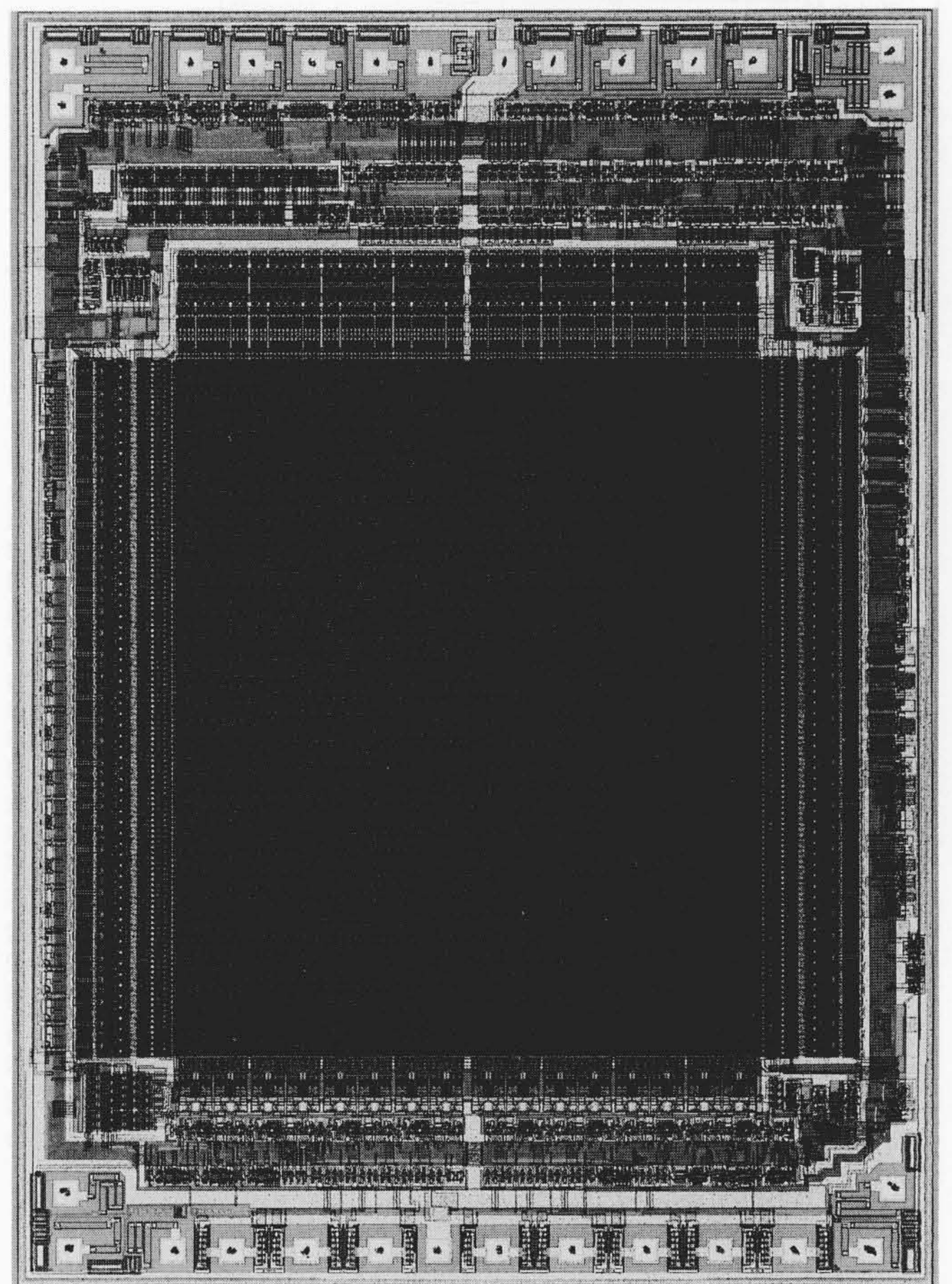


図5 HN58C65のチップ写真 メモリマトリックスは1マット方式とし、周辺をCMOS回路で構成し、低消費電流と高速アクセスを実現している。

表 2 HN58C65の製品仕様 高性能、高機能に加えて高信頼を実現している。また、パッケージは28ピンDIPとSOPを開発している。

項 目		仕 様	項 目		仕 様
メモ リ 構 成		8,192ワード×8ビット	自 動 書 換 え(タイマ)		自動消去付き10ms
電 源 電 圧		5V±10%	ペ ー ジ 書 換 え		32バイト(Max.)
消 費 電 力	動 作 時	20mW/MHz(typ.)	チ ッ プ 書 換 え		チップ書換え2.5秒(typ.)
	ス タ ン バ イ 時	1mW(typ.)	書 換 え 終 了 表 示		READY/BUSY, DATA Polling
ア ク セ ス 時 間		200ns(Max.)/250ns(Max.)	デ ー タ 保 護		電源電圧検出回路内蔵 他
デ ー タ 保 持		10年以上	パ ッ ケ ー ジ		28ピンDIPパッケージ
書 換 え 回 数		10 ⁴ 回以上			28ピンSOPパッケージ

注：略語説明 DIP(Dual Inline Package), SOP(Small Outline Package)

5.2 応用(マイクロコンピュータとのインタフェース)

HN58C65の使い方及びマイクロコンピュータとの接続方法は、基本的にはSRAMと同じである。より確実に、効率的に使用するためには、電源投入解除時のデータ保護方法とマイクロコンピュータに対する書換えのアクナレッジ方法について注意が必要になる。

(1) 電源投入解除時のデータ保護

HN58C65では、回路的に前述のデータ保護機能をもっているが、マイクロコンピュータは通常POWER ONから数ミリ秒の間出力が安定しないことがあり、次の使い方をすると確実になる。

(a) 電源投入時

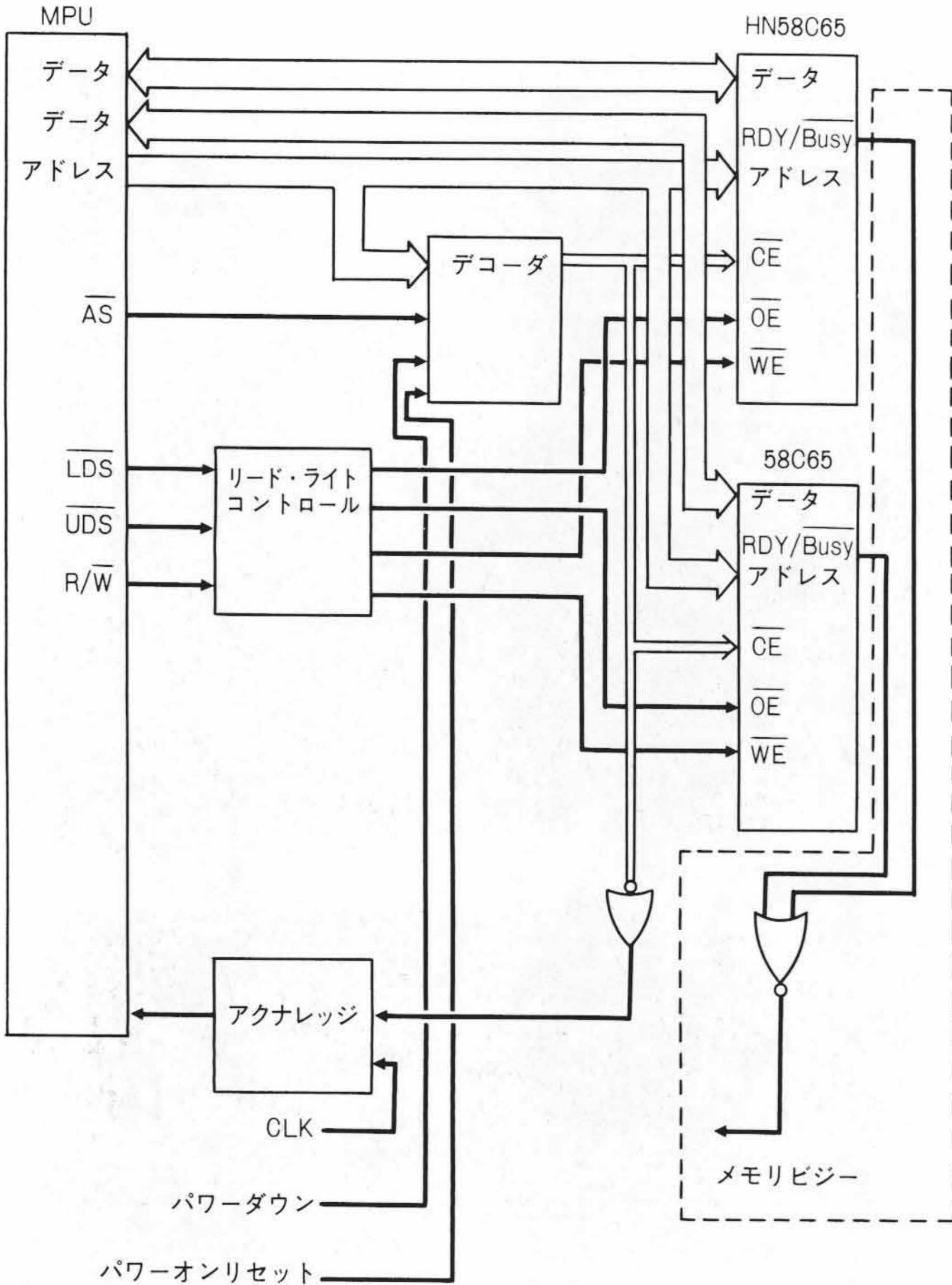


図 6 マイクロコンピュータとHN58C65とのインタフェース例 HN58C65とマイクロコンピュータとの接続方法は、基本的にRAMと同じである。より確実に、効率的な応用としてデータ保護方法と書換えのアクナレッジに注意している。

システムイニシャライズ用のどのシステムにもついているPOWER ON RESET信号をCEデコーダに入れて、システムイニシャライズ期間の誤動作を防ぐ。

(b) 電源解除時

POWER OFF DETECT信号が付いているシステム(停電を想定したシステム)では、この信号をCEデコーダに入れることにより誤書換えを防ぐ。POWER OFF DETECT信号のないシステム(停電を想定していないシステム)では、POWER OFF検出回路をEEPROM用に付加して、CEを強制的にHighにすると、より確実にデータを保護する。

マイクロコンピュータとHN58C65のインタフェース例を図6に示す。

(2) 書換えアクナレッジ

HN58C65の1回の書換え時間は約10msで、この時間はチップ内部で自動的に設定される。その間、アドレス、データ、コントロール信号はすべてチップ内部にラッチされるので、マイクロコンピュータは他の仕事を行なうことができる。このラッチ機能を有効に活用するために、DATA PollingとREADY/BUSYの二つの書換え終了表示機能をもっている。これらを用いることにより、書換え終了と同期してマイクロコンピュータにインタラプトをかけることができ、効率的にEEPROMに次の仕事をさせることができる。

6 結 言

自動書換え、ページ書換え、更にデータ保護機能の充実を図ったCMOSタイプの64kビットEEPROMを開発した。応用は、SRAMと同じタイミングでデータの書換えができ、電池なしで情報保持が可能な特長を生かし、OA(Office Automation)機器をはじめ、通信用機器、制御機器、ゲーム用機器分野に情報パックとして大きな市場が約束されている。また、EEPROMオンチップマイクロコンピュータをはじめ、本技術の適用分野も拡大している。更に使いやすいメモリとして充実させていく計画である。

参考文献

1) T.Hagiwara, et al.: A 16kb Electrically Erasable Programmable ROM, ISSCC Dig. Tech. Papers, 50~51(1979)
2) 萩原, 外: 64kビット EEPROM, 日立評論, 66, 7, 505~508 (昭59-7)
3) Y.Yatsuda, et al.: An Advanced MNOS Memory Device for Highly-Integrated Byte-Erasable 5V-Only EEPROMs, IEDM '82, 30-2, 733~736
4) 日立製作所 武蔵工場メモリIC設計部, 日立製作所 半導体事業部技術本部営業技術部:「日立EEPROM」アプリケーションノート(1984-12)