

# 電力用LSI化保護リレーの開発

## Development of Custom LSIs for Protective Relays and their Application to New Static Relays

電力用保護リレーの分野でも大幅な小形化、高信頼度化及び低消費電力化が必要となりつつある。このような要求に対処するため、アナログ回路とデジタル回路が混在した高精度、広入力レンジのCMOSカスタムLSIを試作し、これを用いたLSI化保護リレーを開発した。

開発したLSIは標準化を考慮しており、ほとんどの種類の保護リレーに適用でき、しかも、50Hz系及び60Hz系の両方に適用できる。また、LSI化保護リレーは現行アナログ形保護リレーに比較して同等以上の性能をもち、部品数を $\frac{1}{10}$ 、プリント板面積を $\frac{1}{3}$ 以下にすることができるとともに、消費電力を約 $\frac{1}{10}$ に低減できるために電源の縮小と信頼度の向上が期待される。更に、オフセット電圧の自動補償などにより無調整化を達成している。

千葉富雄\* Tomio Chiba  
 工藤博之\* Hiroyuki Kudō  
 渡部篤美\*\* Atsumi Watanabe  
 抜山 誠\*\*\* Makoto Nukiyama

### 1 緒 言

電力システムの構成が高度化・複雑化するに伴い、電力用保護リレーの分野でも大幅な小形化、高信頼度化、低消費電力化が必要となりつつある。このような要求に見合うものとして、マイクロコンピュータを用いたデジタル形保護リレー装置があるが、低圧系まで適用するには価格及び消費電力の面で制約がある。

そこで、アナログ形リレーが安価であるというメリットを生かしながら、大幅な小形化、低消費電力化を行なうために、アナログ回路とデジタル回路が混在したカスタムLSIの検討を進めてきた。このためには、保護リレー内要素回路の演算誤差±1%以下、線形入力レンジ2,000倍など、これまでのアナログLSIにない高精度・広入力レンジの演算回路が必要

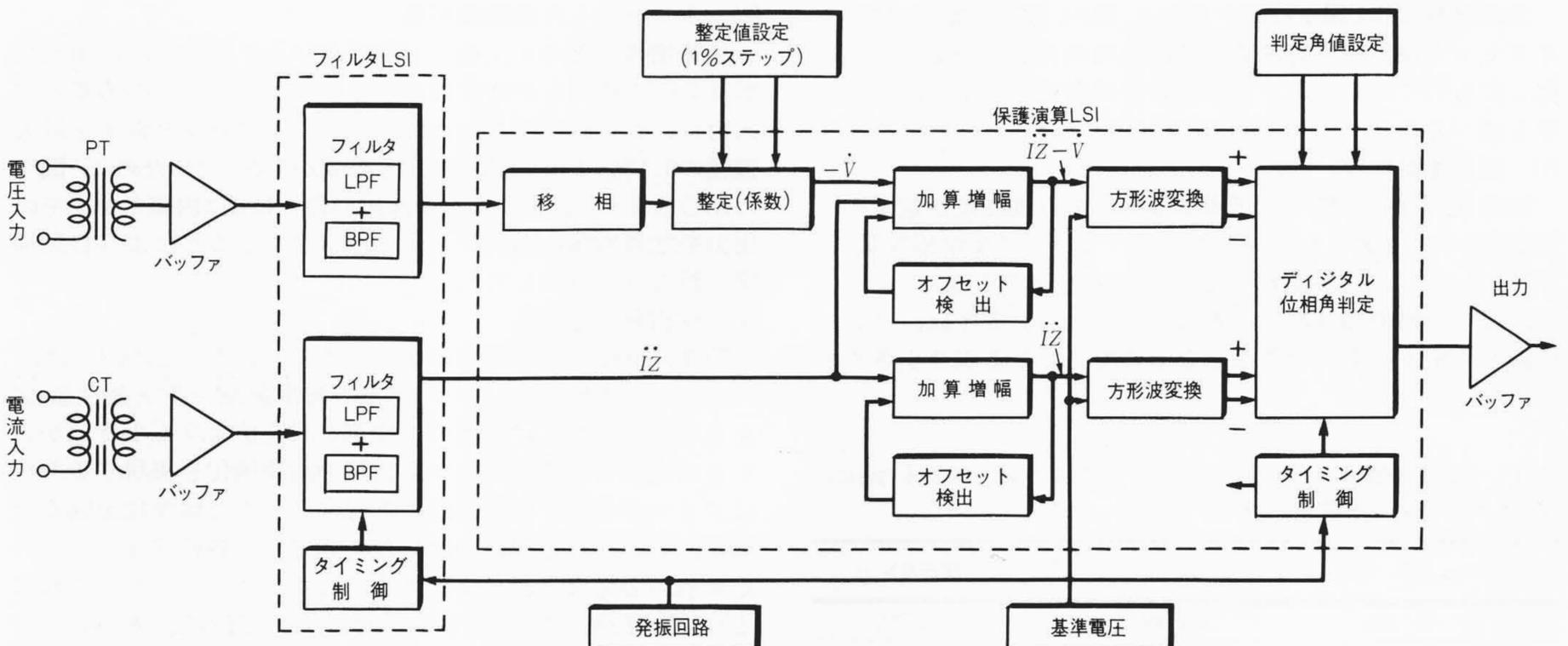
となる。

本論文では、カスタムLSIによりリレー性能を実現するための主要回路技術、試作したLSIの諸元及びこれらのLSIを用いて構成したLSI化距離リレー特性の実測例について述べる。

### 2 保護リレーのLSI化の範囲と課題

#### 2.1 LSI化の範囲

現行のアナログ形保護リレーにはリアクタンスリレー、モーリレーなどの位相比較形リレーと、過電流リレーなどの整流による絶対値判定形リレーがある。本論文では、性能的に厳しい位相比較形保護リレーのLSI化について述べる。図1に、LSI化する場合に必要な要素回路とその構成、及びLSI化



注：略語説明 LPF(ローパスフィルタ), BPF(バンドパスフィルタ), PT(電圧変成器), CT(電流変成器),  $\dot{I}Z - \dot{V}$ (測距量),  $\dot{I}Z$ (極性量)

図1 保護リレーのLSI化の範囲と構成 現行リレーの電子回路部を、フィルタと保護演算部の二つに分割してLSI化している。補助変成器(PT, CT)は集中化して設置し、LSIには含まない。

\* 日立製作所日立研究所 \*\* 日立製作所日立研究所 工学博士 \*\*\* 日立製作所国分工場

の範囲を示す。同図中の保護演算LSIは、入力の変更、要素回路間の外部配線変更、判定角値の外部設定変更などにより上記した種々の保護リレーが実現できるように標準化した。すなわち、現行保護リレーの電子回路部をフィルタ部と保護演算部の二つに分割してLSI化し、単体の保護リレーユニットはこれら二つのLSIの組合せにより構成する。また、一つの送電線を保護するための保護リレーシステムは、これらのLSIを複数個組み合わせることにより構成するが、入力となる電圧、電流を導入するための補助変成器(電圧変成器及び電流変成器)は各LSI化リレーユニットには設けず、集中化して設置する構成とする。

2.2 LSI開発のための課題

表1に、LSI化保護リレーの開発目標を現行リレーと対比して示す。LSI技術を用いて上記目標を達成するためには、幾つかの技術課題を解決しなければならない。以下にこれらの主要課題を示す。

- (1) 広入力レンジの確保(オフセット電圧の低減などによる2,000倍の線形入力レンジ増幅器の開発)
- (2) 保護リレー要素回路の演算誤差が±1%以下を満足する高精度及び高集積アナログ演算回路の開発
- (3) 多品種リレー及び特性変更に対応できる標準化回路の開発
- (4) 低消費電力化
- (5) チップ面積の縮小

なお、上記(1)、(2)及び(4)の性能を満足するために、CMOS(Complementary Metal Oxide Semiconductor)プロセスを採用し、キャパシタをスイッチングすることによって等価的に演算抵抗を実現するスイッチトキャパシタ回路<sup>2)</sup>を主体に回路を構成するが、この場合キャパシタの総容量値及び最大と最小の容量比の大幅低減、寄生容量の影響を受けない回路の開発などが課題となる。

3 保護リレー用LSIの開発

3.1 保護演算LSI

保護演算LSIは図1に示すように、移相、整定、加算、増幅、オフセット検出、方形波変換及び位相角判定回路などを集積化したものである。以下、これらの回路のうち主要回路の概要を述べる。

(1) 加算増幅回路

加算増幅回路は図2に示すように、入力電圧及び電流から測距量(リアクタンスリレーの場合： $\dot{I}\dot{Z}-\dot{V}$ )及び極性量(リアクタンスリレーの場合： $\dot{I}\dot{Z}$ )を求める回路である。したがって、この回路の加算増幅誤差及びオフセット電圧は、リレー性能を決定する重要な要因となるので、できる限り小さくす

表1 LSI化保護リレーの開発目標 消費電力及び部品数を約1/10に低減するとともに、無調整化を目標にしている。

| 項目       | 区分 | LSI化リレー         | 現行リレー   |
|----------|----|-----------------|---------|
| 電源電圧     |    | ±2.5V           | ±12V    |
| 線形入力レンジ  |    | 1mV~1.4V        | 7mV~10V |
| 動作値誤差    |    | ±5%以下           | ±5%以下   |
| 要素回路演算誤差 |    | ±1%以下           | ±1%以下   |
| 消費電力     |    | 0.1W以下          | 1~4W    |
| 部品数      |    | 開発LSI 2個+バッファ回路 | 約250個   |
| 調整       |    | 不要              | 要       |

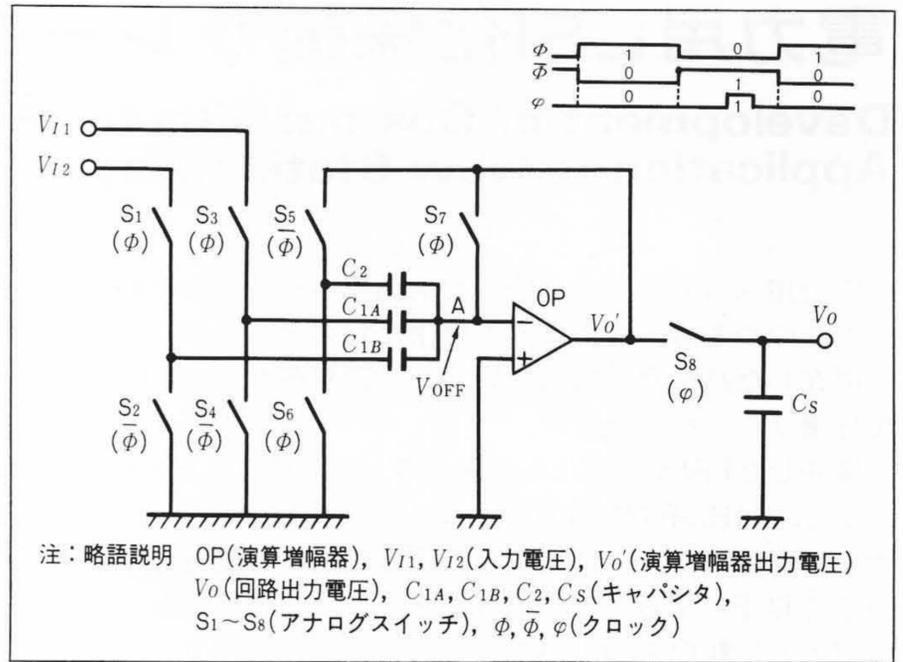


図2 スイッチトキャパシタ形加算増幅回路 キャパシタの比だけにより、加算及び増幅度が決定できるため高精度化が容易である。また、演算増幅器のオフセット電圧を自動補償している。

る必要がある。図2に、これらの要因を考慮して開発したLSI化に好適なスイッチトキャパシタ形加算増幅回路<sup>3)</sup>を示す。この回路出力は次式で表わされる。

$$V_{0'} = \frac{C_{1A}}{C_2} V_{11} + \frac{C_{1B}}{C_2} V_{12}$$

ここに  $V_{0'}$ : 出力電圧  
 $V_{11}, V_{12}$ : 入力電圧  
 $C_{1A}, C_{1B}, C_2$ : キャパシタ

上記の式から明らかなように、図2に示した加算増幅回路はキャパシタの比だけにより加算増幅比が決定できるので、高精度化が容易である。また、演算増幅器単体のオフセット電圧  $V_{OFF}$  を自動補償している。

なお、キャパシタ  $C_s$  は出力電圧  $V_{0'}$  をサンプルホールドし、波形を平滑化するために設けているものである。

(2) オフセット自動補償回路

加算増幅回路のオフセット電圧及びドリフトは、位相比較形リレーの精度を非常に悪くする。したがって、高感度・広入力レンジを確保するためには、このオフセット電圧を最大振幅の0.1%(1mV)以下にする必要がある。このために、図1に示したように、オフセット検出回路をLSIに内蔵させ、その出力を加算増幅回路にフィードバックすることにより自動補償を行なうようにした<sup>4)</sup>。

(3) 位相角判定回路

図3に位相角判定回路のブロック図を示す。この回路は、例えばリアクタンスリレーの場合、測距量  $\dot{I}\dot{Z}-\dot{V}$  と極性量  $\dot{I}\dot{Z}$  を方形波に変換し、両者の位相差が設定値よりも小さいか否かを判定する回路であるが、回路の高集積化を実現するためにタイマをデジタル回路で実現する。また標準化を図るために、上記した方形波の位相差を判定する各種タイマへの判定角値の設定は、デジタル値で行なうこととした。これにより、50Hz系及び60Hz系の切換えは、LSIのピンを選択することにより(同図中のクロック分周回路内のカウンタの切換え)簡単に行なうことができる。

3.2 フィルタLSI

日立製作所の現行保護リレーでは、入力電圧及び電流に重畳される高調波及び直流分を除去するために、高精度のRCアクティブフィルタを使用している。このフィルタについても

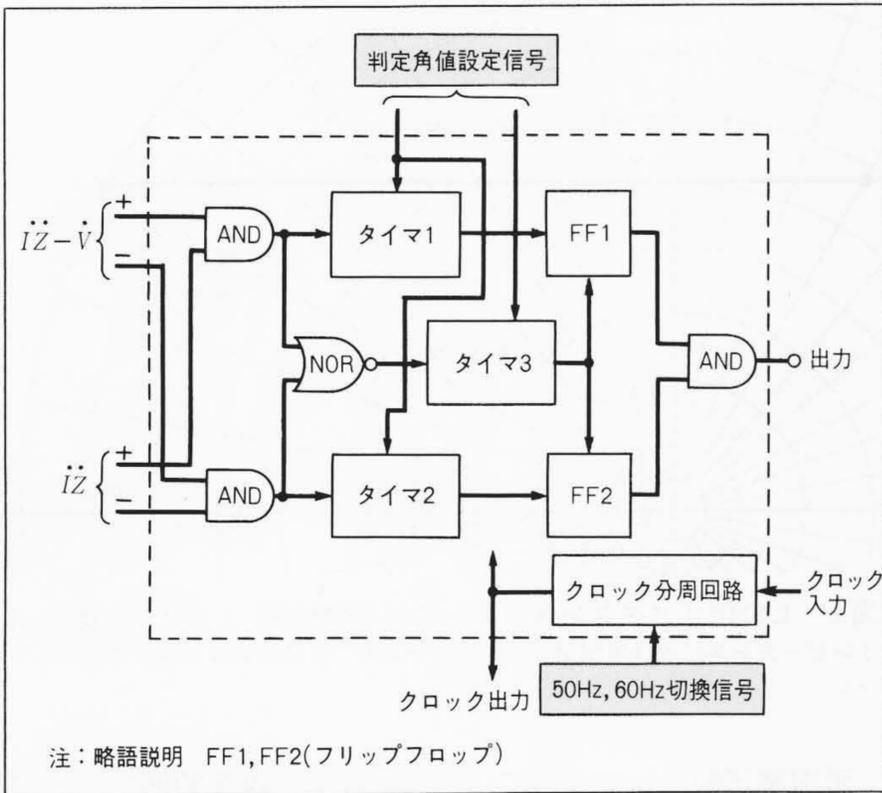


図3 デジタル位相角判定回路のブロック図 測距量と極性量の一致した方形波幅を判定するための判定角値設定及び50Hz, 60Hz切換えをデジタルで実行可能にし、標準化を図っている。

保護演算LSIと同時にLSI化を進めた。種々の回路方式について検討した結果、スイッチトキャパシタ形バイクワッド(Bi-quad)回路が、精度及び高集積化の点で最もLSI化に適していることが分かった<sup>4)</sup>。

図4には、回路の標準化を図るとともに特性を任意に変更できるように工夫したスイッチトキャパシタ形バイクワッドフィルタの構成及び特性定数( $f_0$ ,  $Q$ ,  $H$ )の導出法を示す。それぞれの特性定数は、クロック周波数だけにより、それぞれ独立に変更可能である。同図に示した回路では、LPF(ローパスフィルタ)とBPF(バンドパスフィルタ)が同一の回路構成で実現でき、図示したように出力端子だけが異なる。

### 3.3 試作LSIの諸元

標準化を考慮した保護演算LSIとフィルタLSIをCMOSプロセスを用いて試作した。図5に試作した2種のLSIパッケージ写真を示す。また、表2にはLSIの諸元を示す。

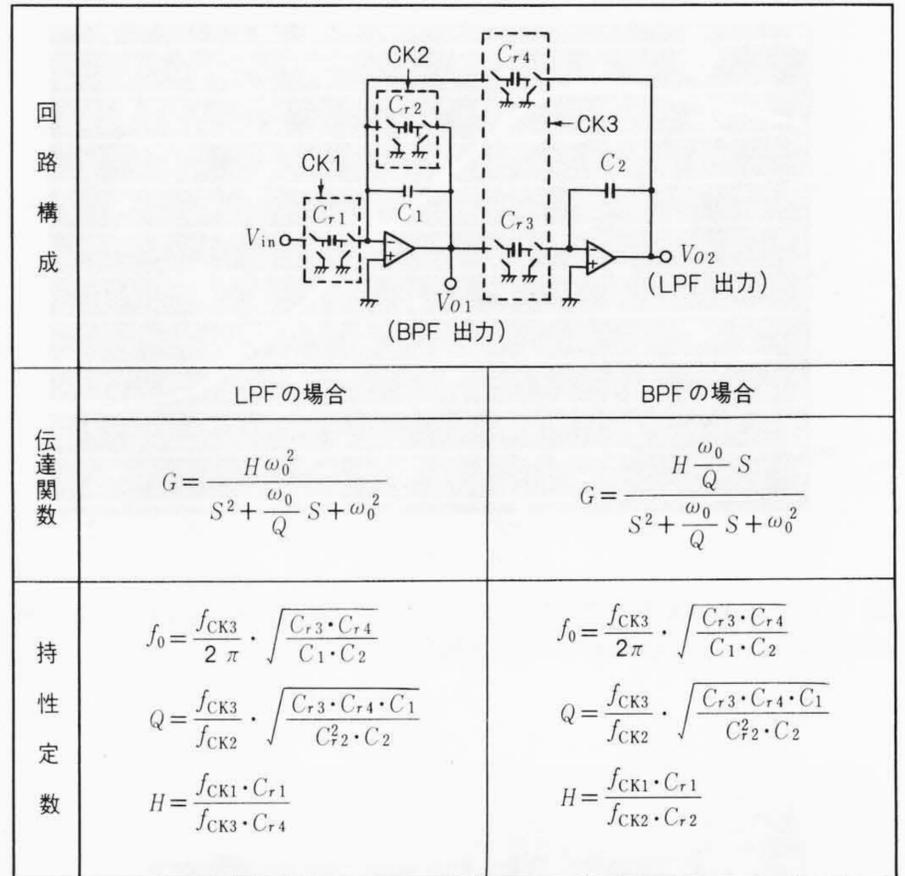
保護演算LSI内のそれぞれの要素回路は±1%以下の演算誤差を満足している。また、このLSIは位相比較形のリアクタンスリレー、モーリレー、オフセットモーリレー、オームリレー及び木の葉形リレーなど、ほとんどの距離リレーに適用できる。更に、位相比較形過電流リレー、不足電圧リレーなどにも応用できる。

一方、フィルタLSIは、二次のLPFとBPFをカスケード接続したフィルタを三相分と $Q$ の高い二次のBPFを搭載している。図6にLPFとBPFをカスケード接続したりレー用フィルタの振幅特性の実測例を示す。50Hzでの利得誤差±1%以下の高性能を実現している。このフィルタLSIは、マイクロコンピュータを用いた現行デジタル形保護リレーの入力フィルタにもそのまま適用可能である<sup>4)</sup>。

## 4 LSI化保護リレー

### 4.1 LSI化保護リレーの特長

試作した保護演算LSIとフィルタLSIを組み合わせたLSI化距離リレーを開発した。図7に、LSI化距離リレーユニットを現行の距離リレーユニットと比較して示す。LSI化距離リレーユニットには補助変成器(電圧変成器及び電流変成器)は搭載



注：略語説明  $f_0$ (遮断周波数あるいは中心周波数)  
 $Q$ (選択度),  $H$ (利得係数)  
CK1, CK2, CK3(クロック信号)

図4 スイッチトキャパシタフィルタ クロック周波数の変更だけにより、それぞれ独立に $f_0$ ,  $Q$ ,  $H$ が設定できる。

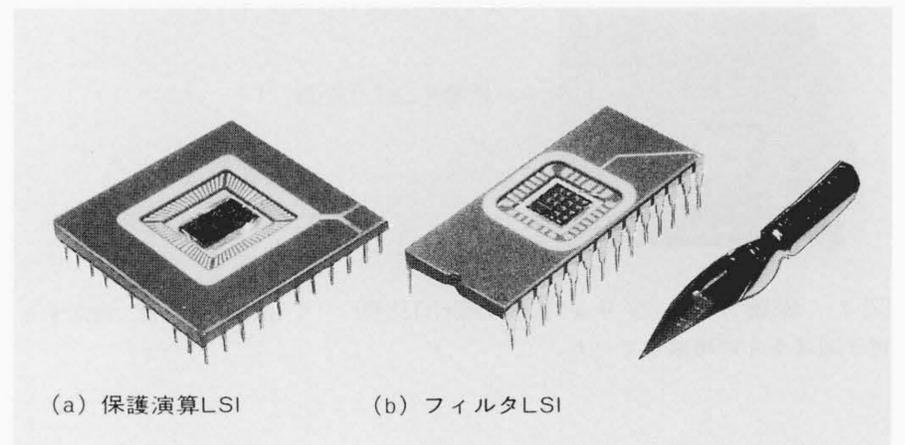


図5 開発したLSIのパッケージ写真 保護演算LSIは72ピン、フィルタLSIは28ピンの標準パッケージに実装している。フィルタLSIはリレー用フィルタを三相分内蔵している。

表2 開発したLSIの諸元 アナログスイッチには、スイッチングノイズをキャンセルする工夫を行なっている。また、キャパシタの相対精度の向上を図るため、単位容量を組み合わせる必要容量を形成している。

| 項目    | LSI     | 保護演算LSI                | フィルタLSI                |
|-------|---------|------------------------|------------------------|
| プロセス  | CMOS    |                        |                        |
| 電源電圧  | ±2.5V   |                        |                        |
| 実装素子数 | アナログ    | オペアンプ 17個<br>スイッチ 120個 | オペアンプ 14個<br>スイッチ 100個 |
|       | デジタル    | 500ゲート                 | 160ゲート                 |
|       | 総容量     | 200pF                  | 540pF                  |
| 消費電力  | 45mW    |                        | 30mW                   |
| パッケージ | 72ピンPGA |                        | 28ピンDIL                |

注：略語説明 CMOS(Complementary Metal Oxide Semiconductor)  
PGA(Pin Grid Array)  
DIL(Dual In Line)

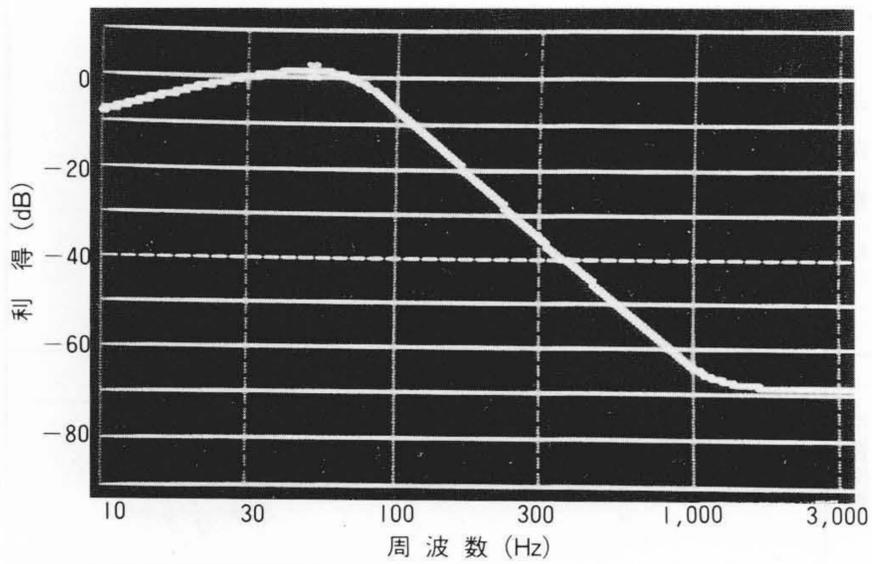


図6 フィルタLSIの振幅特性 50Hzでの利得誤差は1%以下, 第三高調波(150Hz)で-18dBの減衰特性を実現している。

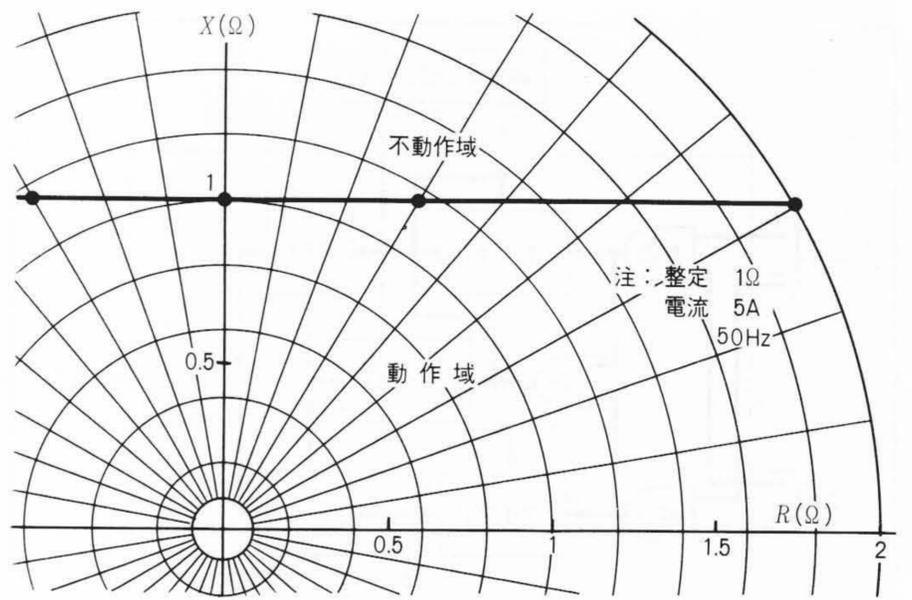


図8 LSI化リアクタンスリレーの位相特性例 特性角(90度)上のインピーダンス誤差は無調整で2%以下であり, 目標性能5%以下を満足している。

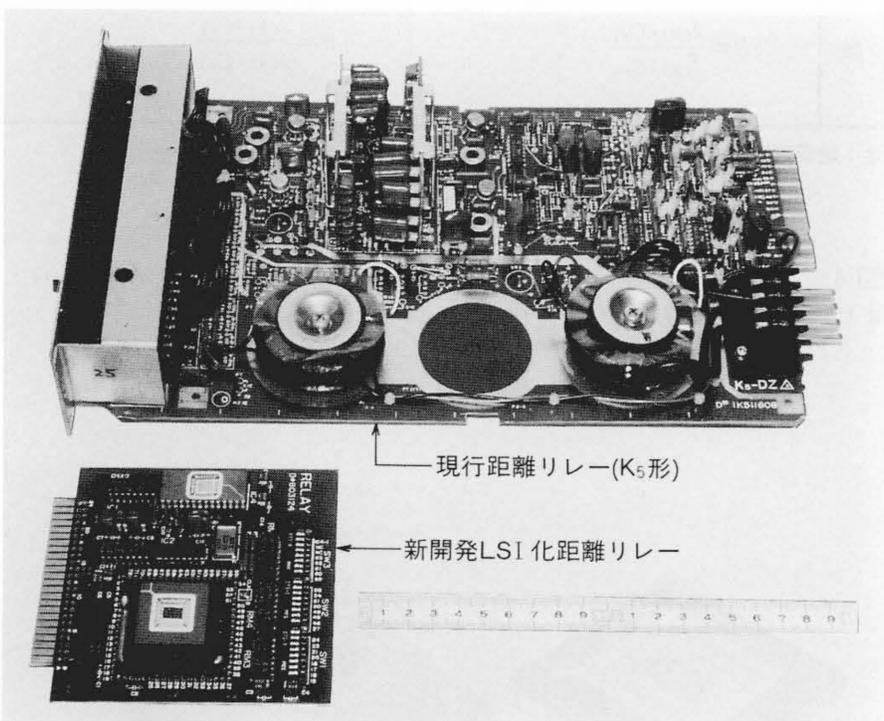


図7 保護リレープリント板の新旧比較 LSI化リレーは, 対応する電子回路を $\frac{1}{3}$ に縮減している。

せず, 分離設置している。また, ユニットの入力及び出力部には, 電圧のレベル変換及びノイズ低減のためにバッファアンプを備えている。以下に, LSI化保護リレーの特長を述べる。

- (1) 部品数を $\frac{1}{10}$ , プリント板面積を $\frac{1}{3}$ 以下に縮減できる。
- (2) 消費電力を $\frac{1}{10}$ に低減できたために, 電源の縮小と信頼度の向上が期待できる。
- (3) 標準化を考慮してLSIを開発したことにより, ほとんどの種類の保護リレーに対応できる。
- (4) 簡単な切換え操作だけで, 50Hz系及び60Hz系の両方に適用できる。
- (5) オフセット電圧の自動補償などにより, リレー全体無調整である。

#### 4.2 LSI化保護リレーの特性

##### (1) 距離リレーの特性例

図7に示したLSI化距離リレーユニットを用いて, 種々のリレー特性を実測した。図8にリアクタンスリレーの位相特性の実測例を示す。インピーダンス誤差は, 前記したオフセット自動補償回路などの効果により無調整で $\pm 2\%$ 以下であり, 仕様( $\pm 5\%$ )を十分満足している。

##### (2) 耐環境試験

耐環境試験の一つとして,  $-20\sim 75^\circ\text{C}$ の温度範囲でリアクタンスリレー(整定 $1\Omega$ )の温度変動試験を行なった。その結果, 定格 $5\text{A}$ ではインピーダンスの変動は $1\%$ 以下であり, 現行リレー(K5形)よりも優れた特性を得た。これは, 開発したLSIの要素回路のほとんどがスイッチトキャパシタ回路で構成されているため, 回路の特性がすべてキャパシタの容量比で表わされ, 温度変動の影響を受けにくくなっていることによるものと推測される。

更に, リレーに接近させてトランシーバ( $400\text{MHz}$ ,  $1\text{W}$ )を動作させ, 耐ノイズ試験を行なった。その結果, 現行リレーよりも優れた耐ノイズ特性を得た。これは, LSI化により回路が小形化され, ノイズの影響を受けにくくなっていることによるものと考えられる。

## 5 結 言

電力用保護リレーの小形化, 高信頼度化及び低消費電力化をねらい, 高精度・広入力レンジのアナログLSIを開発し, デジタル回路と併せて保護リレーのLSI化を実現した。開発したLSIは, スwitchトキャパシタ技術を駆使し, オフセット電圧の自動補償を行なうとともに標準化を考慮しており, ほとんどの保護リレーに適用できる。

また, 現行の保護リレーに比較して同等以上の性能をもち, 部品数を $\frac{1}{10}$ , プリント板面積を $\frac{1}{3}$ 以下にすることができるとともに, 消費電力を $\frac{1}{10}$ に低減できるため電源の縮小と信頼度の向上が実現できる。

本論文は, 開発した保護リレー用LSI及びこれらのLSIを用いて構成したLSI化保護リレーについて述べたが, 今後は, フィールド試験の機会を得て耐ノイズ性の検証を進めたい。

#### 参考文献

- 1) 松沢, 外: デジタル形保護継電装置, 日立評論, 61, 11, 779~784(昭54-11)
- 2) 城戸, 外: CMOSスイッチトキャパシタフィルタの特性評価, 昭和59年電気学会全国大会No. 427, p.507(昭59-3)
- 3) 千葉, 外: オフセット電圧を自動補償するCMOSスイッチトキャパシタ形加算増幅IC, 電気学会論文誌C, 59-C32, 255~262(昭59-10)
- 4) 千葉, 外: CMOSスイッチトキャパシタフィルタIC, 電子通信学会技術研究報告, CAS85-106, 47~54(昭60-11)