

微細化プロセス技術

Scaled Devices and Process Technology

VLSIを支えるプロセス デバイス技術は、既に微細CMOSが中心となっている。最近では更に、デザインオートメーションを容易にする多層配線、不揮発性メモリ、高速化に有利なBi-CMOSなどを微細CMOSに付け加える要求が強い。

本論文では、これらのニーズにこたえる日立製作所の微細化プロセス技術、すなわちHi-CMOS技術とこれを基盤とするEPROM、EEPROM内蔵技術、更にHi-BiCMOS技術への展開について述べる。これらの技術は、デザインルール、基本素子特性及びプロセスフローの点で全体として整合性のある技術となっている。

目黒 怜*
池田隆英**
酒井芳男***
門馬直弘****

Satoshi Meguro
Takahide Ikeda
Yoshio Sakai
Naohiro Momma

1 緒 言

VLSIの機能、性能の進歩は、多くのプロセス面での改良、進歩に支えられている。この最大のものが微細化であり、大規模集積化が可能となるとともに、スケーリング理論に沿った高性能化も実現される。大規模集積化に伴って、消費電力の増大によるVLSIの温度上昇が問題となり、また人手設計も困難となる。前者は低消費電力を特徴とするCMOS (Complementary Metal Oxide Semiconductor) 化により、後者はアルミニウム 2 層配線とDA (Design Automation) 化によって解決される。これらの要求に対処するため、高集積化に適したHi-CMOS (High Performance CMOS) 技術を確立し¹⁾、この2層配線化とスケールダウンによる微細化を進めてきた。

マイクロコンピュータ用などのVLSIでは、EPROM (Erasable and Programmable Read Only Memory) や、EEPROM (Electrically Erasable and Programmable ROM) などの不揮発性メモリを上記微細CMOSに取り込む要求がある。このため、微細で高速プログラミング可能なフローティングゲート形EPROMセル²⁾、トライゲート形MNOS (Metal Nitride Oxide Semiconductor) 構造のEEPROMセルを開発し³⁾、Hi-CMOSと整合性のあるプロセスとして実用化した。

一方、超高速バイポーラLSIの分野でも、大規模集積化に伴って低消費電力化が必要となってきた。このため、バイポーラとCMOSを組み合わせるHi-BiCMOS (High Performance Bipolar CMOS) 技術を開発し⁴⁾、低消費電力を保ったままVLSIの超高速化を実現した。Hi-CMOSとの整合性を保っており、今までのHi-CMOS VLSIの超高速化を実現する技術として、幅広い応用展開を進めている。

本論文では、広範囲なVLSIのニーズを満足できるこれらの微細化プロセス全体について述べる。

2 Hi-CMOSのスケーリングと2層配線

R. H. Dennard⁵⁾らによって提案された電界一定のスケーリング (比例縮小) を表 1 に示す。空乏層厚さまで含めた素子の各部の寸法と印加電圧を比例的に $\frac{1}{K}$ に縮小することによって素子内部電界を一定に保つというものである。よく知られているように、集積密度は K^2 倍、動作速度は K 倍となるが、配線部遅延は改善されない。

表 1 に比較して示したが、Hi-CMOSのスケーリングでは電圧一定であるから、素子の内部電界は K 倍となってしまう。これに伴って、実際に問題となるのがホットキャリアによるMOSトランジスタの劣化⁶⁾である。MOSトランジスタのドレーン部高電界領域で加速された電子・正孔が、ゲート酸化膜に注入され、長期的に劣化をひき起こす現象である。対策としてDD (Double diffused Drain) 構造などドレーン部N形不純

表 1 Hi-CMOSのスケーリングとR.H.Dennard理論の比較 電圧一定でもキャリアの速度飽和などの影響で電流は増加しない。配線の時定数も、フリンジ容量などの増加で大きくなってしまう。

素 子 構 造		R. H. Dennard	Hi-CMOS
MOS トラン ジスタ 部	ゲート膜厚, チャネル長, チャネル幅	$1/K$	$1/K$
	チャネル部不純物濃度	K	K
	電圧 V	$1/K$	1
	電流 I	$1/K$	~ 1
	容量 C	$1/K$	$1/K$
	遅延 CV/I	$1/K$	$1/K$
	消費電力 VI	$1/K^2$	~ 1
配 線 部	配線長 L , 配線幅 W	$1/K$	$1/K$
	配線膜厚 t	$1/K$	1
	絶縁膜厚	$1/K$	1
	配線抵抗 R	K	1
	時定数 CR	1	$1/K \sim 1/K^2$

注：略語説明 Hi-CMOS (High Performance Complementary Metal Oxide Semiconductor)

* 日立製作所武蔵工場 ** 日立製作所デバイス開発センタ *** 日立製作所中央研究所 **** 日立製作所日立研究所 理学博士

物濃度分布をなだらかにする構造として電界を緩和している。この結果として図1に示すように、現在開発中のHi-CMOS IV⁷⁾まで含めて $K \approx \frac{3}{2}$ のスケーリングが可能となっている。

配線部分については、配線層、絶縁層共に膜厚をほぼ一定に保つことによって、配線抵抗、配線容量の増大を緩和した。この方法は、R.H. Dennardのスケーリングに比べてプロセスの難度は高くなるが、縮小投影露光、異方性ドライエッチ、更に素子平坦化などの技術の進歩により可能となったものである。更に高速化の要求の強いVLSIでは、ポリシリコンのゲート電極配線を高融点金属のポリサイドとして低抵抗化する、低抵抗のアルミニウム配線を2層化する、といった対策をとった。前者はメモリなど長いゲート電極配線のあるデバイス、後者はロジックなど配線領域の大きいデバイスで効果が大きい。特にアルミニウム2層配線は、低抵抗配線が交差できるため配線部のDAが容易となる。

3 不揮発性メモリ技術

不揮発性メモリ技術では、微細なCMOSデバイスの中で10～20Vの高電圧を扱う高耐圧素子、この高電圧により絶縁膜中のポテンシャルウェルに電荷を出し入れするメモリセル、の二つの技術が必要である。ここでは後者のメモリセル技術について述べる。

3.1 EPROMセル

EPROMセルのスケーリングは電圧一定ではない。プログラム時ゲート電圧は、ゲート酸化膜とポリSi層間酸化膜の電界が微増程度で収まるように縮小する。これらの酸化膜の欠陥に関係する、データ保持及びプログラミングの信頼度を優先するからである。したがって、プログラムの高速化にはドレーン部不純物分布改良による高電界化が必要である。ところが、ドレーン部の高電界化はプログラム時に基板に流れ込む正孔を増加させる。更に、これは寄生するNPNバイポーラ効果によりドレーン耐圧を低下させ、微細CMOSのラッチアップを

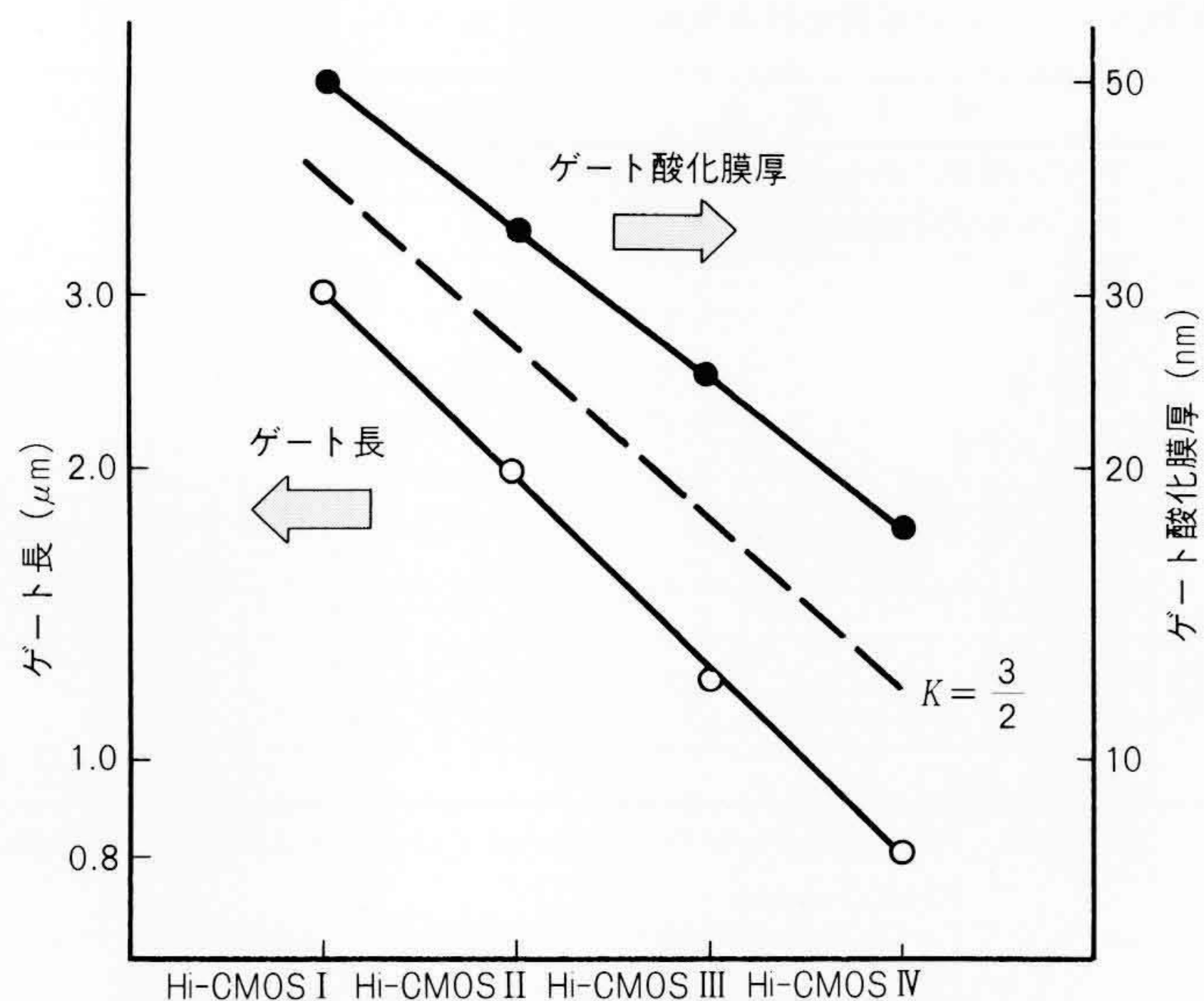


図1 Hi-CMOS MOSトランジスタのスケーリング NMOS(N-Channel MOS), PMOS(P-Channel MOS)共に世代ごとに約 $\frac{3}{2}$ ($K = \frac{3}{2}$)に比例縮小している。

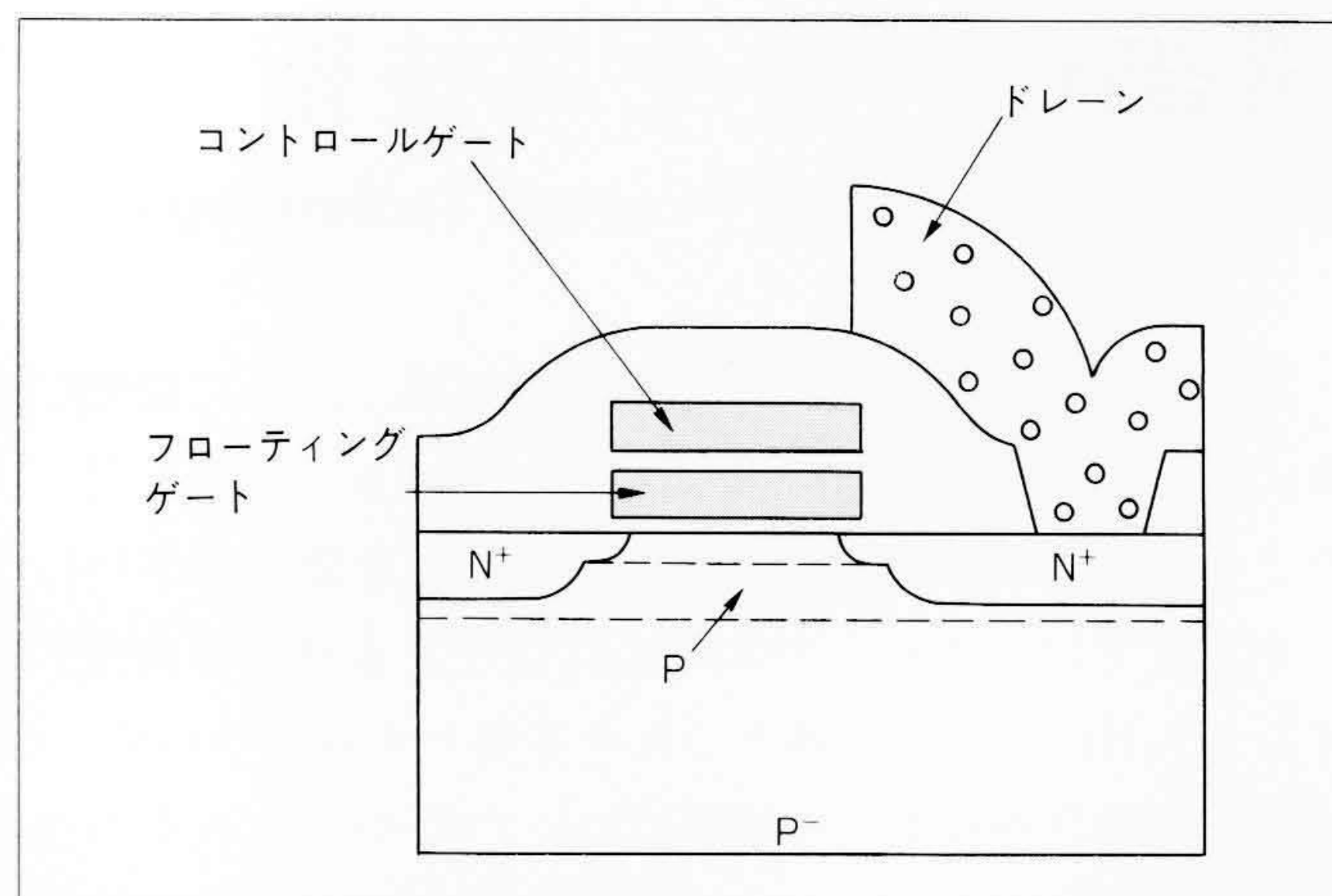
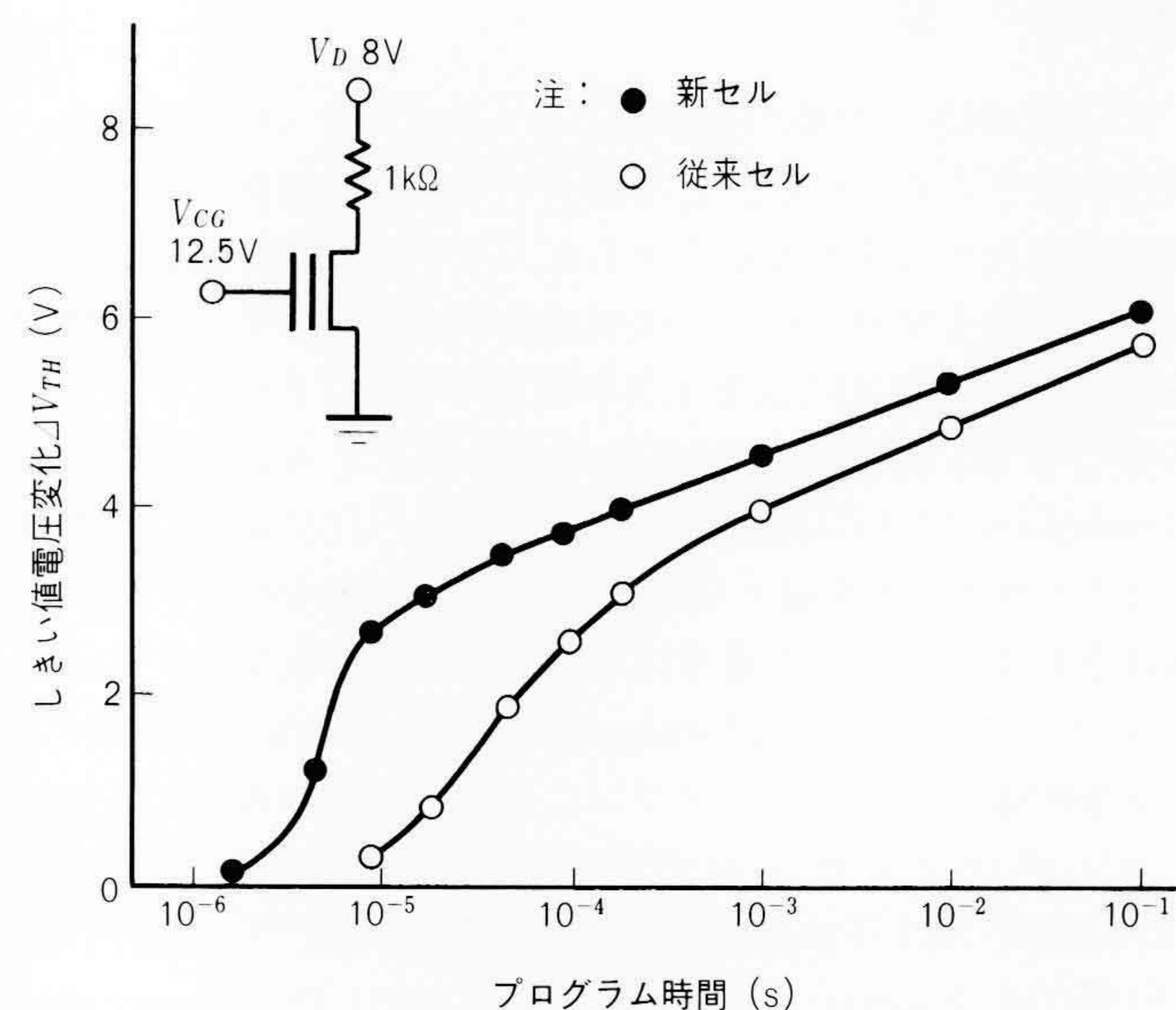


図2 微細CMOS用EPROM(Erasable and Programmable Read Only Memory)セル 深いチャネルドーパ層と2段構造の浅いドレーンの組合せで、ドレーン耐圧を高く保ったまま高速プログラミングができる。



注：略語説明 V_{CG} (コントロールゲート電圧), V_D (ドレーン電圧)

図3 新構造セルのプログラム特性 しきい値電圧変化 $\Delta V_{TH} = 3V$ となるプログラム時間は、従来セルの約 $\frac{1}{10}$ にできる。

引き起こす原因となる。これを防止するためには、ドレーン耐圧を高くする必要がある。

これらの矛盾した要求である高速プログラミングと高いドレーン耐圧を両立させるため、図2に示すEPROMセルを開発した。深いチャネルドーパと2段構造の浅いドレーンが特徴である。この両者の組合せにより、しきい値電圧を一定に保ったままドレーン部電界を大きくでき、図3に示すように酸化膜厚の同じ従来構造と比較して、約10倍のプログラミング高速化を実現した。図4にはゲート電圧をプログラム状態として、ドレーン電圧を掃引したときの電流特性を示した。従来構造と比べてドレーン電流減少点に対応するプログラム開始電圧が小さく、かつドレーン耐圧が大きくなっていることが分かる。ドレーン耐圧向上はソース(エミッタ)を深いチャネルドーパ層で囲むことによって、寄生NPNトランジスタの増幅率を小さくできたからである。

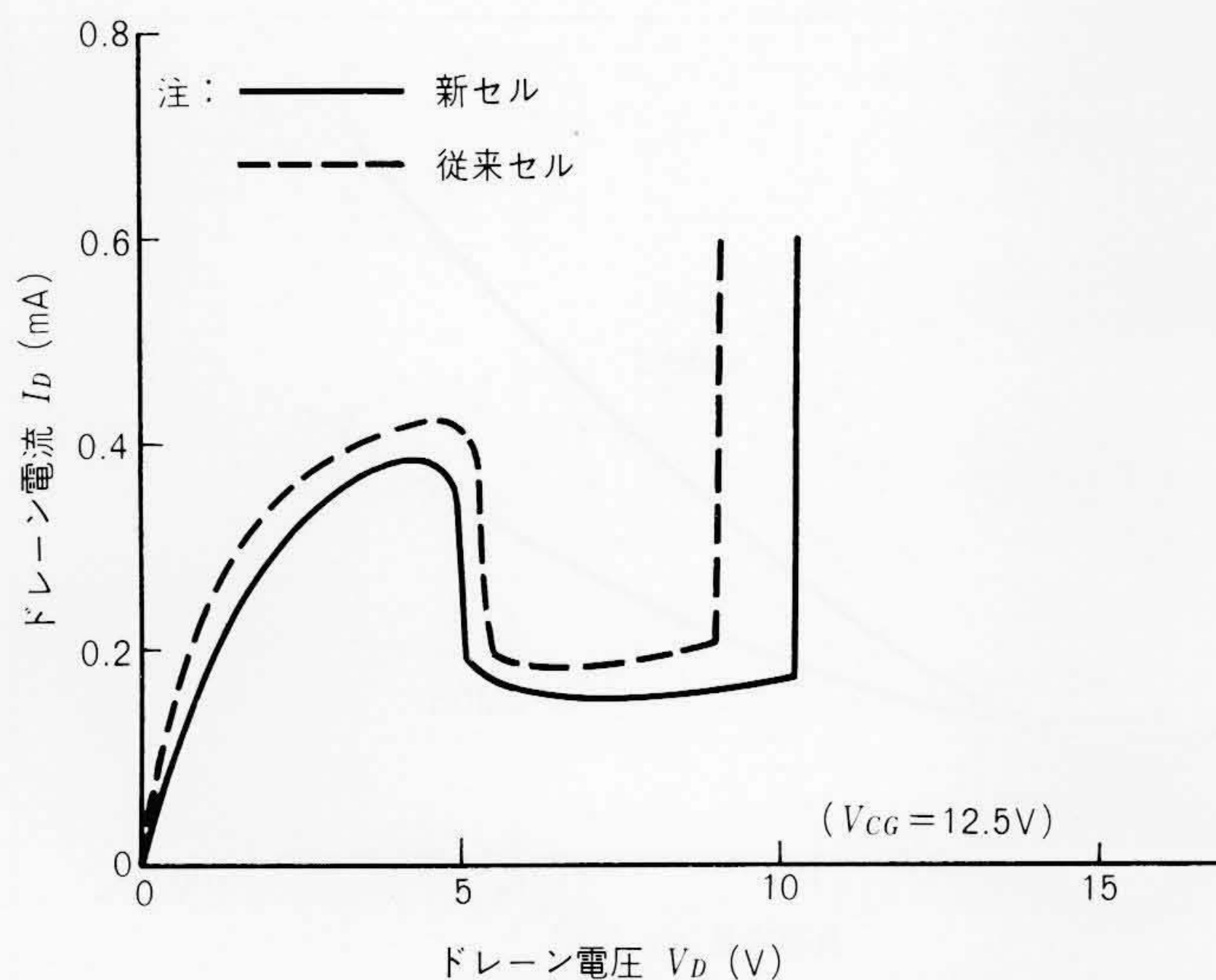


図4 EPROMドレイン電圧掃引特性 新構造セルでは、ドレイン電流減少点に対応するプログラム開始電圧が小さいにもかかわらず耐圧が高い。

3.2 EEPROMセル

MNOS (Metal Nitride Oxide Semiconductor)構造のEEPROMセルでは、ナイトライド膜とUTO (Ultra Thin Oxide)膜界面付近の孤立したトラップをポテンシャルウェルとして用いる。このためフローティングゲート構造と異なり、酸化膜ピンホールに強いという特徴を持っている。プログラミング、消去のメカニズム検討結果から、このスケールリングは表2に示すように行う。ナイトライド膜の電界が一定となるように縮小すると、プログラム時間はUTO膜厚に依存せず一定となる。集積度が K^2 倍となっても全プログラム時間を一定とするには、ナイトライド膜電界を少し大きくするだけでよい。したがって、消去時間一定の場合、UTO膜厚を縮小する必要がないため記憶保持特性の低下がなく、ナイトライド膜はまだ厚くて問題はない。

微細CMOSの中にMNOS素子を取り込むために、図5に示すトライゲート形セルを採用した。この方式によりアルミニウム配線は1本/セルとなり、高密度化できる。選択ゲート、分離ゲートMOSトランジスタにも高電圧が印加されるのでゲ

表2 MNOSのスケールリング プログラム速度は、ナイトライド膜の電界に支配される。UTOの膜厚が一定でよいので、記憶保持も一定とできる。

MNOS素子パラメータ		電界一定	全プログラム時間一定
電圧	プログラム電圧	$1/K$	$1/K + \alpha$
素子構造	ナイトライド膜厚	$1/K$	$1/K$
	UTO膜厚	~ 1	~ 1
素子特性	記憶保持時間	~ 1	~ 1
	プログラム時間/ビット	1	$1/K^2$
	全プログラム時間	K^2	1

注：略語説明 MNOS(Metal Nitride Oxide Semiconductor)
UTO(Ultra Thin Oxide)

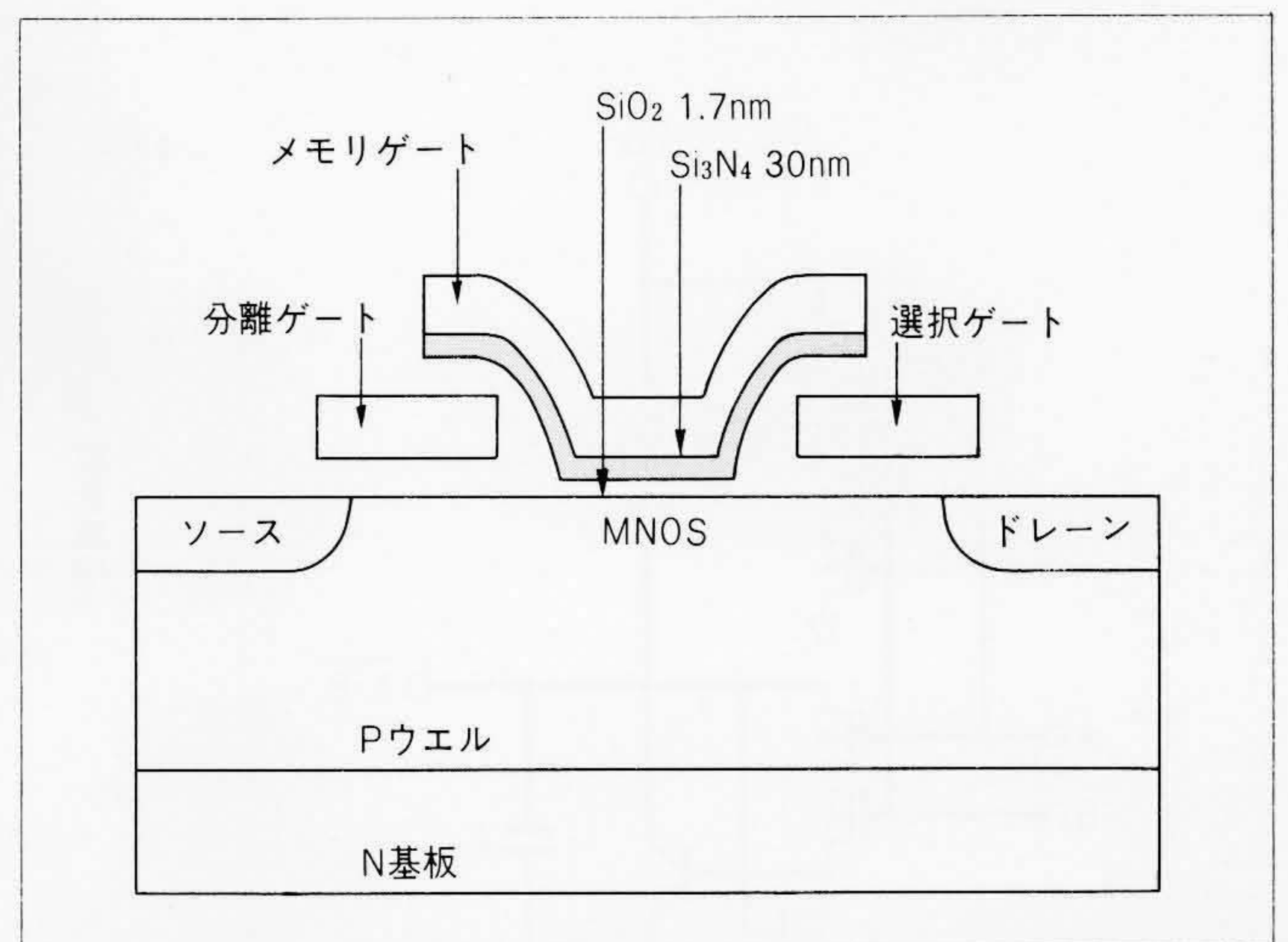


図5 トライゲート形MNOSセル トライゲート構造として高集積密度を実現した。スケールリングの結果、プログラム・消去は16Vとできる。

ート酸化膜は厚くしてあり、周辺素子とは独立に最適化している。MNOS部のチャネル長が上記選択ゲートと分離ゲートの間隔で決まる積層構造であることも高密度化に寄与する。

4 Hi-BiCMOS技術

Hi-BiCMOS技術は、VLSIの中心技術であるCMOS技術を、バイポーラLSIに匹敵する超高速領域まで広げることを目的としている。これを実現する技術として、次の2点がある。

- (1) Bi-CMOS高速論理回路技術⁹⁾
- (2) 高速で微細なバイポーラトランジスタをCMOSと同一基板上に形成する技術^{10),11)}

まず、(1)について簡単に説明し、要求されるバイポーラトランジスタの性能を述べる。図6に基本回路と遅延時間の負荷容量依存性を示す。CMOSゲートとバイポーラトランジスタのトータムポールバッファとを組み合わせた回路で、CMOSに比べ高い負荷駆動能力を持っている。また、CMOS回路と同様に相補動作をするため定常電流が流れず、CMOS並みの低消費電力特性を持っている。

ところで、この回路の高速化のためには、遮断周波数 f_T の高いバイポーラトランジスタが要求される。また、基本回路内でCMOSとバイポーラトランジスタとを組み合わせるためには、MOSFET(MOS電界効果トランジスタ)に匹敵する微細な面積であることが必要である。Bi-CMOSプロセスとしては、このようなバイポーラトランジスタを、CMOSと同一基板上に、工程増が少なく、かつCMOSとの整合性を保ちながら形成することが必要である。

4.1 素子構造と製作プロセス

Hi-BiCMOSプロセスは、2章で述べたHi-CMOSプロセスをベースにし、これにバイポーラトランジスタ形成工程を加えたプロセスになっている。図7に素子の断面構造を、図8に製作プロセスを示す。まず、構造の主な特徴について述べる。

- (1) $N^+ \cdot P^+$ 両埋込みウェル

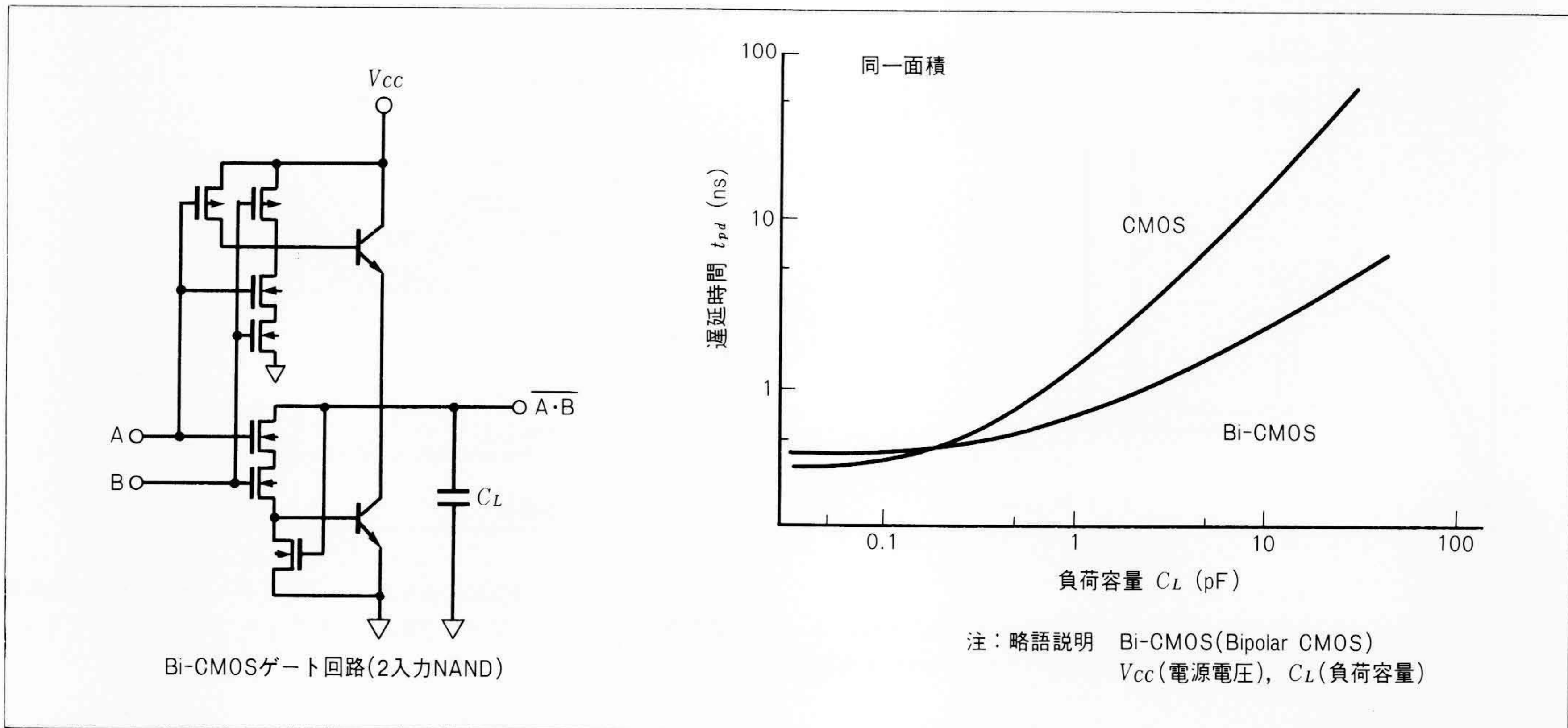


図6 Bi-CMOSゲート回路とその遅延時間の負荷容量依存性 Bi-CMOS回路はCMOS回路に比べ、遅延時間の負荷容量依存性を約 $\frac{1}{5}$ にできる。

バイポーラとMOSトランジスタ共通に使えるウェルとして、埋込み層を持つウェル構造を用いている。N⁺埋込み層はバイポーラのコレクタとPMOS(P-Channel MOSFET)のウェルに、P⁺埋込み層はN⁺埋込み層間の分離とNMOS(N-Channel MOSFET)のウェルに用いる。

(2) 選択酸化膜とP⁺埋込み層による素子分離

CMOSの素子分離用の選択酸化膜(LOCOS)と、P⁺埋込み層の組み合わせによって、バイポーラトランジスタの分離幅を10 μ m以下にすることが可能である。

(3) 多結晶シリコンエミッタ

高速バイポーラトランジスタの基本技術となっている多結晶シリコンエミッタを、CMOSプロセスで用いている多結晶シリコン層を用いて形成する。最小加工寸法のエミッタ幅と浅い接合の高性能バイポーラトランジスタが可能になる。

次に製作プロセスについて述べる。図8の左側は、2層多結晶シリコン層を用いた標準のCMOSプロセスである。また右側は、バイポーラトランジスタ形成のために付加する工程

である。まず、自己整合法によりN⁺・P⁺埋込み層を形成し、その上にエピタキシャル層を形成する。この後、CMOSプロセスに入る。高温、長時間のウェル拡散工程を省略し、埋込み層からの不純物のわき上がりを抑える。MOSFETのゲート形成後、コレクタ、ベースのイオン打込工程を付け加える。多結晶シリコンエミッタは、通常CMOS・SRAM(Static Random Access Memory)のメモリセルに用いる高抵抗形成用の2層目多結晶シリコン層を用いて形成する。したがって、エミッタ形成のための追加工程は必要としない。

以上述べたように、標準のCMOS工程に四つの主要工程を付け加えることによって、Hi-BiCMOS構造を実現できる。全工程から見た追加工程の割合は20%以下である。

4.2 素子特性

Hi-BiCMOS構造の基礎となっているのは、N⁺・P⁺埋込みウェルである。このウェルの不純物分布と素子特性との関係を次に述べる。図9に、1.3 μ mプロセスでのウェルの不純物分布の例を示す。通常のCMOSのウェルはほぼ一定の濃度で

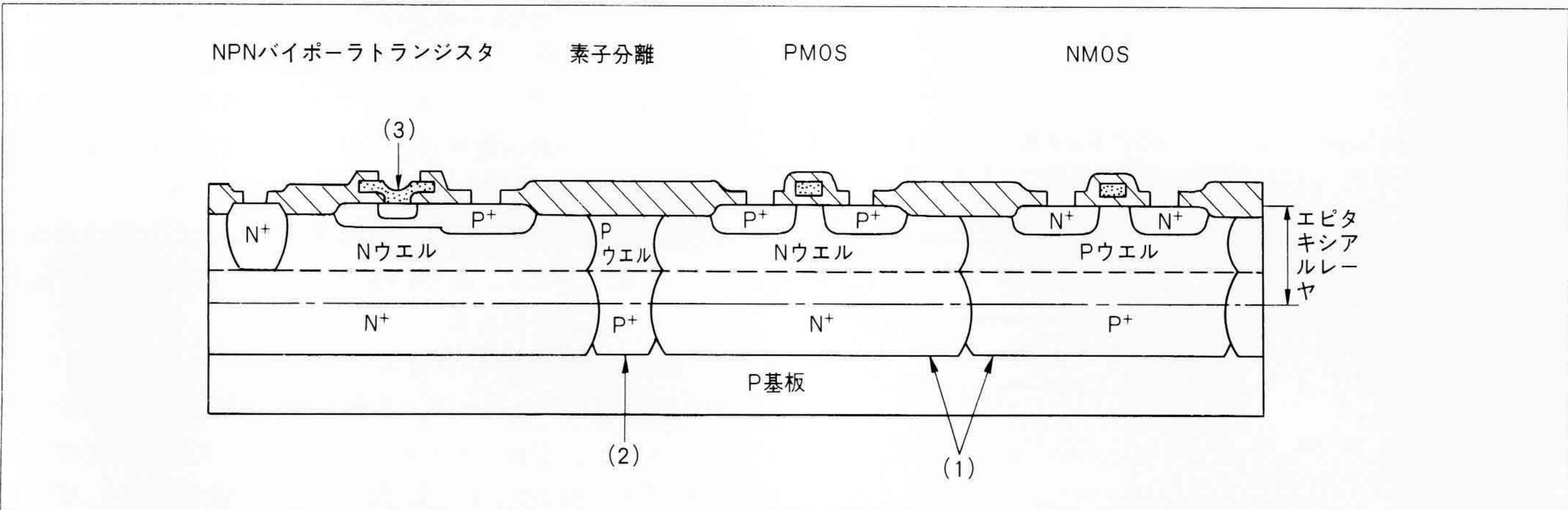


図7 Hi-BiCMOS素子の断面構造 主な特徴は次の3点である。(1) N⁺・P⁺両埋込みウェル、(2) 選択酸化膜とP⁺埋込み層による素子分離、(3) 多結晶シリコンエミッタ

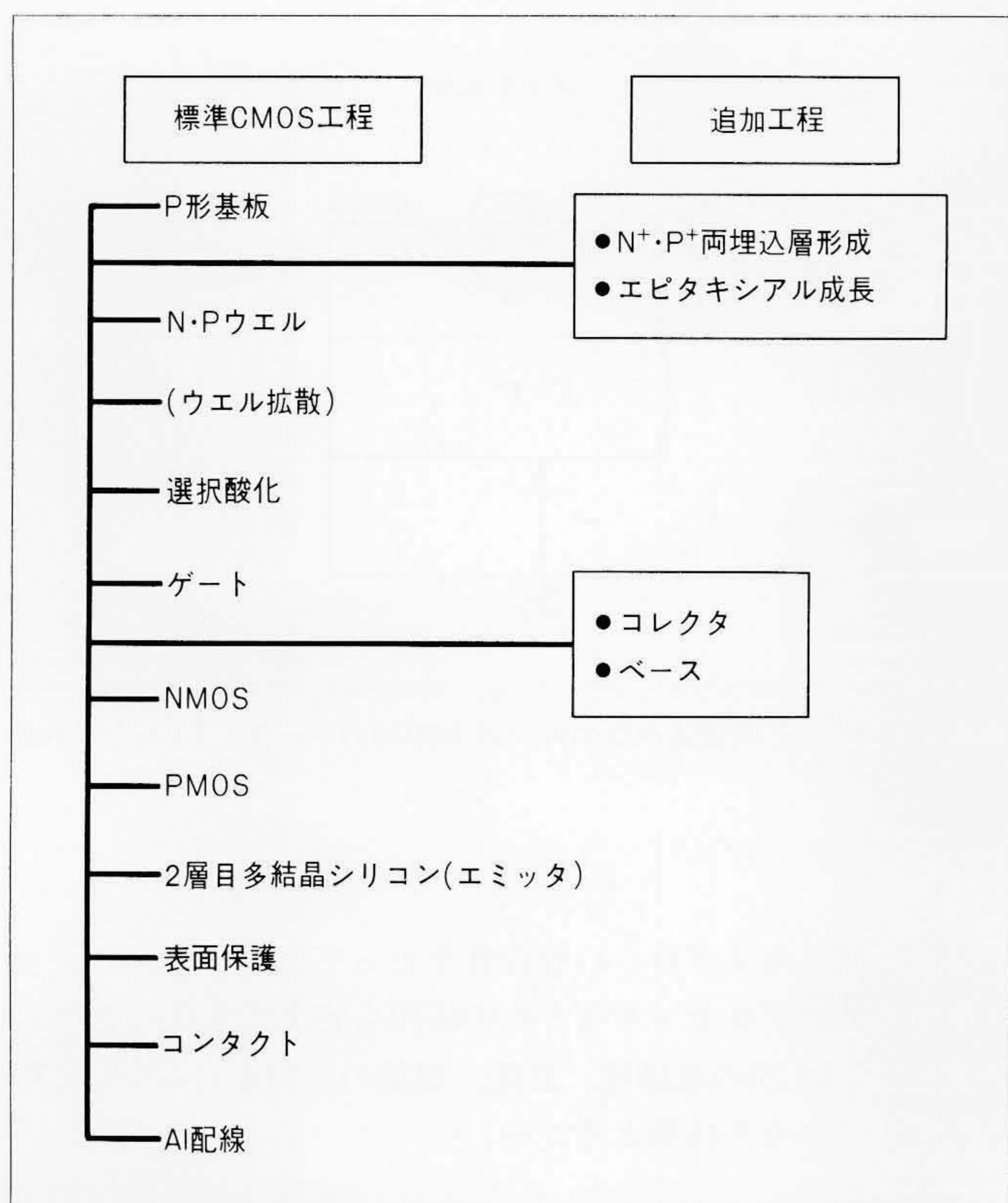


図8 Hi-BiCMOSの製作工程 標準CMOS工程に4工程を追加した。エミッタは2層目多結晶シリコン工程を用いて形成する。

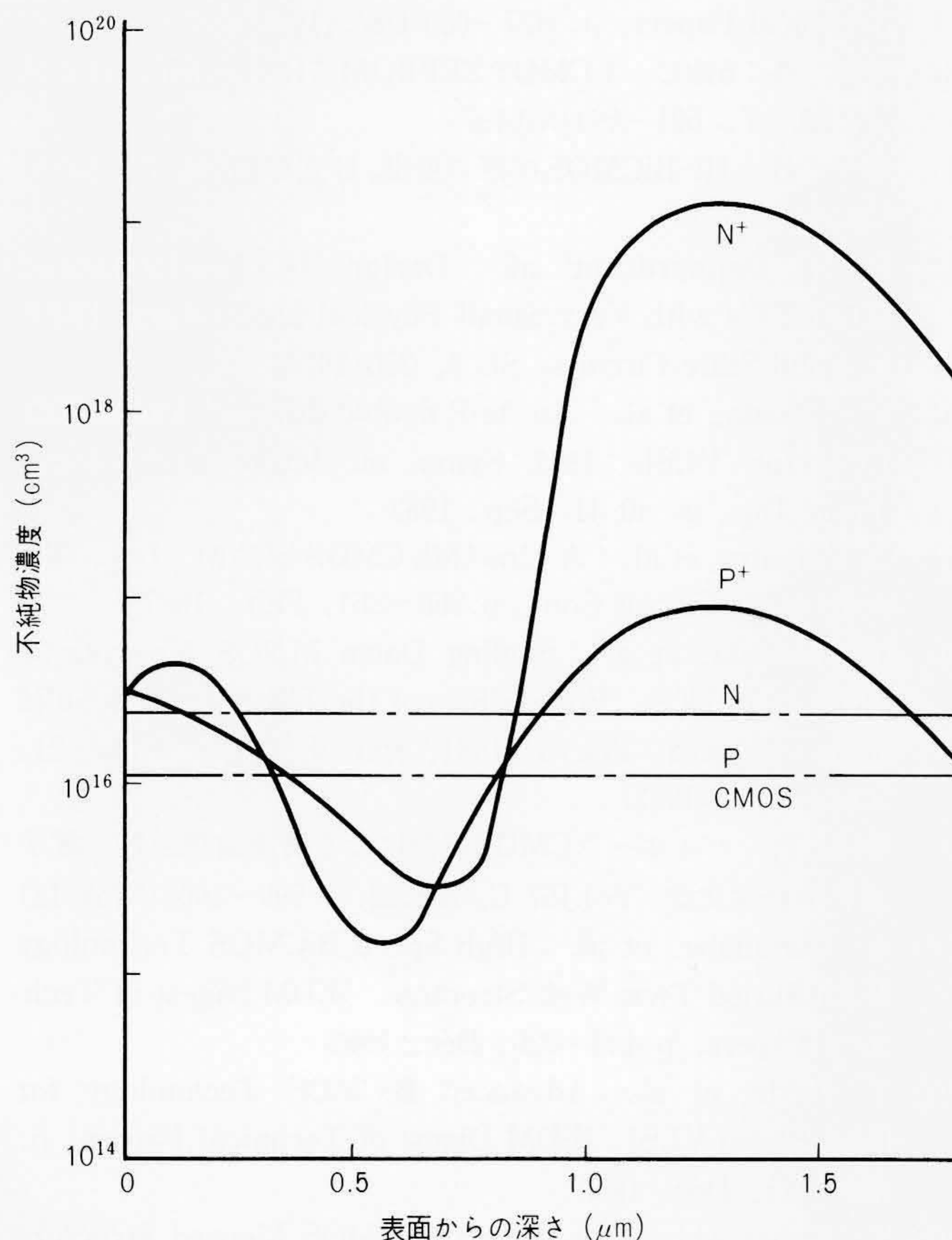


図9 N^+ ・ P^+ 両埋込みウェルの不純物濃度分布（計算値） CMOSのウェルはほぼ一定濃度であるのに対し、低濃度領域を持つ。

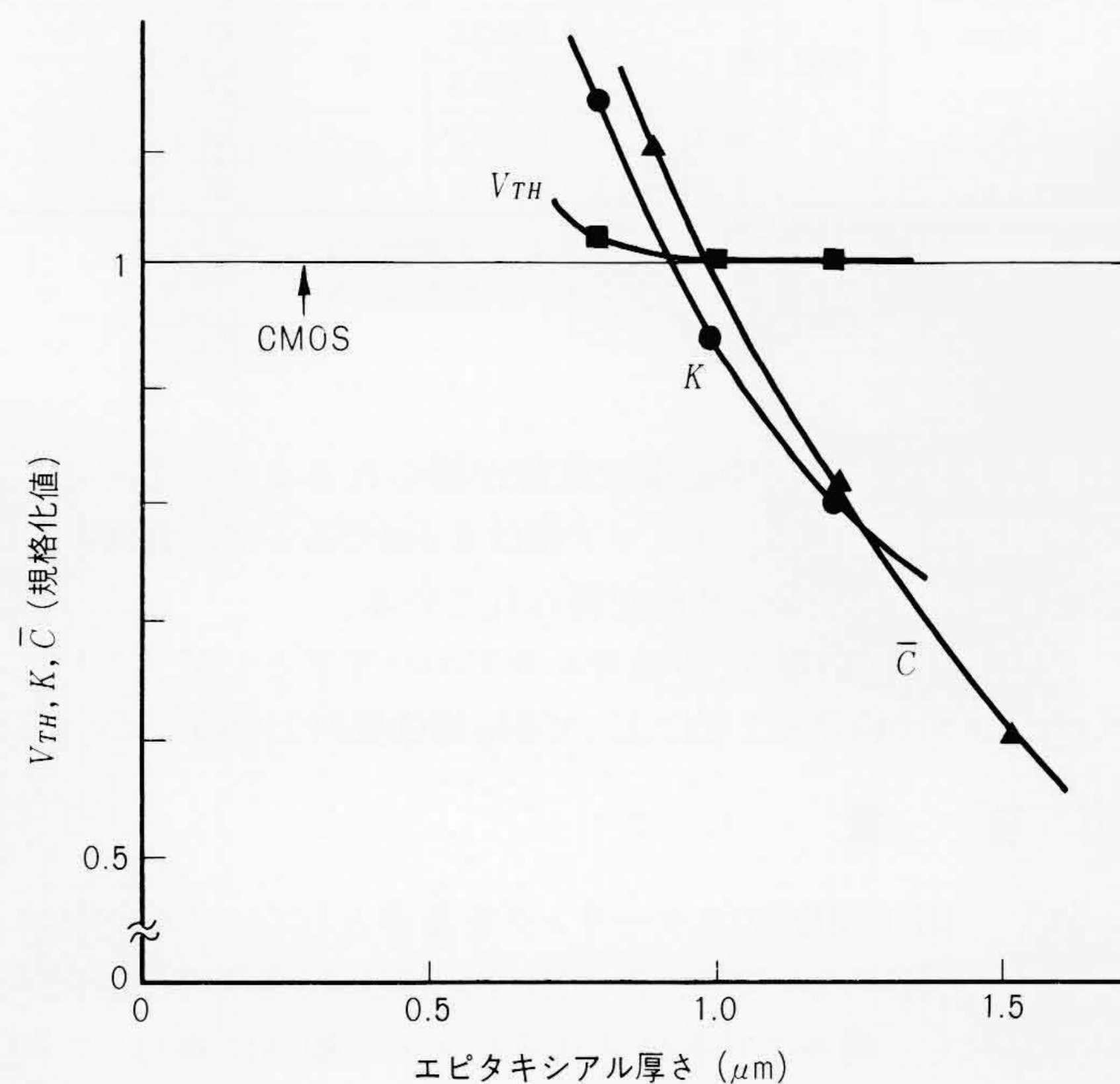
あるのに対し、埋込み層と表面層との間に低濃度の領域を持っている。エピタキシャル層の厚さが、不純物分布の主要なパラメータである。

図10は、NMOSの主要特性とエピタキシャル層の厚さの関係を示している。Hi-CMOSの特性を基準にし、しきい値電圧 V_{TH} 、ソース、ドレインの平均接合容量 $\bar{C}$ 、基板効果定数 K を示している。エピタキシャル層の厚さを $1.0\mu\text{m}$ 程度まで薄くしても、これらの特性はCMOSの値に比べて劣化しない。PMOSの特性についても同様の結果が得られている。このように薄いエピタキシャル層を使えるため、 $1.3\mu\text{m}$ 技術によるバイポーラトランジスタでは、遮断周波数 6GHz が得られている。

表3に、Hi-BiCMOSプロセスによる素子の主な構造と特性をまとめて示す。バイポーラトランジスタの性能は、同じ加工技術のバイポーラLSIの素子性能に比べ、素子分離幅、すなわち素子面積がやや大きい点を除き、ほぼ同等の性能を持っている。また、MOSFETの特性は、Hi-CMOSの特性と同等であり、設計ルールも含めてHi-CMOSとの完全な整合性が保たれている。

4.3 DRAMへの応用

前節まで述べてきた技術は、CMOS・SRAM (Static Random Access Memory) をベースにしたものであり、既に高速のSRAMやゲートアレイに適用されている。本技術を、高速のDRAM (Dynamic Random Access Memory) にも応用する試みが行われている¹²⁾。断面構造を図11に示す。 N^+ ・ P^+ 両埋込みウェル形成、コレクタ、ベースイオン打込み工程は、図8の工程と同様に行う。エミッタの形成は、NMOSのソース・ドレイン形成と同時に行う。DRAMのメモリセルは、SRAMのメモリセルと異なり、2層目の多結晶シリコン層をそのままエミッタに利用できる構造になっていない。工程増



注：略語説明

V_{TH} （しきい値電圧）、 K （基板効果定数）、 $\bar{C}$ （平均接合容量）

図10 NMOS特性のエピタキシャル厚さ依存性 縦軸はCMOSの値で規格化した。エピタキシャル厚さを $1\mu\text{m}$ 程度まで薄くできる。

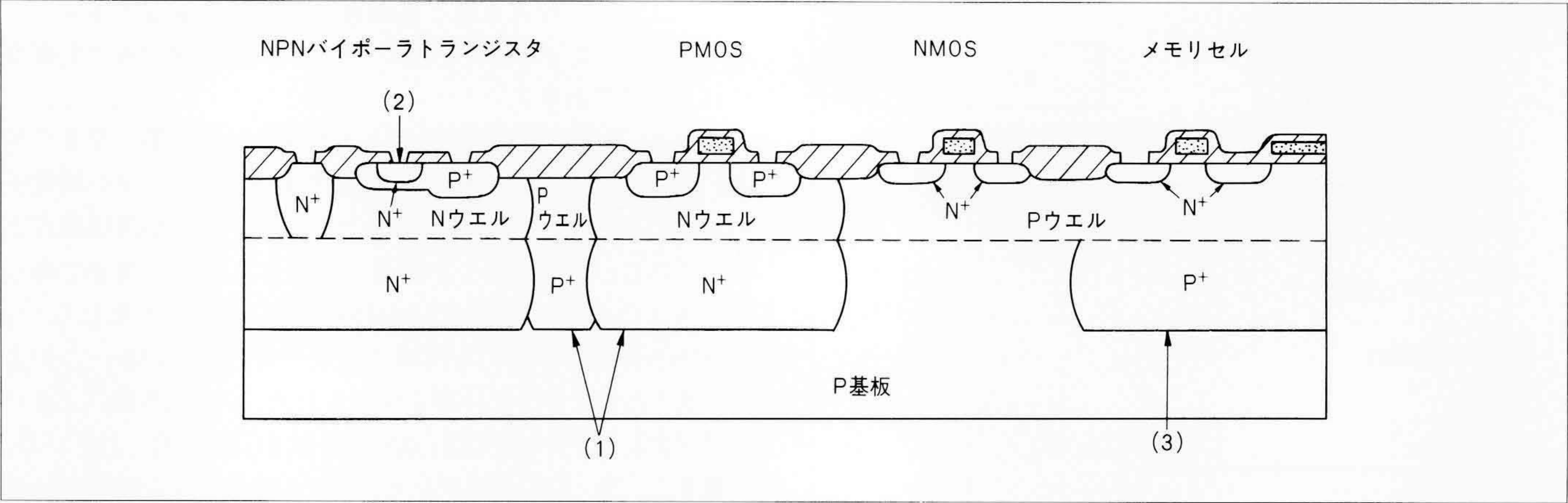


図11 Hi-BiCMOS DRAM試作品の断面構造 主な特徴は、次の3点である。(1) N⁺・P⁺両埋込みウェル、(2) NMOSのソース・ドレインと共通化したN⁺エミッタ、(3) P⁺埋込み層による少数キャリアのバリア

表3 Hi-BiCMOS素子の主な構造と特性 バイポーラトランジスタは素子分離幅を除き、通常の高速バイポーラトランジスタと同等、MOSFETはHi-CMOSと同等の特性である。

分 類		項 目		単位	2 μm	1.3 μm
NPN バイポーラ トランジスタ	構造	最 小 エ ミ ッ タ		μm^2	2 $\times$ 3	1 $\times$ 2
		エ ミ ッ タ 深 さ		μm	0.25	0.15
		素 子 分 離 幅		μm	10	7.5
		素 子 面 積		μm^2	500	260
	特性	電 流 増 幅 率		—	100	100
		耐 圧	BV_{CEO}	V	9	8
			BV_{CBO}	V	25	17
遮 断 周 波 数		GHz	4	6		
MOSFET (ゲート幅 15 μm)	構造	ゲ ー ト 酸 化 膜		nm	35	25
		ゲ ー ト 長		μm	2.0	1.2
		接 合 深 さ		μm	0.4	0.3
	特性	し き い 値 電 圧	NMOS	V	0.55	0.55
			PMOS		−0.55	−0.55
		耐 圧	NMOS	V	15	10
			PMOS		14	14
		相 互 コ ン ダ ク タ ン ス	NMOS	$\mu\text{S/V}$	55	80
PMOS	18		27			

注：略語説明 BV_{CEO} (コレクタ～エミッタ間耐圧)
 BV_{CBO} (コレクタ～ベース間耐圧)

を極力少なくし、かつ必要な性能が得られるように上記エミッタ構造を採用した。エミッタ幅は3 μm であるが、遮断周波数は5.2GHzと十分な性能が得られている。

また、P⁺埋込み層を、少数キャリアのバリアとしてメモリセル領域の下に設けることによって耐 α 線強度向上を図っている。

5 結 言

以上、Hi-CMOSのスケーリングを基本として、2層配線技術、不揮発性メモリ技術、更にHi-BiCMOS技術への展開について述べた。個々の技術はそれぞれメモリ製品に適用して開発を行い、量産技術として習熟させ、信頼性確認を行っている。先頭製品としてメモリを選ぶことによって欠陥や故障の解析が容易となり、技術の習熟がスムーズに行える。同時に、これらの技術は微細化の世代ごとにデザインルール、基本素

子特性、プロセスフローの整合性をとってあるので、ロジックやマイクロプロセッサなどへの応用も容易である。これら全体としてVLSIの集積度、性能、機能の広範囲なニーズを満足できるプロセス技術と考える。

参考文献

- 1) 目黒, 外: Hi-CMOS技術の展開, 日立評論, **67**, 8, 583~586 (昭60-8)
- 2) K. Komori, et al.: A High Performance Memory Cell Technology for Mega Bit EPROMs, IEDM Digest of Technical Papers, p. 627~630 Dec., 1985
- 3) 神垣, 外: 64kビットCMOS EEPROM "HN58C65", 日立評論, **68**, 7, 601~604 (昭61-7)
- 4) 増田, 外: Hi-BiCMOS技術の展開, 日立評論, **68**, 7, 533~538 (昭61-7)
- 5) R. H. Dennard, et al.: Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions, IEEE J. Solid State Circuits, SC-9, 256 (1974)
- 6) E. Takeda, et al.: An As-P double diffused drain MOSFET for VLSIs, 1982 Symp. on VLSI Technology, Tech. Dig., p. 40-41, Sep., 1982
- 7) O. Minato, et al.: A 42ns 1Mb CMOS SRAM, Dig. Int. Solid State Circuit Conf., p.260~261, Feb., 1987
- 8) Y. Yatsuda, et al.: Scaling Down MNOS Nonvolatile Memory Devices, Proceedings of the 13th Conf. on Solid State Devices, Tokyo, 1981, Jpn. J. Appl. Phys., 21, Suppl. 21-1 (1982)
- 9) 増田, 外: バイポーラCMOS複合による高速論理回路, 電子通信学会論文誌, Vol.J67-C, No.12, p.999~1005 (昭59-12)
- 10) A. Watanabe, et al.: High Speed BiCMOS Technology With Buried Twin Well Structure, IEDM Digest of Technical Papers, p.423~426, Dec., 1985
- 11) T. Ikeda, et al.: Advanced BiCMOS Technology for High Speed VLSI, IEDM Digest of Technical Papers, p. 408~411, Dec., 1986
- 12) Y. Kobayashi, et al.: Bipolar CMOS Merged Structure for High Speed Mbit DRAM, IEDM Digest of Technical Papers, p.802~804, Dec., 1986