

パッケージ技術

Package Technology

情報産業用LSI素子の高機能化・大容量化・高信頼化に対し、パッケージの重要性が増している。メモリ素子は、メガビット時代を迎え、パッケージ技術の成否が製品の使命を決するまでになっている。構造、材料、プロセスいずれも従来技術の延長では適応できなくなっており、よりしっかりした要素技術が求められている。日立製作所では、日立グループ内の豊富な技術力を結集し、信頼性の高い1MビットDRAMプラスチック版を開発し量産化した。

パッケージ本体を一定とし、リードピンピッチを縮小化し多ピン化するQFPをASIC時代の主パッケージと位置づけ、リードピッチ0.65mmの80ピン(QFP1414)と168ピン(QFP2828)を開発した。

村上 元* *Gen Murakami*
 西 邦彦* *Kunihiko Nishi*
 河合末男** *Sueo Kawai*
 尾形正次*** *Masatsugu Ogata*
 金田愛三**** *Aizô Kaneda*

1 緒 言

近年の電子機器は、高機能化・高容量化・小形化の傾向にあり、使用される半導体部品は、多様化・多ピン化・小形化・面実装化へと進展してきている。メモリ系デバイスは、より高密度実装化へ、マイクロコンピュータ ゲートアレイ系デバイスは、より多ピン化へと進行している。これらのデバイスを収納するパッケージは、LSI素子の大型化とパッケージの小形化という相反するテーマに向かって技術開発が進んでいる。パッケージ技術は、構造の最適化、新材料・新プロセスなどパッケージを支える技術の総合システムとして考えることが要求されている。最近開発されたプラスチックパッケージを中心として、パッケージ新技術の一部について報告する。

2 大容量メモリ用パッケージ技術

2.1 メモリ用パッケージ形状

メモリ用パッケージは、高密度実装化、他社との互換性などを主体として開発される。外形形状(寸法)は、米国のJEDEC (Joint Electron Device Engineering Council: 電子デバイス合同委員会)で討議され決定される。形状には、DIP (Dual Inline Package), ZIP (Zigzag Inline Package)などピン挿入形とSOP (Small Outline Package), SOJ (Small Outline J Leaded Package), LCC (Leadless Chip Carrier)など面実装形がある。1MビットDRAM (Dynamic Random Access Memory)のパッケージ形状見本を図1に示す。パッケージ材質は、セラミック系とプラスチック系があるが、価格の点で後者が主流である。

2.2 プラスチックパッケージ構造体の技術課題

プラスチックパッケージの主な技術課題を図2に示す。LSI素子の高集積化・大型化に伴い、素子ダメージの低減や構成材料(シリコン、リードフレーム、レジン)の応力バランスの

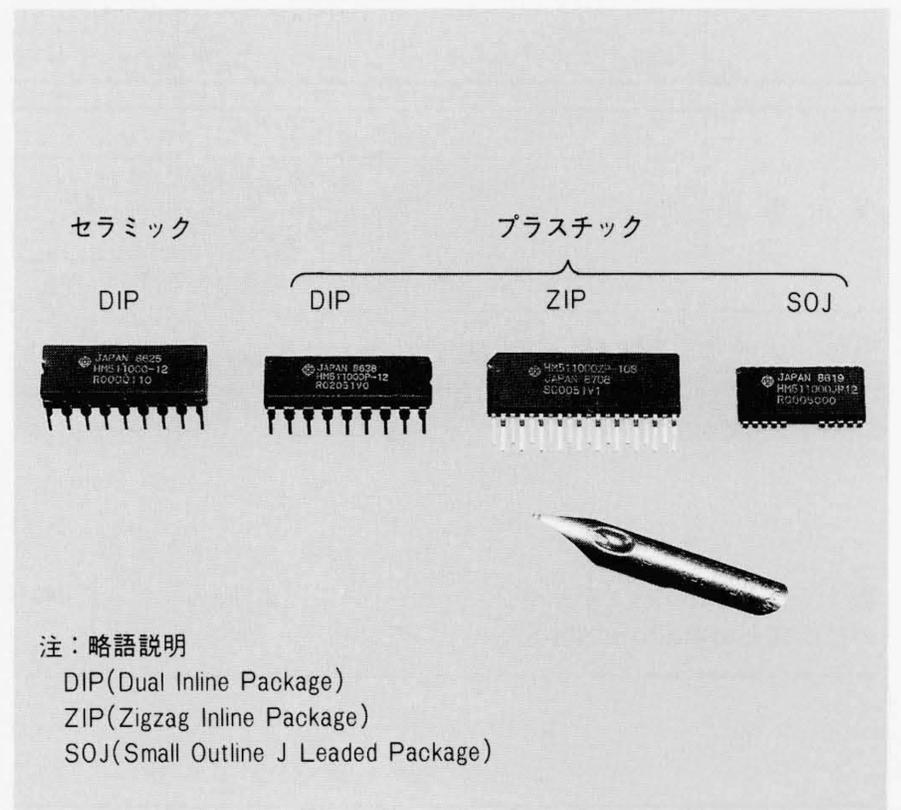


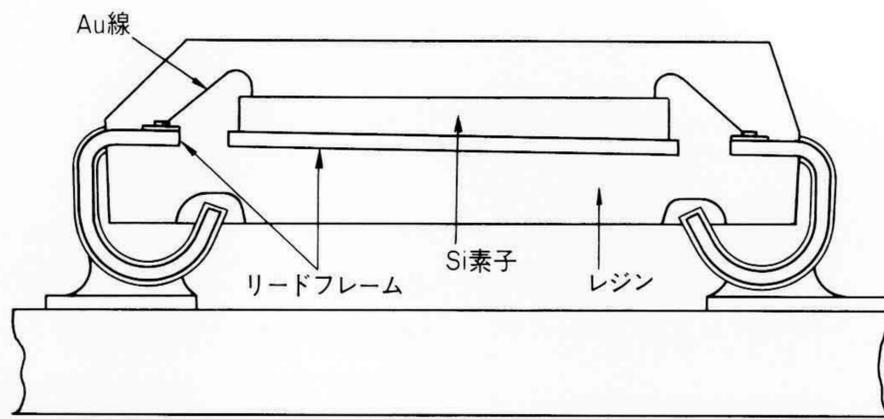
図1 1MビットDRAM(Dynamic Random Access Memory)パッケージ外形 パッケージの外形ニーズが多様化している。

最適化などが重要課題である。応力場を最適化することは、実使用環境で長期間安定に使用するために極めて重要である。加えて面実装パッケージの場合は、はんだ接合の安定化のためリード成形精度向上や、はんだ接合部に生成する金属間化合物組織の挙動解析などが検討項目となる。LSI信頼性の良しあしは、パッケージに左右されることが大きく、実使用環境で起こる問題を想定して技術開発をしていく必要がある。

2.3 DRAM用パッケージの技術変遷

パッケージ開発で最も難しいとされるDRAM用パッケージ

* 日立製作所武蔵工場 ** 日立製作所機械研究所 工学博士 *** 日立製作所日立研究所 **** 日立製作所生産技術研究所 工学博士



課 題		対 応 策
素子ダメージ低減	最適パッケージ構造設計	応力解析シミュレーション
	高接着, 低応力システム	低応力高接着レジンスystem
	不純分, イオンの低減	Cl ⁻ 量, U量など低減
リードフレーム	高接着金属材料	レジン密着性向上
	部分めっき領域縮小化	リードフレームめっき精度向上
	リード成形ストレス低減	成形応力挙動解析
はんだ接合	はんだ付け接合の安定化	リード加工精度向上 リードめっき膜安定化
	はんだ付け部の長期安定化	はんだ接合金挙動解析
	はんだ付け手法の多様化	パッケージ信頼性確保条件検討
使用環境	耐湿性	高接着パッケージ構造
	耐熱性	熱バランス設計 耐熱レジン材料
	耐はんだ熱	はんだ耐熱挙動解析

図2 プラスチックパッケージ構造の主な技術課題 素子の大型化, パッケージの高密度実装化のため, パッケージング技術を支える要素技術の充実が要求されている。

について, 日立製作所が開発してきた技術経緯を表1に示す。パッケージの種類は, 64k時代DIP形だけであったが, 最近, DIP形・ZIP形及びSOJ形の3種類に多様化している。構成材料も次々と新技術が導入されている。

(1) リードフレーム材と仕様

レジン材との熱応力バランスを考慮し, レジン材料に近い膨脹係数を持つ銅合金とした。銅合金は, 素子組立て中の工程作業温度(200~350℃)により発生する表面酸化膜が, 銅素地に対して密着性が不安定である欠点を持つ。これを防止する処理膜として, 銅素地上にスズ・ニッケル(Sn・Ni)合金膜を施す仕様とした。密着性効果を高温・高湿下で調べてみると, 図3に示すように42合金(42%ニッケル)よりも高い効果を確認することができた。また, 素子とリードフレームを金線で接合するが, 接合しやすいようにリードフレームにめっきを施す。

めっき仕様についても材質を金から銀に替え, めっき領域をより少なくする(先端めっき法)ことで, レジンとの密着性改善を図った¹⁾。更に, リードフレームに付着する塩素イオンは, 耐湿信頼性上極めて大きな影響を及ぼすので, 重要な管理ポイントとし付着塩素イオン量を少なくした。

(2) ダイボンディング材料・レジン材料

大きなシリコン素子(線膨脹係数 $\alpha = 3 \times 10^{-6}/^{\circ}\text{C}$)を銅リードフレーム($\alpha = 17 \times 10^{-6}/^{\circ}\text{C}$)にダイボンディングすると, 膨脹差の応力ストレスによりシリコン素子に変形し, 電気特性に影響を与える。そのため銅材料への低応力接着材として低応力ゴム材を使用した。レジン材料は, 低応力レジン材を開発²⁾し使用した。これらの材料を用いパッケージを組み立てた場合に各工程で発生する素子表面の応力測定例を図4に示

表1 DRAM用プラスチックパッケージの技術課題 メガビット時代になり, パッケージの多様化とともにレジン材料, リードフレームなどの技術向上が製品の信頼性を高めている。

項 目	単 位	D R A M メ モ リ 容 量 (ビット)			
		64k	256k	1 M	
チ ッ プ サ イ ズ	mm ²	3.56×7.65	4.04×8.78	4.66×13.74	
パ ッ ケ ー ジ の 種 類 (パッケージ形状)	—	DIP	DIP PLCC ZIP	DIP SOJ ZIP	
レ ジ ン 材 料	線 膨 脹 係 数	×10 ⁻⁶ /°C	24	19	17
	弾 性 率	kgf/mm ²	1,500	1,500	1,200
	モールドストレス	kgf/mm ²	0.8	0.4~0.5	0.3~0.4
	抽 出 Cl ⁻ 量	ppm	10↓	1↓	1↓
	U 量	ppb	200↓	1↓	1↓
リ ー ド フ レ ー ム	材 質	—	鉄・ニッケル合金	Sn・Niめっき銅合金	Sn・Niめっき銅合金
	レジン接着強度	kgf/cm ²	12	30	30
	め っ き 法	—	部分金めっき	部分銀めっき	先端銀めっき
	付 着 Cl 量	ng/フレーム	1,000~10,000	300~500	50~200
チ ッ プ 取 付 け 方 法	—	Au・Si共晶	樹脂接着	ゴム接着	
面実装パッケージ出荷形態	防湿包装の有無		開発時なし	あり	

注: 略語説明 PLCC(Plastic Leaded Chip Carrier), ZIP(Zigzag Inline Package), SOJ(Small Outline J Leaded Package)

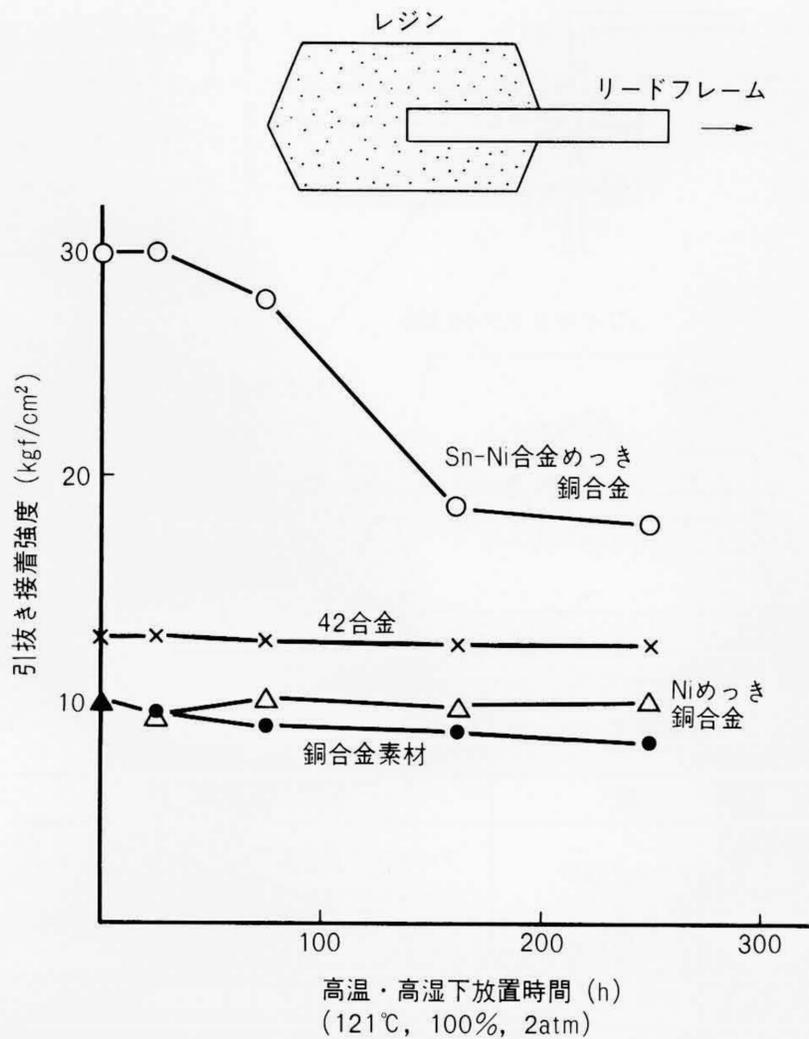


図3 リードフレーム材料とレジン接着性 銅合金にSn-Ni合金めっきを施すことによって、レジン材料との接着強度が向上する。

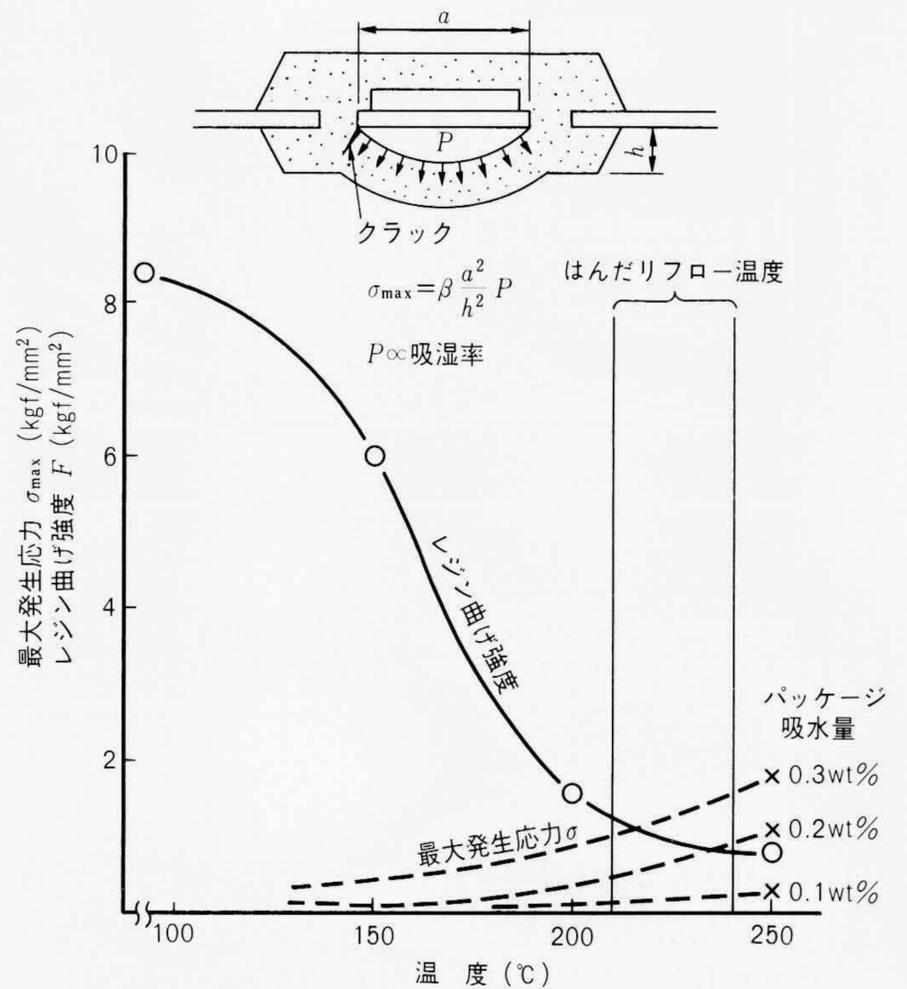


図5 はんだリフロー作業下における応力挙動 面実装パッケージをプリント基板に実装する温度でパッケージにクラックが入ることがある。これはパッケージの吸湿水分量が増加すると蒸気圧応力がレジン強度よりも大きくなるためである。

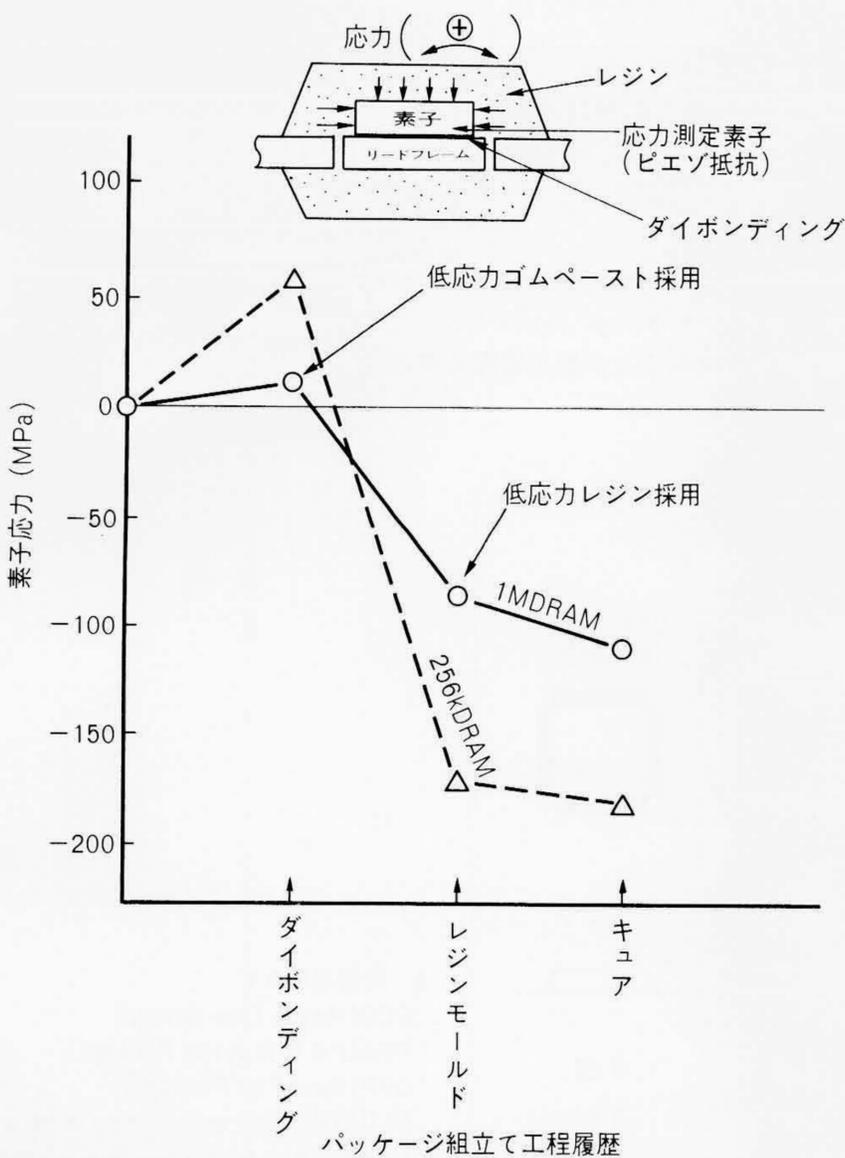


図4 Siチップに働く応力測定 ダイボンディングに低応力ゴムペースト、レジン材料に低応力レジンを適用することによって、Siチップ表面に働く応力を少なくし、電気特性変動要因を低減した。

す³⁾。ゴム材及び低応力レジン材により256kDRAMに比べ素子表面に発生する応力を半減することができ、微細加工素子の応力ストレスによるダメージの問題を克服した。

(3) 面実装パッケージSOJの課題

面実装パッケージ最大の問題は、プリント基板にはんだ付け実装する工程で、パッケージが高温(約200~250°C)にさらされることである。この条件下でレジン曲げ強度は、約一けた低下する。一方レジン材は、水分を吸湿する性質があり、この条件下で吸湿された水分が蒸発すると、パッケージ内に大きな応力 σ_{max} を発生させる。発生応力は、吸湿水分量に比例し、水分量が多くなるとレジン強度よりも大きくなってパッケージを破壊させる(図5)。これを防ぐため、製品を工場から出荷する前に防湿包装を行うこととした。包装材料として、透湿度の少ないポリエステル系や金属系(アルミ)が効果の大きいことを確認した(図6)。

3 多ピンLSI用パッケージ

多ピンLSI用パッケージの技術課題は、多い入出力ピンの配線処理に関することである。LSI素子とリードフレームとの接続配線を的確に行うことと、パッケージとプリント配線基板への接合を効率よく確実にすることが主な課題となる(図7)。パッケージの外形形状は、ピン挿入形では64ピンまでDIPであったが、それ以上はPGA(Pin Grid Array Package)が多く使用されている。面実装形は、我が国ではQFP(Quad Flat Package)、米国ではPLCC(Plastic Leaded Chip Carrier)

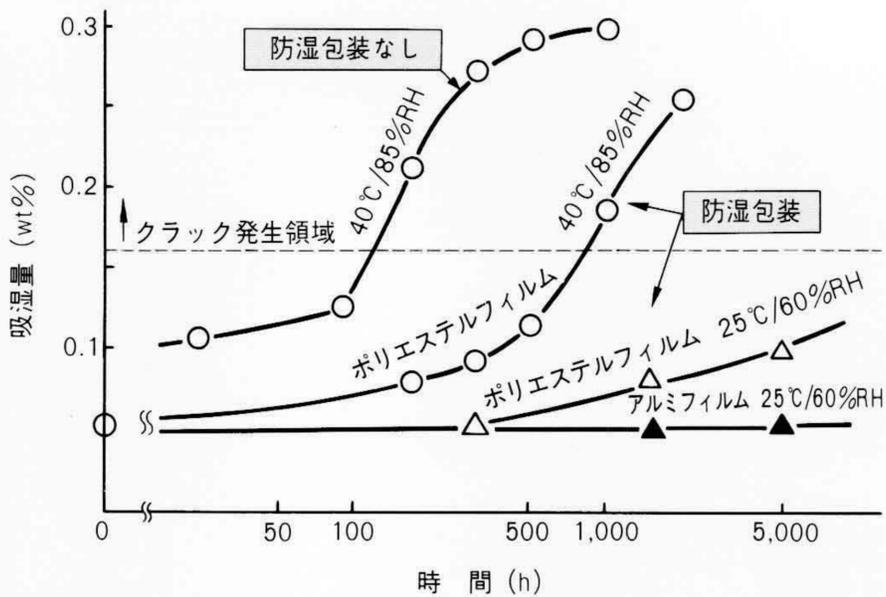
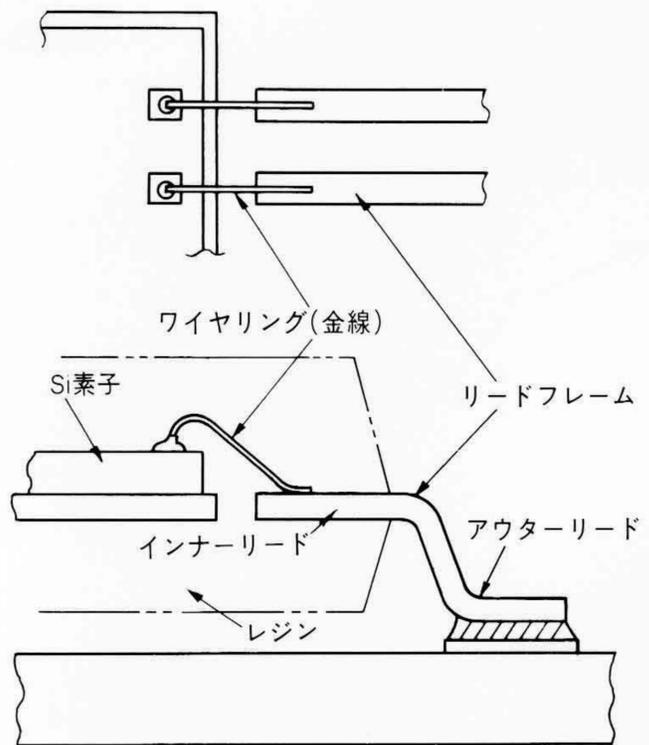


図6 面実装パッケージ出荷包装材料検討 面実装パッケージの吸湿を防ぐためには、ポリエステルフィルムやアルミフィルムを使用すると効果的である。

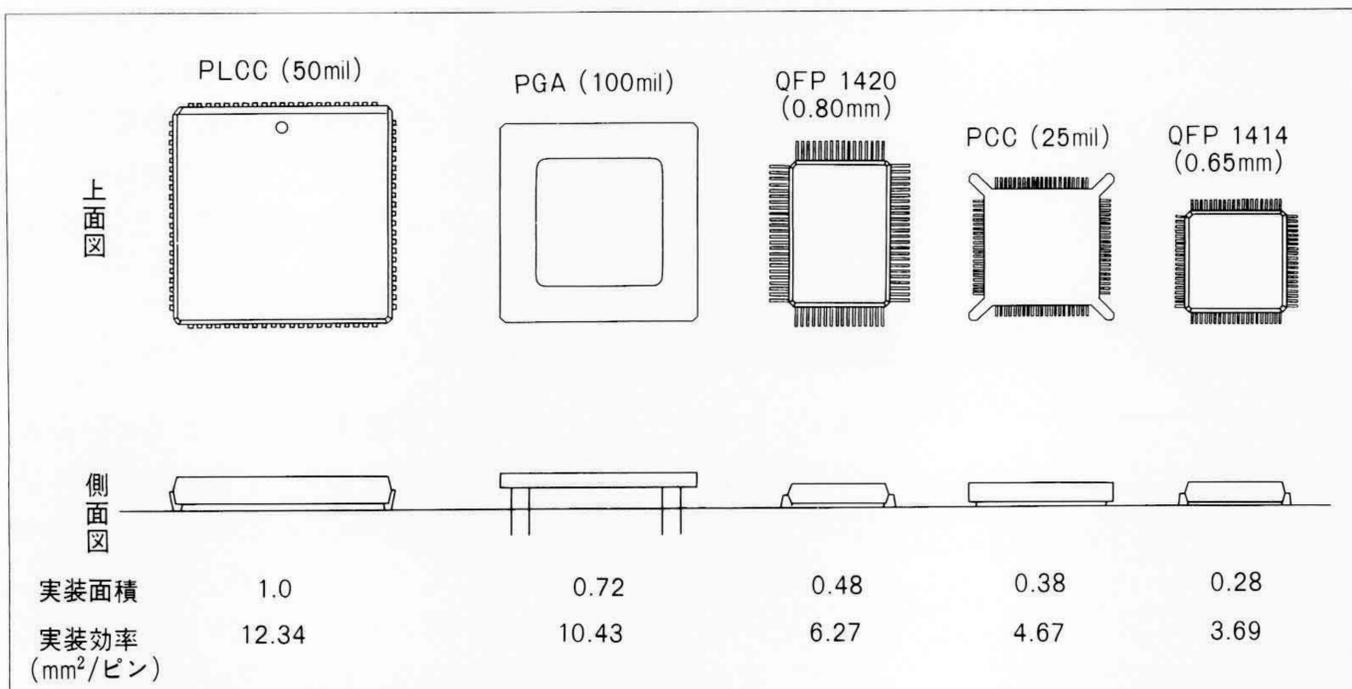
が標準外形として広く採用されている。QFPは、日立製作所やシャープ株式会社で考案されEIAJで標準化された^{4),5)}。海外でも標準外形として認知されつつある。QFPの設計思想は、モールド外形部寸法を一定とし、その時代の技術レベルに合わせてリードピッチを縮小化する。リードピッチは現在のはんだ付け技術で、0.65mmが限界とされている。パッケージの開発期間が短いこと、多様ニーズにこたえやすいことなどASIC時代のパッケージとして注目されている。図8に実装効率を実装面積比(mm²/ピン)で示し、図9に多ピン系面実装パッケージの動向を示す。図8で明らかのように80ピン程度では、QFP1414(本体寸法14mm²)が最も高密度実装ができる。QFPの欠点は、リード変形が大きいことであったが、リード長を短くし、パッケージの反りを少なくしてリード寸法精度を高めた。日立製作所開発のQFP1414, QFP2828の外形見本と従来多く使用されているQFP1420との比較を図10及び表2に示す。

(1) 素子の大型化と実装の高密度化という相反するテーマに



課 題		対 応 策
ワイヤリング	最適ワイヤリング設計	プロセス変動要因を考慮した配線シミュレーション
	ワイヤリング間隔縮小化	装置の高精度化
	ワイヤリング後の精度維持	モールドレジンの低熔融粘度化
リードフレーム	インナーリード間隔縮小化	リードフレーム加工精度向上
		リード材の高強度化
		リード補強構造
リード成形	アウターリード間隔縮小化	はんだ接合技術向上
		成形精度向上
	はんだ接合精度向上	短リード化
外形形状標準化		EIAJ(日本電子機械工業会) JEDEC(電子デバイス合同委員会) IEC(国際電気標準会議)

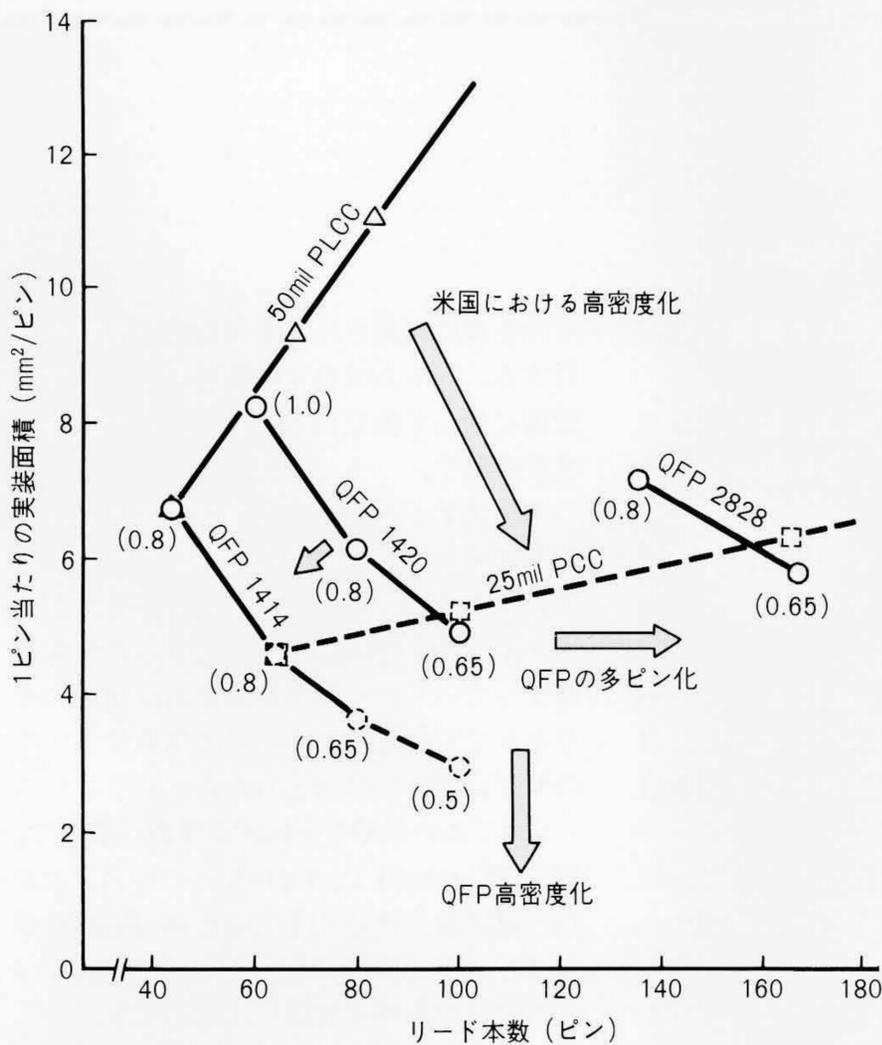
図7 多ピンプラスチックパッケージの技術課題 ワイヤリング処理技術レベル向上と外形の国際的標準化が必要となっている。



注：略語説明など
 PCC(Plastic Chip Carrier)
 PGA(Pin Grid Array Package)
 QFP(Quad Flat Package)
 PLCC(Plastic Leaded Chip Carrier)
 ()内はリードピッチを表す。

図8 多ピン系面実装パッケージの実装効率比較(80~84ピン)

QFP1414は、はんだ付け実装効率でPLCCに比較して3倍以上の高密度実装が可能である。



注：点線は現在開発検討中，()内はリードピッチを表す。

図9 多ピン系面実装パッケージの動向 米国で標準化登録しようとしている25MilリードピッチPCCよりも，EIAJのQFPのほうが実装効率が良い。

対し，日立グループ内パッケージ技術の総力を結集して，構造解析，新材料開発などにより信頼性の高いパッケージ技術を開発した。

(2) QFPパッケージを多ピン系パッケージの標準パッケージと位置づけ，80ピンクラスで最も実装効率の良いリードピッチ0.65mmのQFP1414を開発し，VTR，カメラ用などのマイクロコンピュータ素子を搭載し，商品化した。

4 結 言

大形素子を高密度に実装するDRAM用パッケージニーズに対し，最適構造の検討と新パッケージ材料開発を行い，系統だてた要素技術開発を追求することによって，高信頼度の1MDRAM用パッケージを開発した。多ピン化ニーズに対しては，日立製作所が開発したQFPシリーズの充実を図って，リードピッチ0.65mmQFP1414の80ピン，QFP2828の168ピンを開発した。今後は，リードピッチの縮小化のため，はんだ接合技術や新材料・新技術により，0.5mmリードピッチ以下のパッケージによって，より高度な多ピン化パッケージ技術へと研究開発を進める。

参考文献

1) 吉岡，外：MOS-IC用銅系リードフレームの開発，日立電線，

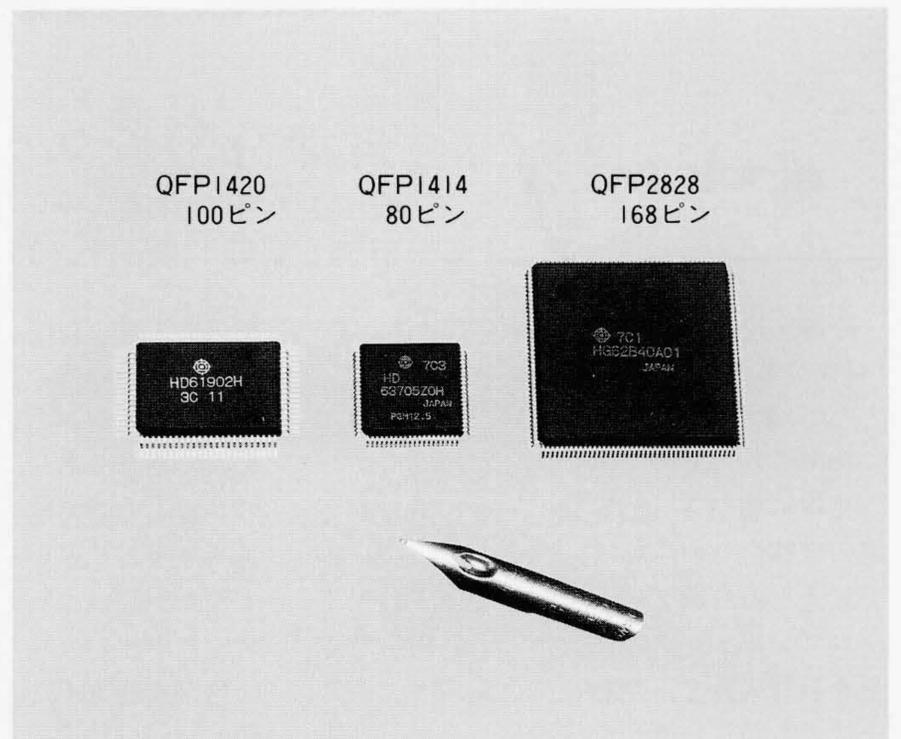


図10 リードピッチ0.65mm QFPの小形化と多ピン化 日立製作所で開発されたQFP1420形状は，面実装パッケージの業界標準パッケージとなって，小形化，多ピン化QFPへと進行してきている。

表2 QFP高密度実装化の比較 開発品QFPは，リード精度が高く，はんだ付け工程自動化が容易であるうえ，実装効率が高い。

項目	品 種		従来品	開発品	
	単 位		QFP1420	QFP1414	
高密度実装効率	本 体	mm	14×20	14×14	
	外 形	mm	19.6×25.6	17.2×17.2	
	高 さ	mm	3.05Max.	←	
	リ ー ド ピ ッ チ	mm	0.65	←	
	はんだ付けリード	mm	1.7	0.8	
	最 大 ピ ン	本	100	80	
	実 装 効 率	mm ² /ピン	5.0	3.7	
リード品質	モールド反り	μm	30	4	
	変形荷重	縦	g	45	60
		横	g	65	85
	精 度	縦	mm	0.3↓	0.1↓
横		mm	0.2↓	0.12↓	
はんだ付け工程自動化			やや難	容易	

No.6, 43~46(1986-12)

- 萩原，外：VLSI用高性能エポキシ封止材，日立化成テクニカルレポート，No.8, 11~14(1987-1)
- 三浦，外：ICプラスチックパッケージ内応力測定素子の開発とその応用，日本機械学会，論文講演(1987-4)
- Murakami et al. Present Situation and Future of Surface Mounting Technologies, 1MC Proceeding(1986)
- 日本電子機械工業会：集積回路外形作成通則，IC-74-4，クワッドフラットパッケージ(1986)

自律分散システム

日立製作所 井原廣一

計測と制御 26—1, 33~38 (昭62-1)

本論文は日本学術会議主催のフォーラム「自律分散システムへの道」の講演内容をまとめた「計測と制御」特集号「分散と協調」に掲載されたものである。

集中形態から分散形態へ、そして分散要素の自律化への現象は、社会のあらゆる面で最近とみに顕著になってきている。マイクロコンピュータの技術と分子生物学の知見を取り入れて、生物システムのアナロジーによる新しい概念を提案し、これを自律分散システムと呼ぶ。

「自律分散システム」とは、本来分かれています、自ら立てた規範に従って行動する部分が、他の部分との協調によって自らの目的を達成するとともに、全体の目的を達成する集合体と定義する。

自律分散の背景としては、DNAの発見、ホロンの概念、脳生理学や認知科学の成果がある。各サブシステムが自律可制御性及び自律可協調性を持つには、インテリジ

ェントを持たねばならず、人工知能技術も取り入れている。

自律分散システムは、独立したサブシステムの集合であり、機能しない部分を含んでいることが常態であり、分散システムの短所と言われるいわゆる分割損も、サブシステムが互いに協調するための必要リソースであるとの立場をとる。

可制御と可協調の組合せによって集中形、階層分散形、機能分散形を定義し、自律分散システムは、耐故障性とも言える自律可制御性と、ファンクションパフォーマンスに影響する自律可協調性をもって、機能及びデータの分散したシステム構成をとる新しいシステムである。

自律分散情報システムとしては、サブシステム間の情報交換や協調の手段として、データフィールドの概念を取り入れている。サブシステム間のプログラムはアトムと呼ばれている。アトムは必要なデータがそろ

ったときに起動され、非同期並列処理を実行する。アトムは自らの障害あるいは他の障害に対して独立して判断し、その障害の波及を防ぐ。

本システムを構成するサブシステムは、平等均質でなければならない。これらのサブシステムを結合することによって、データフィールドを形成し、システムの構成が決まっていく。各サブシステムは情報のやりとりでも平等で、すべての情報はすべてのサブシステムに伝えられる。

システムの状態を把握する機能は重要で、EXT (External Tester) が、サブシステムが持つ障害検知機能BIT (Built in Tester) が作成した解析データを集めてシステムレベルの複雑な障害を診断し、認識する。

以上の自律分散システムは、既に各方面で実用化されている。

Mo/Si界面でのSi酸化物の生成

日立製作所 岩田誠一・山本直樹・他1名

日本金属学会誌 51—2, 138~141 (昭62-2)

半導体素子の高集積化に伴い、信号の遅延をできるだけ小さくするために、電極・配線材料として、従来よりも低抵抗の材料が必要となってくる。超高集積MOS (Metal Oxide Semiconductor) 記憶素子では、従来のpoly (多結晶) Siに代わる材料として、現在、高融点金属のケイ化物が使われ始めている。その開発の過程で、高融点金属の一つであるMo (モリブデン) /poly Siの2層構造の電極・配線を検討したところ、2層間の接触抵抗が非常に高くなるという問題が発生した。すなわち、poly Si上にMoを蒸着してからの数百~1千°Cの温度での加熱によって、接触抵抗が高くなってしまった。

この原因を調べるために、poly Si上にMoをスパッタ法によって蒸着してから加熱す

る過程で、Mo/poly Si界面の状態がどのように変化するかを、ESCA (Electron Spectroscopy for Chemical Analysis: X線光電子分光) を用いて調べ、その結果をもとに対策を明らかにした。

得られた結果は以下のとおりである。

- (1) Mo/poly Si間の接触抵抗が高くなるのは、Mo/poly Si界面にSi酸化物膜が形成されるからである。
- (2) Siが酸化するのは、Mo蒸着膜中 (特に、Mo/poly Si界面付近の) に不純物として存在するO (酸素) が蒸着後の加熱によって界面へ拡散し、Si酸化物膜が形成されるためである。
- (3) 不純物としてMoに混入するOは、蒸着初期のもの (シャッタを開ける前の「プレス

パッタ」時に、回り込みにより少量のMoが基板に蒸着されるが、蒸着速度が小さいため、そのMoはかなり酸化している。) と、蒸着中に混入するものと両方ある。

(4) 対策として、MoにSiをあらかじめ添加しておけば (MoSi₂とする。)、2層間の接触抵抗が増加しない、熱的に安定な電極・配線を形成することができる。

ここで見いだしたような現象に類似した現象は、種々の金属の蒸着でも観察されており、この研究の結果からも明らかなように、蒸着膜と下地との界面状態を制御するには、上記のような現象の制御が非常に重要である。