# 高速スタティックRAMファミリー

### Family of Fast Mos Static RAMs

コンピュータの高性能化,高機能化に伴い,高速SRAMの応用分野は急速に 拡大している。これらのニーズに対応して,日立製作所では4kから64kまで各 種高速SRAMを製品化してきた。今回,これらの最上位機種としてアクセス時 間25 nsの256k高速SRAMを開発した。プロセスは最新の1.3µm CMOS A12層 配線技術を採用した。データ線イコライズなど各種高速回路の採用と、メモリ セルアレーのブロック分割を16分割とすることによって,高速性と同時に低消 費電力を実現した。本論文では高速256k SRAMを中心に,Hi-CMOS SRAM のプロセス技術,回路技術について述べる。

高橋 收*	Osamu Takahashi
西村光太郎*	Kôtarô Nishimura
左伯 亮*	Makoto Saeki
石	Harutsugu Ishihara

### 1 緒 言

SRAM(Static Random Access Memory:スタティック RAM)は、DRAM(Dynamic Random Access Memory:ダ イナミックRAM)と比べてメモリ周辺の外付け回路が不要で、 またアクセス時間も速いという特徴から、各分野のメモリシ ステムで使用されている。特に、アクセス時間が55 ns以下の 高速SRAMに対するニーズは強く、その応用分野は急速に拡 大している。主な応用分野として、スーパーコンピュータの メインメモリ、はん(汎)用コンピュータ及びミニコンピュー タのメインメモリやキャッシュメモリ、ワークステーション のバッファメモリやキャッシュメモリ、ワークステーション のバッファメモリやコントロールメモリなどがある。このほ かの応用分野として、通信関係、ICテスタ、計測機器などが ある。各応用分野でのメモリシステム容量も8kバイト程度の 小容量のものから数ギガバイトと多様であり、各種の高速 SRAM製品が使用されている。

ミリーの中から、アクセス時間25 nsを実現した256k高速 SRAM HM6208を中心に、Hi-CMOS SRAMのプロセス技術 及び回路技術について述べる。

図1に高速SRAMの製品化推移を示す。1985年,16k SRAM でアクセス時間25 nsの高速SRAMが製品化されて以来<sup>1)</sup>,急 速に大容量化,高速化が図られ,2年後の1987年には256k SRAMでアクセス時間25 nsを実現した。高速SRAMの大容量 化,高速化に伴って今後もその応用分野は広がってゆくもの と思われる。

図2に日立製作所の高速SRAM製品ファミリー〔TTL (Transistor Transistor Logic)インタフェース〕を示す。日 立製作所では顧客のニーズに対応して、各種の高速SRAMを 開発,製品化してきた。CMOS(Complementary Metal Oxide Semiconductor)技術とバイポーラ技術を組み合わせたHi-BiCMOS製品では、64kSRAMでアクセス時間15 nsを実現し ており、Hi-CMOS製品ではアクセス時間25 nsの256kSRAM を実現した<sup>2)</sup>。このように日立製作所ではHi-CMOS製品とHi-BiCMOS製品により豊富な品ぞろえを行い、顧客の様々なニ ーズに対応している。ここでは日立製作所の高速SRAMファ

### 2 プロセス技術

高速SRAM製品の開発では、高性能特性実現のために最先端のプロセス技術が要求される。一般的に言って、同じメモリ容量の中速SRAMと比べて0.5世代先のプロセス技術が要求される。



図 | 高速SRAMの製品化推移 日立製作所は,現在の主流技術で あるCMOS高抵抗負荷形メモリを採用した。大容量化とともに,高速化 指向が一段と強まっている。

67

#### \* 日立製作所武蔵工場 \*\* 日立製作所電子事業本部半導体事業部

662 日立評論 VOL. 69 No. 7 (1987-7)



注:略語説明など

**68** 

Hi-CMOS(High performance-Complementary Metal Oxide Semiconductor) Bi-CMOS(Bipolar-CMOS)

62××シリーズ[Hi-CMOS製品(バッテリーバックアップ可能)]

67××シリーズ(Hi-BiCMOS製品)

()内はアクセス時間(ns)を示す。

OE(Output Enable 信号入力が可能となる。)

高速SRAM製品ファミリー Hi-CMOS製品とHi-BiCMOS製 凶 2 品によって、豊富な製品の品ぞろえを実現している。

図3にHi-CMOS SRAMのプロセス技術を示す。高速Hi-CMOSプロセスは中速のHi-CMOSプロセス技術を基礎として 線技術と微細加工技術により高速・大容量のSRAMを実現さ いる。アクセス時間45 nsの16k高速SRAMは、16k中速SRAM せた。 のHi-CMOS(I)技術を基礎として、ポリシリコンの2層化及び 回路技術 3 ゲート長のスケールダウンにより実現したものである。同様 高速・大容量SRAMの設計 に、Hi-CMOS(II)技術を基礎にゲート構造をポリシリコンから 3.1 低抵抗のポリサイドとし、アクセス時間35 nsの16k、及び45ns 高速・大容量SRAMの設計では、ワード線遅延やデータ線 の64k高速SRAMを実現している。これら高速SRAMで採用 遅延低減のほか,動作電流や内部ノイズの低減が重要である。 された新プロセス技術は、同時に次世代の中速SRAM基礎技 SRAMではワード線が選択されることによってデータ線か 術ともなっている。このように高速SRAMのプロセス技術は、 らメモリセルへ電流が流れる。このため、動作電流は選択ワ 中速SRAMで確立し培われた量産プロセスを基礎としており、 ード線に接続するメモリセルの数に依存し、メモリ容量の増 安定した高品質の高速SRAM製品の生産を可能としている。 大に伴って動作電流も増加する。動作電流の増大は、電源部 高速64kSRAM HM6288は、中速の256k SRAMで実績の や冷却装置などメモリシステム全体のコスト上昇を招く。 ある1.3µm CMOSプロセスを基礎として、Alの2層配線技術 また、メモリIC内部から発生するノイズは、メモリの動作 を採用し高速化を図った。高速256k SRAM HM6208では、ゲ マージンを大幅に縮小させる。一般に高速SRAMの出力バッ ート長を更に1.0µmとすることによって、256k SRAMでは最 ファは、中速SRAMのそれと比べて電流駆動能力が2~4倍

図3 CMOS SRAMプロセス技術 バイトワイド製品の安定した 量産プロセスを基礎として高速化プロセスを適用し、安定した品質の高 速デバイスを実現している。バイトワイドSRAMもまた高速化プロセス の採用により大容量化、高速化を図っており、両者は表裏一体となって

Hi-CMOS(III)

HM62256

 $(32k \times 8)$ 

'86/2

 $1.3 \mu m$ 

2層

1層

 $1.0 \sim 1.3 \mu m$ 

25ns

• 25ns

O 25ns

O 25ns

2層

2層

高速のアクセス時間25 nsを実現した。Al 2 層プロセスでは、 ワード線にもAI配線を用いることができる。これらの高速 SRAMでは、ワード線にAI配線と抵抗の低いポリサイド配線 を採用し、ワード線遅延を低減している。

1層目のAI配線は、プロセスの微細化によって増大する MOSのソース抵抗及びドレーン抵抗の低減にも有効である。 また、1層目と2層目のAI配線を共用し、電源配線の抵抗を 下げることによって高速動作の実現と動作マージンの拡大が 可能となった。このようにHi-CMOS SRAMでは、Al 2 層配

大きい。また、高速動作をさせるため、内部のインダクタンス 成分によって電源ノイズが発生しやすい。この電源ノイズは、 メモリ内部の電源配線を通じて各入力バッファ回路やセンス アンプ回路に影響を与える。このため、入力ロジックスレシ ョルド電位変動による入力レベルマージンの減少や、微少な 電位差で動作しているセンスアンプ回路の誤動作、アクセス 時間の遅れの原因となる。このように高速・大容量SRAMで は、動作電流や内部ノイズの低減が重要な要素となっている。 3.2 HM6208の設計

HM6208の主要特性を表1に、またピン配置、チップ写真を 図4、5に示す。HM6208では256k CMOS SRAMとしては 最高速のアクセス時間25 nsを実現するために、回路的にもレ イアウト的にも様々な工夫を行っている。

ワード線遅延低減のために、ワード線電極材料にポリサイ ドを使用し、選択ワード線のメモリセル数を64kと同じにした。 これにより、ワード線抵抗及びワード線負荷容量を低減し、 ワード線の選択まで6nsと高速化を実現した。また、データ 線遅延低減のため、メモリセルのドライブ能力を向上させた ほか、コモンデータ線のイコライズ(データが出力される前に、 データ線を一時平衡化しておくこと。)や、データ線長を短く しデータ線負荷容量の低減を図った。

表丨	HM6208の主要仕様	256k高速SRAM	HM6208の主要仕様を
示す。			

項	目	仕 様			
メモリ	ノ構成	65,536ワード×4 ビット			
電 源	電圧	5 V ±10%			
	HM6208P-25	25ns Max.			
アクセス時間	HM6208P-35	35ns Max.			
	HM6208P-45	45ns Max.			
	動作時	80mA Max.			
動作電流	待機時(I)	30mA Max.			
		2 mA Max. (Pシリーズ)			
	行	100µA Max.(LPシリーズ)			
パック	ケージ	24ピン300milプラスチックDIP			

注:略語説明 DIP(Dual In Line Package)



図6に、HM6208のメモリセルアレー及び周辺回路のブロッ





#### 注:略語説明 A0~A15(アドレス入力) I/O 1~I/O 4(データ入出力) WE(リードライト入力) CS(チップセレクト入力)

図 4 HM6208P(64k×4)のピン配置 パッケージは実装密度の高い300mil幅の24ピン標準プラスチックDIPパッケージである。

図 5 HM6208Pのチップ写真 64kワード×4ビット構成の高速256 k CMOS SRAMのチップ写真を示す。チップサイズは, 4.39mm×13.16 mmである。

**69** 

664 日立評論 VOL. 69 No. 7 (1987-7)

I/01 16 × 256 セル アレー	   1/02   16   ×   256   セル   アレー	副デコーダ	1/03 16 × 256 セル アレー	1/04 16 × 256 セル アレー												
BL 1	BL 2	BL 3	BL 4	BL 5	BL 6	BL 7	BL 8	BL 9	BL 10	BL 11	BL 12	BL 13	BL 14	BL 15	BL 16	X - D E C
	Y.S+Y	-DEC			Y.S+\	-DEC			Y.S+	Y-DEC			Y.S+`	Y-DEC		
S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	S.A	
	Į	2 5			{	2	•		S	5			5	1		
	1/0バ	ッファ				コン	・トロール	回路		K	-	アド	レスバッ	ファ		
∲ I/O 1	1/0 2	♦ I/0 3	∮ 3 1/0 4			$\frac{1}{CS}$		<mark>∦</mark> ₩E			,	↓	) A	15		

注:略語説明 S.A(センスアンプ), Y.S(Y-スイッチ), Y-DEC(Y-デコーダ), X-DEC(X-デコーダ), BL(メモリセルアレーブロック名) 図 6 HM6208のブロックダイヤグラム メモリセルアレーのブロック分割は, 64×256ビットのメモリセルアレーを丨ブロックとし, I6ブロッ クから構成されている。このため, データ線遅延, ワード線遅延を大幅に低減し, 動作電流の低減にも効果を挙げている。

ク図を示す。16kや64kレベルの高速SRAMでは、メモリセル アレーのブロック分割も4分割程度で十分であったが、256k ではワード遅延やデータ線遅延を64kと同等とするためにメモ リアレーを16のブロックに分割し、高速化と同時に低消費電 力化を実現した。

メモリセルアレーのブロック分割数を多くすれば、ワード 線長も短く、データ線容量も低減できるため、ブロック単位 では高速化が図れるが、必ずしもメモリ全体で高速化、低消 費電力化が図られるわけではない。単純にブロック分割を多 くしても、Y-スイッチ以降のコモンデータ線が長くなり、配 線容量が増大し高速化は図れない。また、コモンデータ線も ブロックごとに分割して配線容量の低減を図っても、センス アンプの数が増大しセンスアンプーつ当たりのパターンレイ アウト面積が不足し、十分なゲインを得ることができずセン スアンプ以降での遅延が増大する。

64kワード×4構成のHM6208では、シミュレーションによる詳細検討を行い、メモリセルアレー分割を16とした。また、 高性能センスアンプを16個設けてシミュレーションによる最 適化設計を行い、高速性と低消費電力化を同時に実現させた。

各メモリブロックは、データ線方向に256ビット、ワード線

70

動作時に選択されるのは1セット4個だけであり,低消費電 力設計となっている。図7にセンスアンプ回路を示す。HM6208 では高性能カレントミラー形センスアンプを2段接続とし, 高速化と出力レベルの安定を図った。この方式では,センス アンプ出力線は各I/Oごとに1本で済むため,出力配線数が4 本と少なくチップ面積が縮小できた。

また,内部電源ノイズを低減するために,Al 配線を2 層化 して内部電源配線抵抗を低減させたほか,各出力バッファの 駆動タイミングをわずかにずらし,出力ノイズの低減を図っ た。このほか,パターンレイアウト的に内部電源配線と出力 回路の電源配線を分離し,ボンディングワイヤも分離するこ とによって出力電源ノイズの内部回路への影響を低減させて いる。

3.3 特性評価結果

図8に、アドレスアクセス時間 $t_{AA}$ の電源電圧依存性を示す。 標準的なサンプルで最悪条件(Ta=70℃,  $V_{cc}=4.5$ V)下で $t_{AA}$ =23 nsと高速アクセスを実現している。

動作電流は**図9**に示すように*Vcc*=5Vの標準条件で40mA と少なく,従来の64k高速SRAMと同程度となっている。スタ ンドバイ電流も標準条件で9mAと少なく,入力電圧を0.2V

方向に64ビットのセルブロックによって構成されている。ワ ード線の選択は、X-デコーダの出力とブロック選択信号とに よって選択されるため、メモリセルに流れる電流は64セルだ けとなり動作電流を低減している。 センスアンプは各I/O(入出力装置)ごとに4セット合計16個 で構成されているが、センスアンプコントロール信号により



図7 HM6208のセンスアンプ回路 カレントミラー形センスアン プ2段増幅により、高速化を図った。出力配線は1本で、配線本数を低 減している。

BiCMOS製品によって幅広い高速SRAMファミリーを展開し ている。Hi-CMOS技術を用いて,現在までに256k SRAMで アクセス時間25nsを実現した。更に、高速の分野及びECL (Emitter Coupled Logic) インタフェースのメモリ分野では, より高性能のHi-BiCMOS技術によって超高速メモリを実現 している。

パッケージはすべて標準300mil DLP (Dual In Line Package)に実装されており、メモリ容量によって18pinから24pin までシリーズ化されている。面付け実装用の小形パッケージ としてLCC(Leadless Chip Carrier)を生産中であり、SOJ (Small Outline J-Bend)パッケージも開発中である。

#### 5 結 言

最新の1.3µm CMOS Al 2 層配線プロセス技術と、高速、 低消費電力回路技術などにより、アクセス時間25 nsの高速256 k SRAMを開発した。消費電流,動作マージンについても規 格に対し十分満足することができた。

今後の製品展開として、本製品をベースに256kワード×1 構成のHM6207の製品化を行う。また、パッケージも300mil DIPタイプから,更に実装密度の高いSOJなどの小形パッケージ



図 9 動作電流の電源電圧依存性 標準条件で動作電流は, 40mA と大幅な低消費電力を実現した。

71

### への展開を進め、高速SRAM製品ファミリーの拡充を図る。

### 参考文献

1) Dataquest : Fast MOS Static RAMS, p. 8~15, 1984-1985 Newsletters (1985)

増田,外:Hi-BiCMOS技術の展開,日立評論,68,7,533~ 2) 538(昭61~7)



# FCC双結晶に生ずる不均一多重すべりの 計算機シミュレーション 日立製作所 大橋鉄也 日本金属学会誌 51-1, 37~43 (昭62-1)

金属材料やセラミックスなどは多くの場 合,結晶粒と言われる直径1~100µm程度 の粒から成っており,粒と粒との界面(粒界 面と呼ばれる。)やその近傍で生ずる現象が 材料の多くの巨視的性質に重要な影響を及 ぼしている。材料の力学的性質もその一つ であり,粒界近傍での結晶の微視的な変形 挙動が巨視的な性質に反映されている。ま た一方,最近の電子デバイスでは描画され るパターンの寸法が結晶粒の寸法程度まで 小さくなった結果,相対的に粒界近傍での 変形を詳しく調べる手法の重要性が認識さ れてきた。

このような問題に対し、計算機によるシ ミュレーション(解析)には幾つかの利点が 析例は既に幾つか報告されている。一方, 結晶のすべりによって生ずる塑性変形に対 しては,解析手法の数学的枠組みについて これまで研究されてきているものの,変形 の物理的実体に即した解析がなされた例は 極めて少ない。

本論文では面心立方構造を持つ結晶の塑 性変形を,その物理的実体である転位(線状 の結晶格子欠陥)の挙動に関する下記のモ デルに基づいて解析する手法を示すととも に,粒界面を挟んだ2個の結晶粒から成る 双結晶の変形解析例を通して,粒界面近傍 の変形の特徴を明らかにした。

結晶がすべり変形によって塑性変形する 場合,結晶内では多数の転位の運動,相互 方形ループ状の転位を考え,その発生と拡 張及び拡張しつつあるループセグメントど うしの相互作用をモデル化した。また,そ のモデルに基づいて転位密度の増加と転位 の運動によって発生するせん断ひずみ量と の関係を求め,それを用いて弾塑性構成方 程式を組み立てた。

得られた構成方程式の妥当性を確かめた うえで、本方程式に基づく有限要素法非線 形構造解析コードを作成し、双結晶の変形 を解析した。その結果、主すべり系の活動 によって粒界面の近傍に発生するせん断応 力が多重すべりを誘発すること、多重すべ りの生じた領域中ではひずみ値が10<sup>-7</sup>から 主すべり系上に生じたひずみに匹敵するま

## 流体近似による過負荷制御の解析

日立製作所 太田正孝

電子情報通信学会論文誌 J70-B, 1, 11~21(昭62-1)

交換機で,加入者の発呼率が異常に高く なるとスループットが低下するという現象 が知られている。原因は,発呼率が高くな ると交換処理中の呼数が大きくなり,選択 信号受信機・送信機などのハードウェア資 源,又は呼制御用トランザクションなどの ソフトウェア資源のブロックを起因とする 内部ふくそう(輻輳)による呼損が無効処理 を増大させるためである。

したがって,過負荷制御の目的は,発呼 率が異常に高くなった場合でも,交換機内 の呼数をシステム容量以下になるよう制御 することによって,内部ふくそうによるス ループットの低下を防ぐことにある。その ため過負荷制御によってどれだけ交換機内 の呼数が制御されるかを解析することは重

72

ラメータによってどのように制御されるか を解析する。

解析には、流体近似という新しい手法を 用いた。過負荷状態では交換機内に多数の 呼が存在し、大数の法則により呼数に関し 流体近似が使える。このため、呼数の挙動 は確定的な運動方程式で記述でき、解析は 容易になる。これは、呼数の挙動を拡散過 程の一次近似としてとらえることを意味す る。すなわち、拡散方程式の分散に関する 項を無視した呼数の分布関数に関する方程 式を考える。この方程式は、正常状態と規 制状態の2状態についてそれぞれ得られる。 更に、これら2状態に関する境界条件を考 えることによって、解析すべき状態方程式 が得られる。この方程式の定常解を求める 能である。

流体近似による評価式の数値例を,シミ ュレーション結果とともに示した。シミュ レーションは,呼をポアソン生起とし,サ ービス時間が指数分布と一定分布の二つの 場合について示した。これら数値例によっ て,流体近似の精度は実用上十分であるこ とが確認された。更に,精度はサービス時 間分布に影響され分散が小さいほどよくな る。これは,本評価式は分散を全く無視し た解であることから理解される。また,容 量有限で即時式の場合は,流体近似の誤差 は制御パラメータに大きく左右され,規制 率が大きくなるような制御パラメータでよ い精度となる。

本制御方式を実際のシステムに導入する

要である。	ことによって、制御パラメータによりどの	際は、周期ごとに観測した平均発呼率から
本論文では、発呼を周期的に観測し平均	ように交換機内の呼数が制御されるかを知	制御パラメータに変換する必要がある。こ
発呼率を求め,この値に応じて決まる制御	るための評価式が得られる。評価式は、交	れは、変換表を設けることによって容易に
パラメータとその時点の発呼率とを比較す	換機内のサービス容量が無限の場合と有限	実現可能である。この変換表中の値は、評
ることにより入力規制制御を行う方法を提	で即時式の場合について求めた。これらは	価式によって容易に決定できる。
案する。そして, 交換機内の呼数が制御パ	パーソナルコンピュータで容易に計算が可	