

HITAC M-66Xプロセッサの開発

Hitachi Computer System HITAC M-66X Processor Group

情報化社会は、コンピュータ、通信などの技術革新により加速的に発展してきている。この中枢を占める大形コンピュータに対して、高性能・高機能の要求とともに高信頼化、設備・運用面の大幅な改善が強く望まれている。

HITAC M-66Xプロセッサグループは、この要望にこたえて開発された最新鋭のはん(汎)用大形処理装置である。最新の半導体・実装技術と高効率な論理方式とを調和させ、高性能・高機能・高信頼度と小形化・省エネルギー化を両立させることができた。

本稿は、HITAC M-66Xの開発思想、システム構成、論理方式及び実装技術について述べる。

住本 勉* *Tsutomu Sumimoto*

小川哲二* *Tetsuji Ogawa*

今井康裕* *Yasuhiro Imai*

1 緒 言

情報化の波は多くの企業と人々の生活に、より広くより高度に押し寄せている。高度情報化社会の進展とともに、情報処理量と信頼性の要求は指数関数的に増大している。その情報処理で中枢の位置を占めるはん用大形コンピュータに対しても、上記要求を満たすとともに、より優れた価格比、導入のしやすい設備条件、低運転コストも強く求められている。HITAC M-66Xプロセッサグループ(以下、M-66Xと略す。)は、これらの要求にこたえるため開発された最新鋭のはん用大形コンピュータである。最先端の半導体・実装技術と効率の良い論理方式とを駆使し、高性能かつ小形、省エネルギーの世界トップクラスの計算機を実現した。また、多様化する

システム ニーズにこたえるため、アドレス空間の拡張、高速VM(Virtual Machine:仮想計算機)方式、更には光チャネルサブシステムなどを開発した。

M-66Xは、M-660D、M-660H、M-660K及びM-662Kの4モデルから成り、広い性能範囲をカバーしている。

図1にM-660Kのシステム外観を示す。

2 開発思想

M-66X開発の基本的な思想は、高性能・高機能かつ高信頼度の大形コンピュータをコンパクト、低消費電力で実現するというものである。



図1 M-660Kシステム外観 M-66Xは、主記憶容量を最大256Mバイト、チャネル台数を最大32まで拡張できる。

* 日立製作所神奈川工場

(1) M-66Xの位置づけ

M-66Xは、従来のHITAC Mシリーズ(以下、Mシリーズと略す。)のM-240, M-260プロセッサグループの後継機として開発された。M-68Xと新ファミリーを形成し、性能的にはM-68Xの下位に位置する。M-660Kの性能は、事務処理でM-260Hの約1.6倍ないし2倍である。図2に、相対的な位置づけを示す。

(2) 高性能

M-68Xで開発された最新の半導体・実装技術を採用するとともに、効率の良い先行制御方式、高速演算機構(標準装備)、3階層記憶方式などの論理方式を採用し、高性能な大形コンピュータを実現した。

(3) 小形化

ユーザーでのコンピュータのスペースコスト、及び運転コストは相当なものであり、かつ上昇傾向にある。このため、大形コンピュータに対する設置面積と消費電力の低減要求は大きい。M-66Xでは、高性能論理LSI、低消費電力で超高密度のCMOS (Complementary Metal Oxide Semiconductor)-LSI、高性能で低消費電力のBi-CMOS(バイポーラCMOS)、RAM(Random Access Memory)などの最先端半導体を開発するとともに、これらを搭載する高密度印刷基板と小形、高効率な電源を開発した。

この結果、単位床面積当たりの性能、単位消費電力当たり

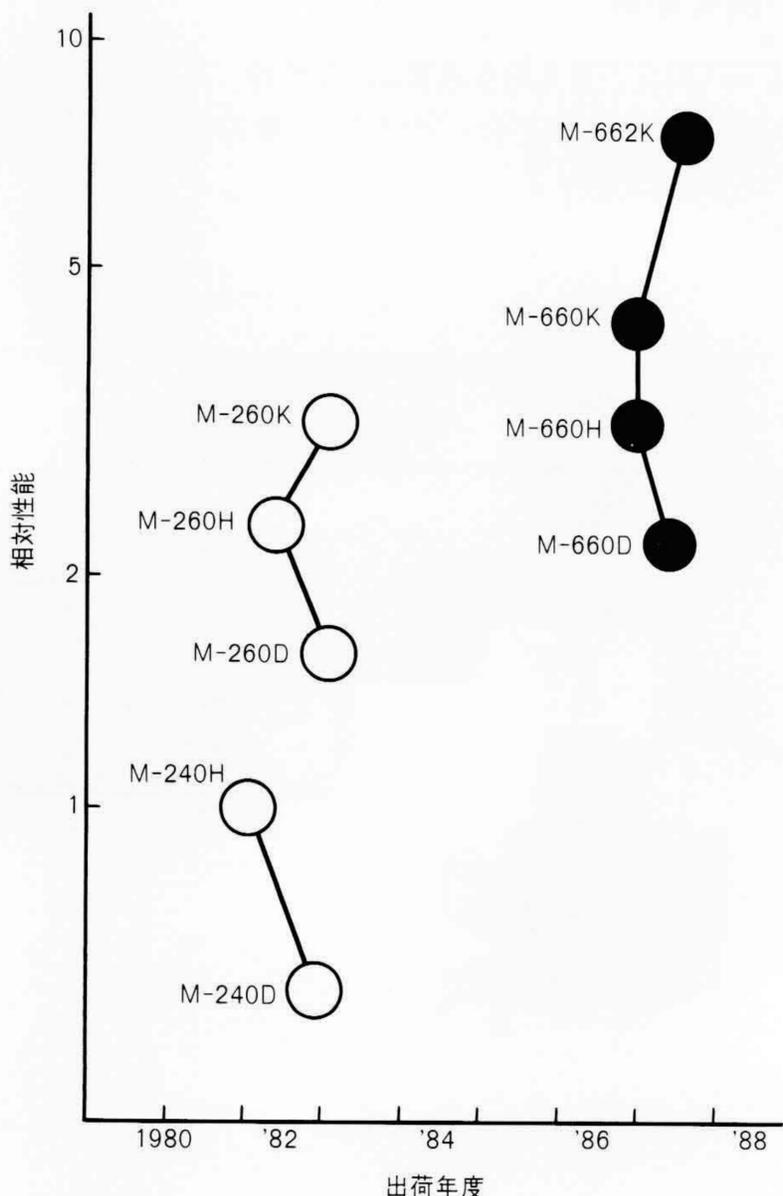


図2 M-660Xの性能 M-66Xプロセッサグループは、幅広い性能範囲をカバーしている。

の性能に関して、従来機種比で約4倍の改善ができ、世界最高水準を達成した。

(4) 高信頼性

最新の半導体技術による部品点数の大幅低減と、個々の部品の高信頼度化の相乗効果によって高信頼度化を図った。

また、命令リトライの充実、RAM障害救済の大幅な強化、ステージトレサ付加による故障情報の高精度化、自動診断機能の充実など、RAS(Reliability, Availability, Serviceability)機能の高度化を図った。

(5) 機能拡充

31ビットアドレッシング、拡張チャンネルシステム、高速VM機能、6Mバイト/秒の高速チャンネル、光チャンネルサブシステムなどの開発によって、大幅な機能強化を図った。

(6) システムの拡張性

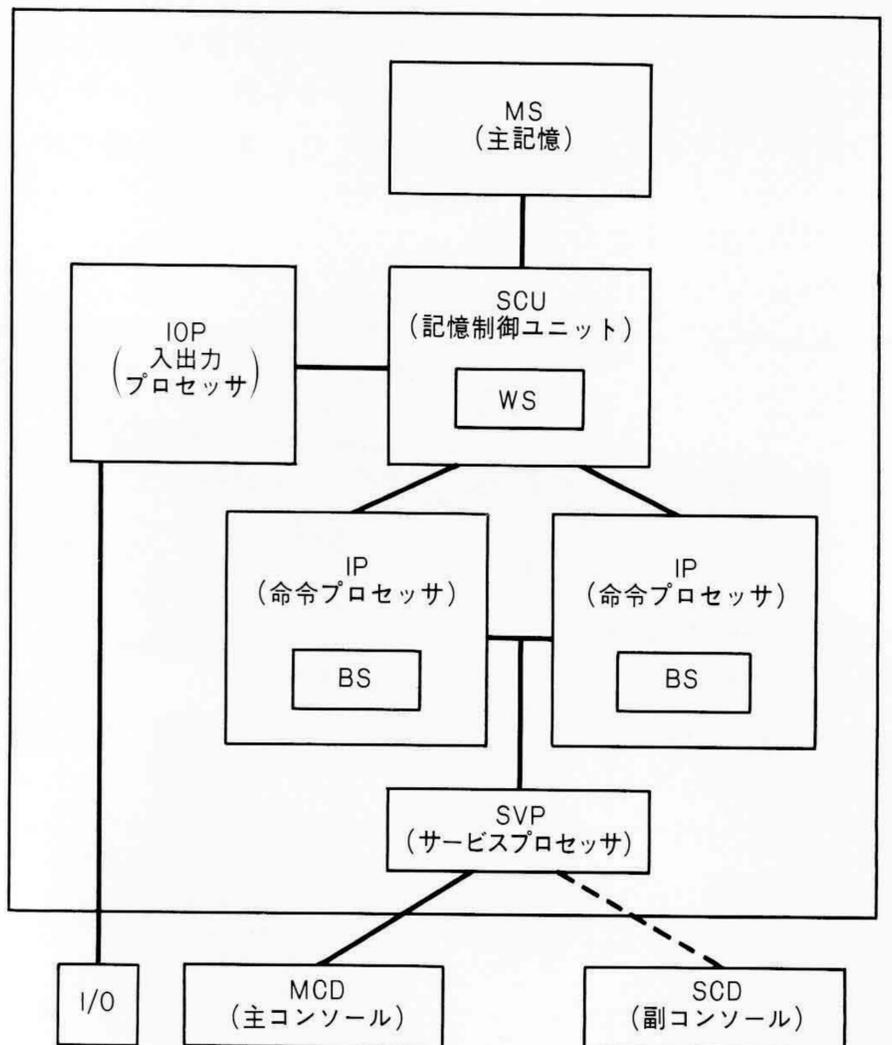
M-660DからM-662Kまでの4モデル化により、幅広い性能範囲をカバーするとともに、ユーザーのシステム拡充要求に対して、顧客設置先で容易にアップグレード可能とした。

3 基本仕様

3.1 システム構成

図3にダイアディックモデルであるM-662Kの構成を示す。

IP(Instruction Processor: 命令プロセッサ)は、プログラムの命令処理をつかさどり、BS(Buffer Storage: 高速バッファ



注: 略語説明 WS(Work Storage: ワーク記憶)
BS(Buffer Storage: 高速バッファ記憶)
I/O(Input Output Device: 入出力装置)

図3 M-662Kプロセッサ構成 M-662Kは、2台のIP(命令プロセッサ)から成るダイアディック構成である。

ァ記憶)を内蔵する。

IOP(Input Output Processor:入出力プロセッサ)は、I/O(Input Output Device:入出力装置)とMS(Main Storage:主記憶)間のデータ転送を制御する。最大32チャンネルまで接続できる。

SCU(Storage Control Unit:記憶制御ユニット)は、MSとIP、MSとIOP間のデータ転送を制御する。この中には、WS(Work Storage:ワーク記憶)を内蔵し、BSとMSとで3階層記憶を構成する。

MSは、国産メーカーでは初めて1MビットDRAM(Dynamic Random Access Memory)素子を採用し、最大256Mバイトの大容量と小形化を実現した。

SVP(Service Processor:サービスプロセッサ)は、M-66Xシステムの監視と制御をつかさどる。SVPは、IPとは独立にプロセッサと専用メモリを持ち、ディスク装置などを内蔵する。MCD(Main Console Device:主コンソール)からの指示により、電源投入時の初期立上げや、オペレータとOS(Operating System)との通信手段であるオペレータコンソールをサポートする。また、自動電源投入、自動IPL(Initial Program Load)、自動電源切断などのシステム運転支援機能を持っている。

3.2 システムの拡張仕様

従来のMシリーズからの拡張仕様を以下に述べる。

(1) 31ビットアドレッシング

仮想アドレスと実アドレスを31ビットまで拡張し、アドレス空間を2Gバイトに拡大した。これにより、プログラムの自由度が増し、性能向上が可能になった。

(2) ECS(Extended Channel System:拡張チャンネルシステム)

ECSは、従来OSの入出力スーパーバイザで行っていたI/Oの起動時のチャンネルの選択、待ち行列処理をハードウェア的に直接実行する機構である。また、回転待ちで切り離されたディスク装置をIOPに再接続するとき、空いているチャンネルパスを自動的に選択するチャンネルパス再接続機能をサポートした。これにより、OSの負担が減少してI/Oのレスポンスタイムが向上し、総合的にシステム性能が向上した。

(3) VM/EX(Virtual Machine/Extended Architecture)機構

複数のVMを高速化する機構を開発した。主な機構を以下に述べる。

(a) 特権命令の直接実行

ゲストVMの発行する特権命令のほとんどを、VMCP(Virtual Machine Control Program)によるシミュレーションを不要にして、ゲストVMが直接実行することによって、性能を大幅に向上した。

(b) アドレス変換用ハードウェア

(i) MS上に複数VMを常駐させるためのアドレス常数加算機構

(ii) ゲストの仮想アドレスをホストの実アドレスに変換する機構

上記二つのハードウェア機構によって、VMのオーバーヘッドを大きく低減した。

(4) 高速I/Oチャンネル

CPU性能の向上、I/Oの性能向上に対応して、データ転送速度6Mバイト/秒の高速チャンネルを開発した。チャンネルとI/O間のデータ転送は、これまで片方向1バイトのバスを二組み用いて転送していた。高速I/Oチャンネルでは、この二組みの片方向バスを双方向化して2バイト幅のバスを実現し、従来のI/Oインタフェースケーブルのままで、6Mバイト/秒という高速データ転送を可能とした。

(5) 光チャンネルサブシステム

光チャンネルサブシステムは、光ファイバケーブルを用いてM-66X本体とI/Oとの間を最大2km(磁気ディスク装置を接続するときには1km)まで延長可能とする機構である。本サブシステムは、本体装置に内蔵される光チャンネル制御機構と、I/Oの近くに設置するリモート光チャンネル装置から成り、この間を光ファイバケーブルで接続する。リモート光チャンネル装置とI/Oの間は従来の同軸ケーブルで接続される。

3.3 プロセッサ概略仕様

M-66Xのモデル別の概略仕様を表1に示す。

4 論理方式

4.1 命令プロセッサ

(1) 命令処理

図4に示すように、基本命令は5ステージで処理し、各命

表1 M-66Xの概略仕様 M-66Xの主要諸元をモデル別に示す。

項目	モデル	M-660D	M-660H	M-660K	M-662K
命令プロセッサ数		1	1	1	2
命令プロセッサ(命令プロセッサ相当)	命令数	220			
	はん(汎)用レジスタ	16			
	浮動小数点レジスタ	16			
	制御レジスタ	16			
	高速バッファ記憶容量	32kバイト	32kバイト	64kバイト	64kバイト
	アドレス変換バッファ(TLB)	1,024エントリ			
	記憶保護	4kバイト単位の保護キー			
	高速演算機構	あり			
	高速10進演算機構	あり			
	VM/EX機構	あり(付加機構)			
ワーク記憶	記憶容量	—	256kバイト	512kバイト	512kバイト
	記憶容量	32~256Mバイト			64~256Mバイト
主記憶	増設単位	32/64Mバイト			64Mバイト
	チャンネル数	8~32			16~32
入出力プロセッサ	トータルチャンネルスループット	最大70Mバイト/秒	最大96Mバイト/秒		
	チャンネル種類	BLMPX/BYMPX			
	6Mバイト/秒チャンネル数	最大11	最大15		
	光チャンネル数	最大8			

注:略語説明 TLB(Translation Look-aside Buffer)
VM/EX(Virtual Machine/Extended Architecture)
BLMPX/BYMPX(Block Multiplexer Channel/Byte Multiplexer Channel)

命令を2マシンサイクルのピッチで処理する。命令読出しはオペランドのBSへのアクセスの合間を縫って行いBSから8バイト単位に読み出す。演算器のデータ幅は8バイトである。

本方式では、バッファメモリへのオペランドのストア(書込み)と次オペランドのフェッチ(読出し)とが同じメモリアドレスであっても、命令制御ステージは乱れない(すなわち、オペランドコンフリクトが発生しない。)というように先行制御乱れが小さい特徴を持ち、安定した高性能が実現できる。

(2) 高速演算機構

固定小数点及び浮動小数点の乗・除算用に、高速乗算器と高速除算器の高速演算機構を標準装備するとともに、浮動小数点レジスタを従来の4本から16本に拡大し、科学技術計算プログラムの性能向上を図った。また、10進数の加減乗除算及びPACK(Pack)命令、UNPK(Unpack)命令などの演算のための高速10進演算機構を持つ。図5に演算機構を示す。

4.2 3階層記憶方式

MSとBSの間に、WSを持つ3階層記憶方式を採用した。MSは1Mビット素子を採用して高密度・大容量化ができたが、アクセスタイムの向上は小さいため、大幅に性能向上した命令プロセッサ性能とMS性能のかい(乖)離の問題が大きくなってきた。これを解決するために、3階層記憶方式を採用した。

図6にM-660HとM-660Kの3階層記憶構成を示す。MS上のデータを読み出してWSに登録する単位は128バイトである。一方、BSには64バイト単位に登録する。

メモリへのストア(書込み)は、BSに対してはストアスルー、WSに対してはストアイン方式を採用し、ストア処理の高速化を図った。

4.3 ダイアディック方式

M-66Xのプロセッサグループの性能レンジを大きくし、か

(M-660Kの例) マシンサイクル

	0	1	2	3	4	5	6	7	8	9
命令①	D ₁	M ₁	A ₁	L ₁	E ₁					
			PIF	AI	LI					
		命令②	D ₂	M ₂	A ₂	L ₂	E ₂			
					PIF	AI	LI			
			命令③	D ₃	M ₃	A ₃	L ₃	E ₃		

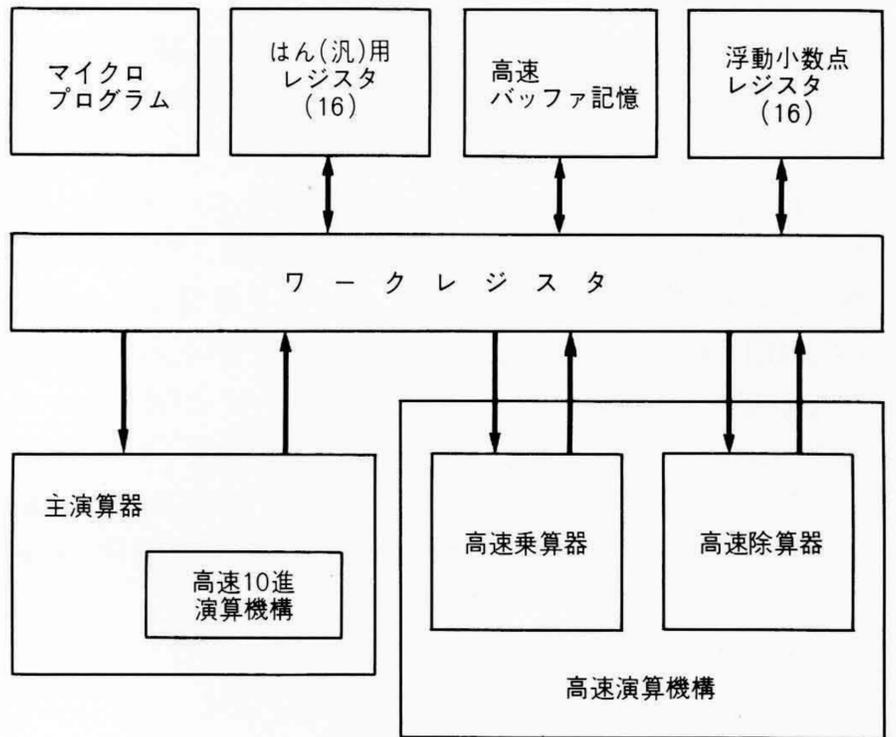
- D: 命令デコード
 - M: アドレス計算
 - A: アドレス変換
 - L: オペランド読出し(ロード)
 - E: 命令実行
 - PIF: 命令先行読出し(命令プリフェッチ)起動
 - AI: 命令のアドレス変換及びBSアドレスアレー参照
 - LI: 命令読出し
- 命令制御ユニットの動作: D, M, A, E
- バッファ制御ユニットの動作: PIF, AI, LI
- 演算ユニットの動作: L
- 特長
- 効率の良い先行制御方式により、コンパクトな論理部を実現
 - 基本命令は2サイクル/命令の処理性能
 - オペランド読出しとオペランド読出しの間で命令先行読出しが可能。

図4 M-66Xプロセッサの先行制御方式 M-66Xは、効率の良い先行制御方式を実現した。

つ装置をコンパクトにまとめるために、最上位モデルであるM-662Kはダイアディック方式とした。これは、M-660Kに命令プロセッサをもう一つ付加した構成となり、先の図3に示したとおりである。

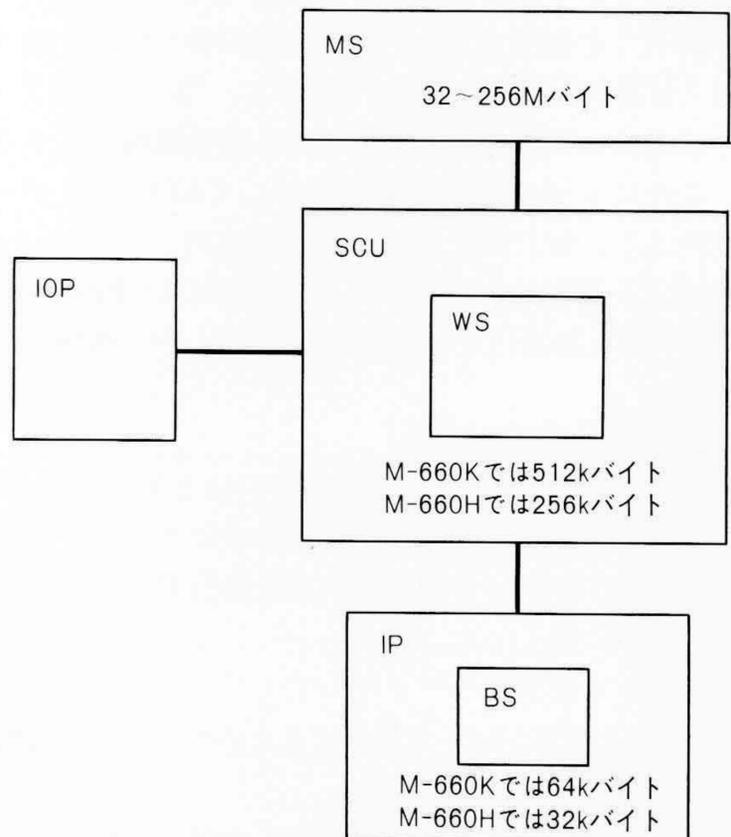
4.4 入出力プロセッサ

チャンネルに対する高機能・高性能化及び高信頼性への要求



- 専用演算器による高速化
- 高速演算機構
- 浮動小数点レジスタ数の拡大(4→16)
- 10進演算の高速化(主演算器に内蔵)

図5 M-66Xの演算機構 高速演算機構を標準装備した。



- 注: 略語説明
- IOP(Input Output Processor)
 - MS(Main Storage)
 - SCU(Storage Control Unit)

図6 M-660H/M-660Kの3階層記憶構成 3階層記憶方式により、性能・コストのバランスの良いメモリ構造を実現した。

を実現するため、IOPで次のような論理方式を採用した。

(1) 3階層論理構成

IOPを、Mシリーズ標準入出力インタフェースでI/Oと接続制御するCH(チャンネル)部、16チャンネルを集中的に時分割制御するCHC(チャンネル制御)部、そして2台のCHCを制御するCHP(チャンネル処理)部とで構成した。それぞれの制御部にCS(Control Storage)を持たせ、IOPをECSとして動作させるなどの柔軟な制御を可能とした。図7にIOPの構成を示す。

(2) データバッファの分散化

入出力データバッファは、各々のチャンネルに独立に配置し、チャンネル当たり最大6Mバイト/秒、IOP当たり最大96Mバイト/秒の転送速度を得た。IOPの小形化を図るため、例えば、M-260H/IOPでは、CBS(Channel Data Buffer Storage: データバッファストレージ)をCHCで一括制御する方式を採用しているが、M-66Xでは、チャンネルを2万4,000/4万ゲート超高集積CMOS-LSIで実装することで、IOPの小形化を損うことなくCBSをチャンネルに分散させることができた。CBSの分散化は、IOP全体の可用性改善にも役立っている。

5 実装技術

5.1 半導体・実装技術

M-66Xは、M-68Xで開発された最新の半導体・実装技術を採用した。これにより、コンパクトで低消費電力の高性能プロセッサを実現できた。

(1) 論理LSI

高性能を実現するために、高速動作の必要な論理部には2,000ゲートLSIを使用した。また、それほど高速性を要求し

ない論理部には、5,000ゲートLSIを採用し、これらの使い分けでコンパクト化を図った。

一方、高速性を必要としないCH部には、超高集積CMOS-LSIを用い、1パッケージに8チャンネル搭載するとともに、消費電力を極めて小さくできた。

(2) RAM

(a) 高速BS(バッファ記憶)

アクセスタイム6nsの4kビットヘバイポラRAMを採用した。

(b) WS(ワーク記憶)

アクセスタイムは25nsの64kビットBi-CMOS RAMを開発した。このチップは、Bi-CMOS技術の採用で低消費電力・高集積が可能になり、WSの容量を最大512kバイトまで実現することができた。

(c) MS(主記憶)

前述したように、国産メーカーとしては初めて1MビットDRAMを採り入れた。この結果、1パッケージに32Mバイトという大きな実装密度を実現することができ、M-66Xの小形化に寄与した。

表2にM-66Xのハードウェア技術を、また、図8にパッケージ外観を示す。

以上述べた半導体・実装技術と論理方式とを調和させ、超高速LSIの実力を最大限引き出して装置を高性能化するとともに、高密度化・低消費電力化を図った。

5.2 装置実装

電源は(一括整流)+(DC-DCコンバータ)方式を採用した。高性能半導体、抵抗、コンデンサ、チョークコイルなどの部

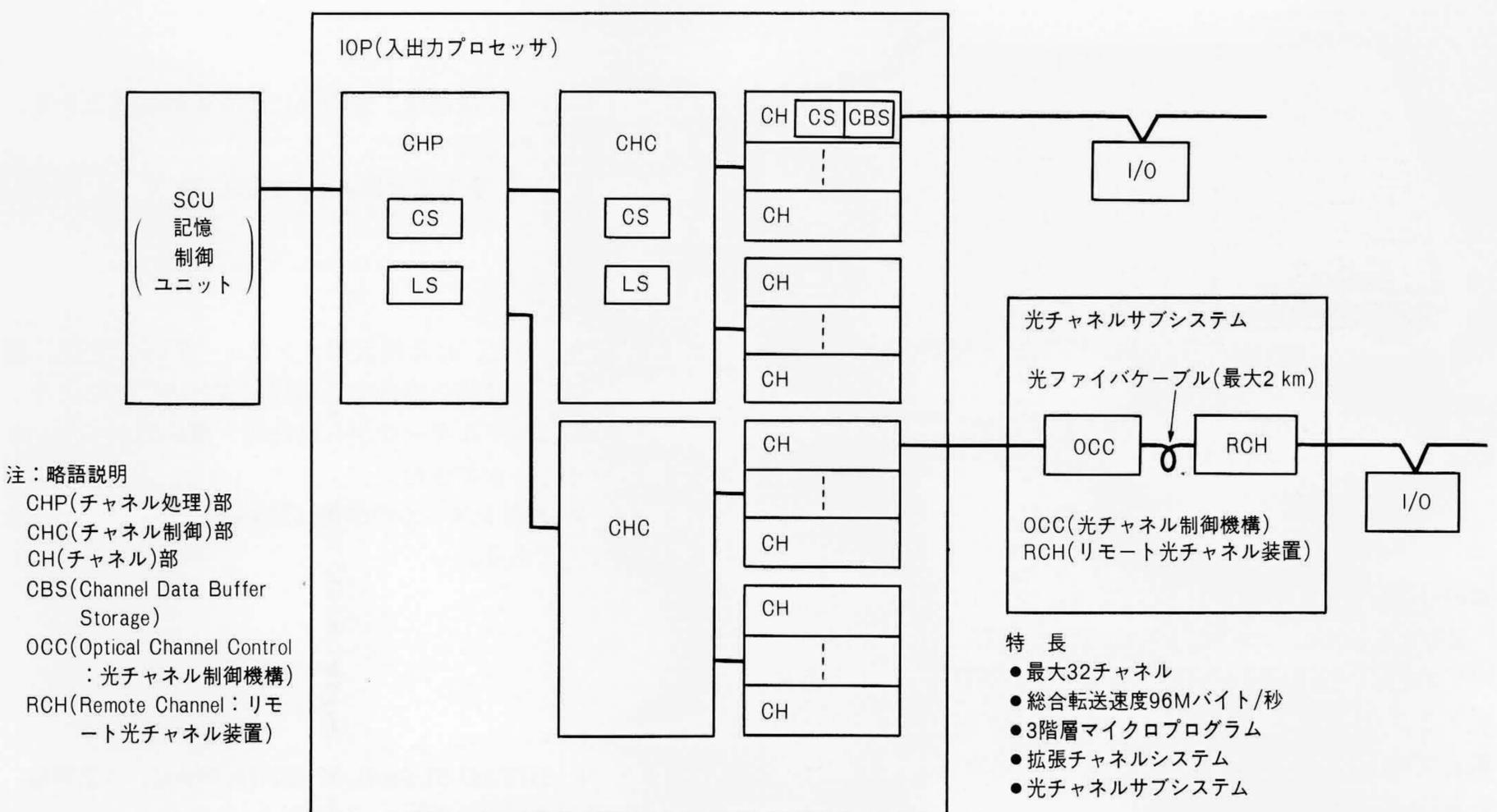


図7 入出力プロセッサの構成 IOP(入出力プロセッサ)は、CH(チャンネル)部、CHC(チャンネル制御)部、CHP(チャンネル処理)部の3階層で構成されている。

表2 M-66Xのハードウェア技術一覧 M-66Xの主なハードウェア技術を、従来機のM-260Hと比較して示す。

項番	ハードウェア技術	M-66X	M-260H
1	高速バイポーラLSI (1) 集積度	2,000ゲート/ 5,000ゲート	550ゲート/ 1,500ゲート
	(2) 回路遅れ	0.2/0.25 ns	0.35/0.45 ns
2	高集積高速MOS LSI 集積度	24,000ゲート/ 40,000ゲート	—
3	ロジックインメモリ 集積度	1,200ゲート+ 7kビット	770ゲート+ 6kビット
4	高速RAM (1) 集積度	4kビット/ 64kビット	4kビット
	(2) アクセス時間	6/25 ns	7 ns
5	高速大容量MOS RAM 集積度	1Mビット	64kビット
6	高速ハイブリッドRAMモジュール 集積度	700ゲート+ 32kビット/ 512kビット	—
7	高密度パッケージ (1) 集積度	100,000ゲート	4,500ゲート
	(2) プリント板	20層	10層
8	配線技術 (1) コネクタ(ピン/パッケージ)	1,776	580
	(2) 高速ケーブル遅延時間	4.0 ns/m	5.0 ns/m
9	冷却	強制空冷	強制空冷

注：略語説明 MOS RAM (Metal Oxide Semiconductor Random Access Memory)

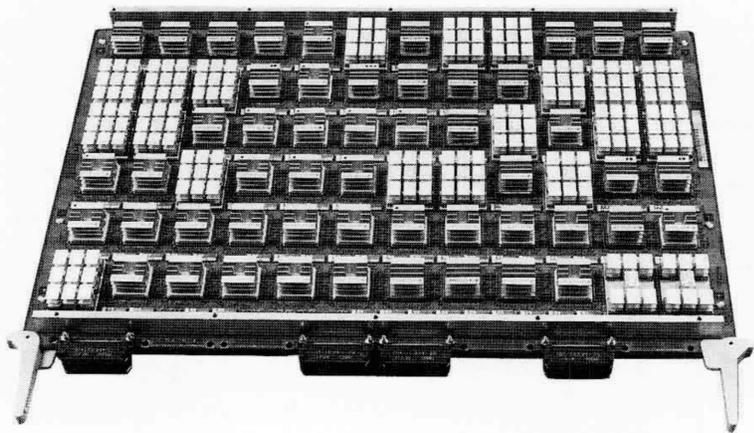
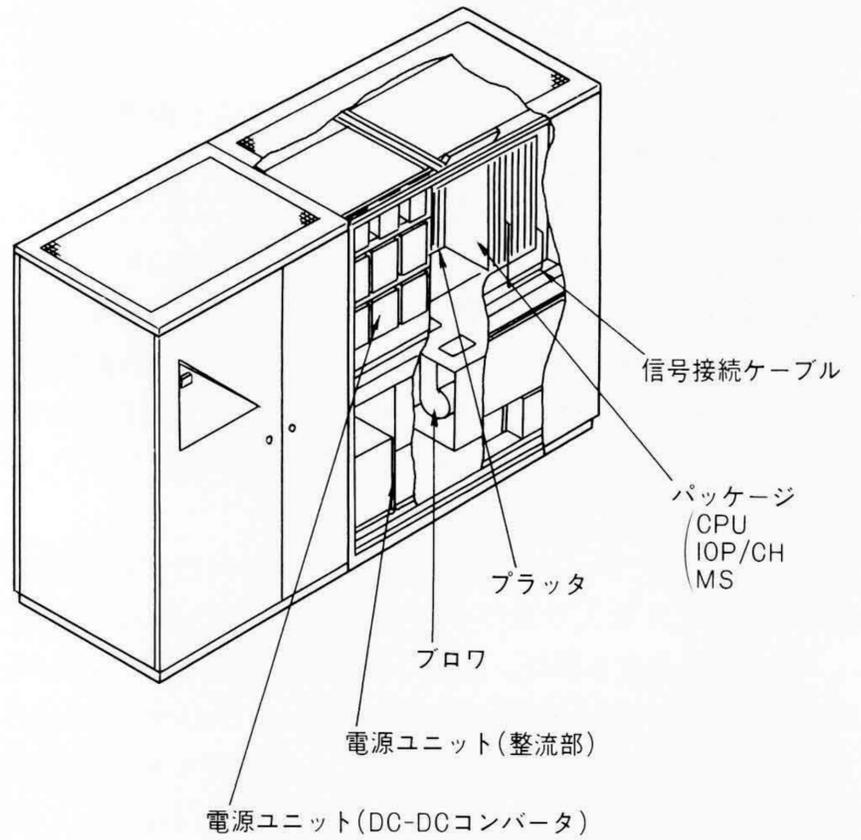


図8 パッケージ外観 パッケージは420mm×280mmの大きさで、LSIとRAMモジュールを最大72個搭載できる。

品の小形化に努力し、全体としてコンパクトにまとめた。
装置実装では、ユニプロセッサのIP, SCU, IOP, MSのすべての論理パッケージを1枚のプラッタに収容する3次元実装とし、小形化を図った。このプラッタの下部にブロワを搭載して冷却することにより、熱効率の良い実装構造を実現できた。
この結果、M-660Kの16チャンネル構成の場合、M-260Hに比べ、床面積で44%に、電力で48%に改善することができた。



注：略語説明 CPU(中央処理装置)
IOP/CH(入出力プロセッサ/チャンネル)
MS(主記憶)

図9 M-660K基本実装構造 CPU, IOP及びMSを1プラッタ上に集中実装している。

表3 床面積・電力比較表 M-66Xの床面積、電力を従来機のM-260Hと比較して示す。

	M-660D	M-660H	M-660K	M-260H
床面積(m ²)CPU	1.5	1.5	1.5	3.4
電力(kVA)CPU+MCD	8.3	8.7	8.9	18.4

注：構成 M-660D(32 Mバイト/8チャンネル), M-660H/M-660K(32 Mバイト/16チャンネル), M-260H(16 Mバイト/8チャンネル, PDUを含む)
略語説明 MCD(Main Console Device)
PDU(Power Distribution Unit)

単位性能あたりでは床面積、電力共に約4倍の向上となり、世界最高レベルを実現できた。

図9にM-660Kの基本実装構造を、表3に床面積・電力の比較を示す。

6 結 言

以上述べたように、はん用大形コンピュータM-66Xは、最新の半導体・実装技術と高効率な論理方式との調和により、コンパクト・省エネルギーながら高性能・高機能なマシンとして開発することができた。

今後も、M-66Xシステムの改善に努め、顧客の期待にこたえていく考えである。

参考文献

- 1) 若井, 外: HITAC M-680H/M-682H処理装置, 日立評論, 67, 987~992(昭60-12)
- 2) 野上, 外: HITAC M-260H処理装置の開発, 日立評論, 64, 539~542(昭57-7)