

1 MビットMPRAM HM534251・HM538121

1 M bit Multi-port RAM HM534251/HM538121

近年パーソナルコンピュータ，ワークステーションなどの情報関連機器の発展は著しく，そのグラフィックシステムに用いられる画像専用メモリの需要が増大している。

この需要にこたえるため，1 MビットMPRAM HM534251・HM538121シリーズを開発した。本製品シリーズは，256 kビットMPRAMの機能に加え，オートロードデータ転送機能とフラッシュライト機能を付加してある。MPRAMの特性の中で重要な位置を占めるシリアルポートのサイクルタイムは，ダブルレジスタ方式とクロックドインバータ方式の採用により，30 nsと高速である。

これらの新機能と高性能の実現によって，グラフィックシステムの設計が容易になり，システムの性能が向上する。

井上 清* Kiyoshi Inoue

山口泰紀** Yasunori Yamaguchi

1 緒 言

パーソナルコンピュータ，ワークステーションなどの急速な発展に伴い，これらの機器のグラフィック端末に用いられる画像専用メモリの需要も急増している。画像専用メモリとしては256 kビットMPRAM(Multi Port Random Access Memory)が広く用いられているが¹⁾，グラフィックシステムの高性能化・高精細化に伴い，画像専用メモリの大容量化の要求が強まっている。

日立製作所では，1986年に256 kビットMPRAM HM53461・53462を製品化した²⁾。これは，2 μm CMOS (Complementary Metal Oxide Semiconductor) プロセスによりRAMアクセスタイム100 nsの高速性を実現するとともに，シリアル入力機能などのMPRAM標準機能に加え，論理演算機能を初めて備えた製品(HM53462)である。しかし，256 kビットMPRAMでは，シリアル出力連続読み出し時にRAMからSAM(Serial Access Memory)へのデータ転送を行う場合，タイミング仕様上の制限が厳しかった。また，SAM出力のサイクルタイムは40 nsと大きく，画面の高精細化に伴い，その高速化が要求されている。

今回開発した1 MビットMPRAM HM534251・HM538121シリーズでは，HM53461・HM53462の高速性・高機能性を受け継ぎ，上記のデータ転送時のタイミング制限を緩和するオートロード転送機能を付加してある。また，SAMサイクルタイムも30 nsと高速化している。

以下，本製品の仕様と回路技術及び電気的特性について述べる。

2 製品仕様

HM534251・HM538121シリーズの仕様の概要を表1に示

表1 HM534251・HM538121シリーズ仕様概要 HM534251シリーズは，RAM・SAMともに×4ビット構成であり，HM538121シリーズは×8ビット構成である。

シリーズ	1 Mビット		256 kビット	
	HM534251 シリーズ	HM538121 シリーズ	HM53461/2	
構成	RAM部	256 kワード× 4ビット	128 kワード× 8ビット	64 kワード× 4ビット
	SAM部	512ワード×4ビット	256ワード×8ビット	256ワード×4ビット
アクセス時間 (RAMポート)		100 ns・120 ns 150 ns	←	100 ns・120 ns・ 150 ns
サイクル時間 (SAMポート)		30 ns・40 ns・ 60 ns	←	40 ns・40 ns・ 60 ns
機能	シリアル入力	あり	←	あり
	ライトマスク	あり	←	あり
	リアルタイムデータ転送	オプション	←	あり
	オートロード転送	オプション	←	なし
	フラッシュライト	オプション	←	なし
論理演算		オプション	←	オプション
プロセス		1.3 μm Nウエル CMOS シュリンク		2 μm Nウエル CMOS
パッケージ		28ピン ZIP, SOJ	40ピン SOJ	24ピン ZIP, DIP, SOJ

注：略語説明 RAM(Random Access Memory)
SAM(Serial Access Memory)
SOJ(Small Outline J-bend Package)
ZIP(Zigzag in Line Package)
CMOS(Complementary Metal Oxide Semiconductor)

* 日立製作所武蔵工場 ** 日立製作所デバイス開発センター

す。HM534251シリーズは256 kワード×4ビット構成、HM538121シリーズは128 kワード×8ビット構成である。

MPRAMに要求されるメモリ構成と性能は、グラフィックシステムのスクリーンサイズとプレーン構成によって異なる。今後のMPRAM応用機器の広がりとともに、グラフィックシステム構成はますます多様化し、MPRAMに対するユーザーの要求も多様化すると考えられる。このようなユーザーの要求の多様化にこたえるために、×4ビット品のほかに×8ビット品も開発した。

SAMサイクル時間は、画面の高精細化に対応できる30 nsバージョンを設定した。

表2はHM534251・538121シリーズの真理値表を示す。×4ビット品と×8ビット品を、付加した機能によって、それぞれ三つの品種系列に設定した。256 kビット品で標準となったシリアル入力、ライトマスク、リアルタイムデータ転送の各機能のほか、オートロード転送とフラッシュライトをオプションで装備した。これらの新機能については4章で述べる。また、HM53462で取り入れた論理演算機能についてもオプションで設定してある。

図1はピン配置を示す。256 kビットMPRAMに比べHM534251シリーズでは、オートロード転送とフラッシュライト機能を実現するために、DSF(Special Function Flag Input)

表2 1 MビットMPRAMの真理値表 ×はDon't care, ()の中はHM534253, HM538123に適用した。HM534251/2, HM538121/2ではDSFはDon't careとなる。

RAS立下り時の信号レベル					機 能	534251 538121	534252 538122	534253 538123
CAS	DT/OE	WE	SE	DSF				
H	H	H	×	×	RAMリード・ライト	○	○	—
H	H	L	×	×(L)	ライトマスク	○	○	○
H	L	H	×	×	リード転送	○	○	—
H	L	L	H	×(L)	擬似転送	○	○	○
H	L	L	L	×(L)	ライト転送	○	○	○
H	L	H	×	H	オートロード転送	—	—	○
H	L	H	×	L	オートロードイニシャライズ転送	—	—	○
L	×	H	×	×	CBRリフレッシュ	○	○	○
L	×	L	×	×	論理演算セット・リセット	—	○	—
H	H	L	×	H	フラッシュライト	—	—	○
H	H	H	×	H	カラーレジスタセット	—	—	○
H	H	H	×	L	RAMリード・ライト	—	—	○

注：略語説明 CBR(CAS before RAS refresh)

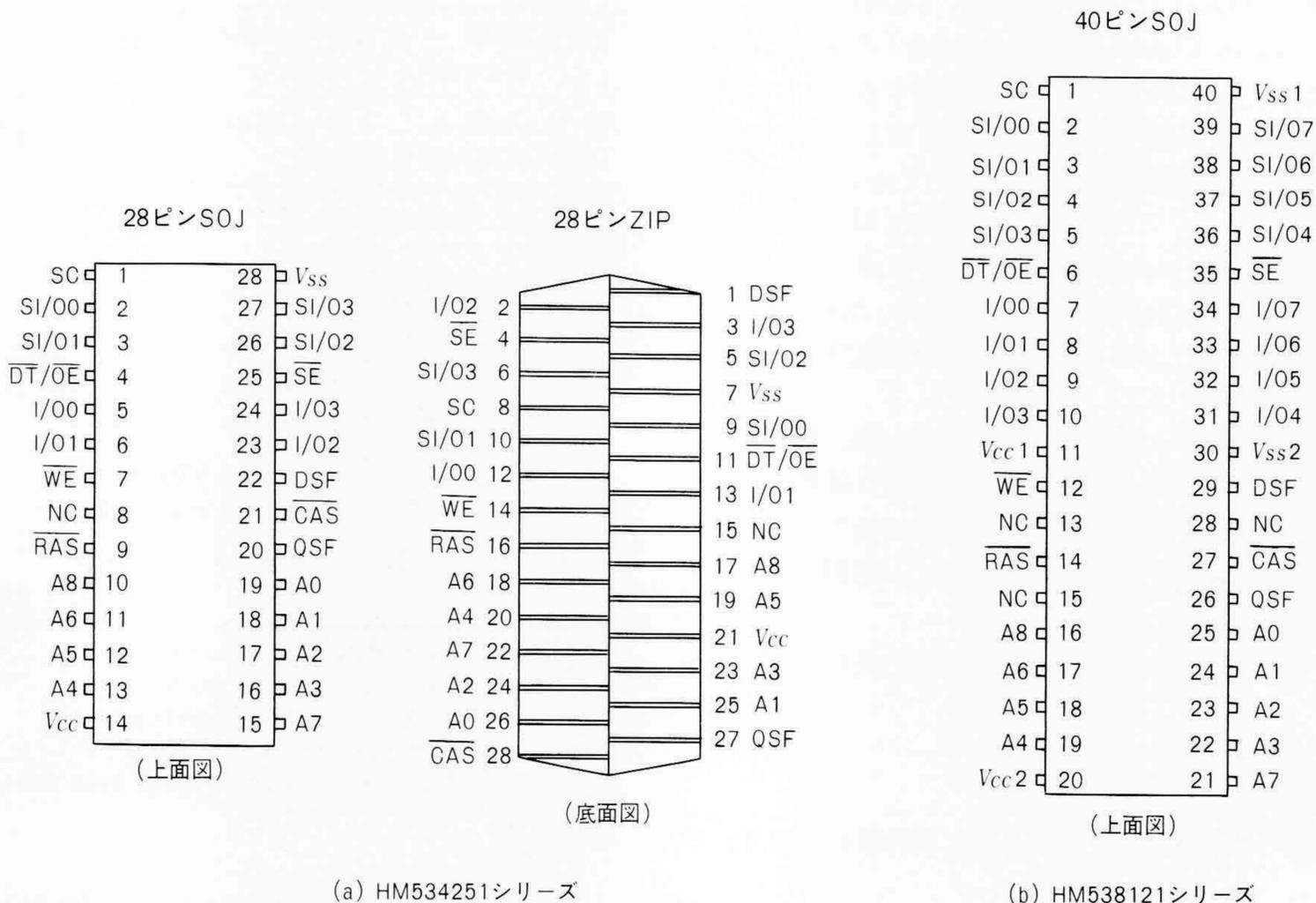


図1 HM534251・HM538121シリーズピン配置 HM538121シリーズでは、入出力バッファ用電源ピンVcc1, Vss1とクロック発生回路用電源ピンVcc2, Vss2を分離して、ノイズ低減を図っている。

表3 プロセス デバイス技術 メモリセルは1M DRAMと同じ構造である。しかし、Y方向のメモリセルピッチはSAMデータラッチのサイズで決まるためDRAMより大きい。

プロセス	チャンネル長	メモリセル	メモリセルサイズ	チップサイズ
nウエルCMOS ポリSi 2層・Al 2層	1.1 μm (1.3 μm シュリンク)	nMOSトランジスタ+ 容量	3.06×9.01 μm ²	4.92×12.68 mm ²

注：略語説明 nMOS(NチャンネルMOS)

ピンとQSF(Special Function Flag Output)ピンが追加されている。また、×8ビット構成のHM538121シリーズでは、更にVcc₂, Vss₂ピンを追加し、入出力端子の増加に伴うノイズ対策を行っている。パッケージは、HM534251シリーズは28ピン400ミルのSOJ(Small Outline J-bend Package)と28ピン400ミルのZIP(Zigzag in Line Package)の2外形であり、HM538121シリーズは40ピン400ミルのSOJである。

3 プロセス デバイス技術

表3は1MビットMPRAMに使用したプロセス デバイス技術を示す。1MビットDRAM(Dynamic RAM)HM511000のプロセスである1.3 μm nウエルCMOSのシュリンクプロセスを使用して、4.92×12.68 mm²のチップサイズに回路を収めた。

図2にチップレイアウトを、図3にチップ写真を示す。図2に示すように、メモリセルアレーは4マット構成とし、メモリセルアレー中央部に列デコーダを配し、その左右にデータレジスタやシリアル入出力スイッチ回路を置いた。メモリセルアレーを8マット構成にしたほうがビット線容量が小さくなり、読出し信号量が大きくなるので、センス系回路は雑音に強くなる。しかし、MPRAMでは従来のDRAMに対してSAM部のデータレジスタやセクタなどが追加される。このSAM系回路はRAMのセンスアンプ列と対で配置する必要があるため、8マット構成ではチップ幅が大きくなり小形パッケージの適用ができなくなる。

本製品では、メモリセルアレーを4マット構成とし、SAM

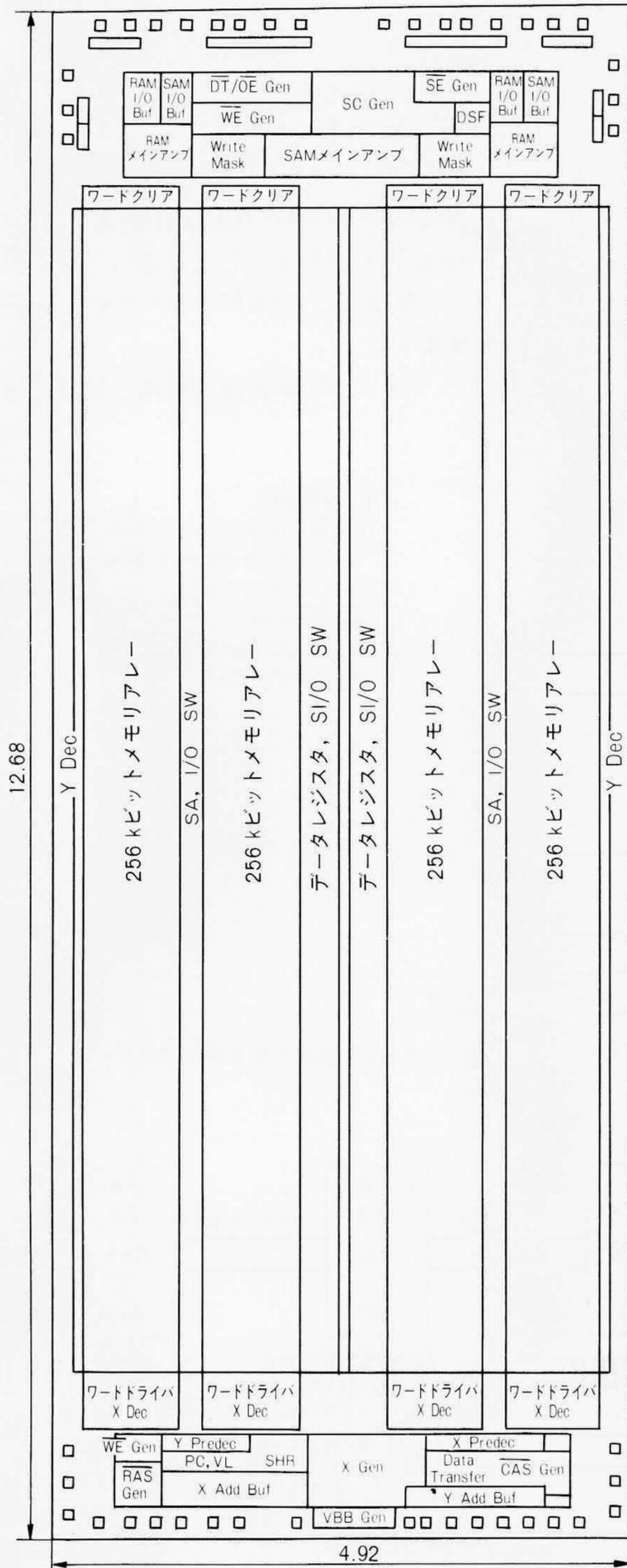


図2 チップレイアウト 4マット構成シェアード形センスアンプの採用で、チップ幅は4.92 mmに抑えている。

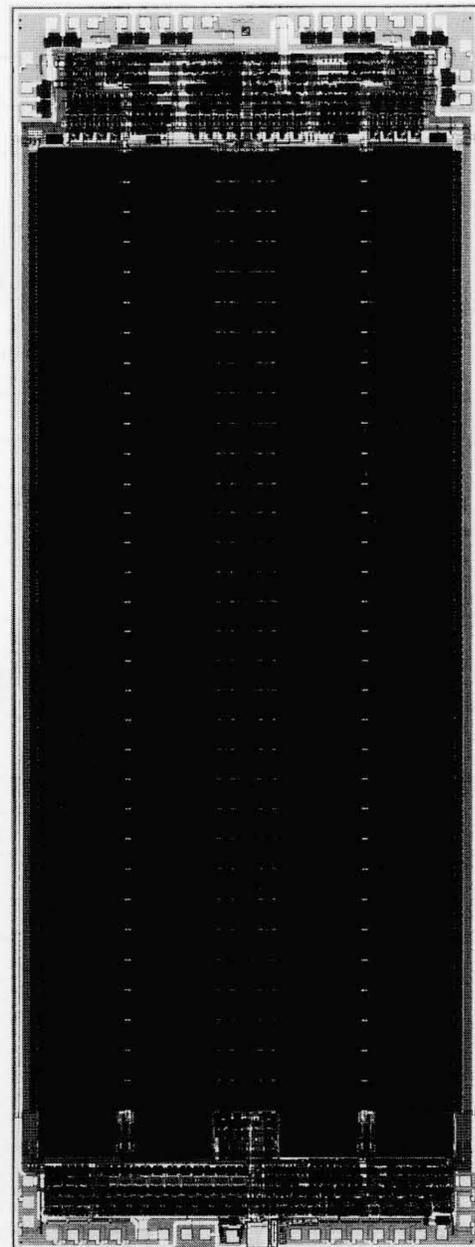


図3 チップ写真 図2のチップレイアウトに対応している。

系回路を少なくするとともに、2列のメモリセルアレーで1列のセンスアンプを共用するシェアード形センスアンプを採用することによって、チップ幅を4.92 mmに抑え、400ミル幅の小形パッケージを適用した。

4 回路技術

4.1 オートロードデータ転送

256 kビットMPRAMでは、リード転送サイクル中も中断なくSAMデータを読み出す場合、RAM部からSAM部へのデータ転送はリアルタイムデータ転送で行っていた。図4にリアルタイムデータ転送のタイミング波形を示す。この転送サイクルでは、転送信号DTとSAMクロックSCとの間にタイミング上の制限があり、サイクルタイムが短い場合にはこのタイミング制御に特別な注意が必要であった。1 MビットMPRAMではSAMサイクル時間が30 nsと更に高速化されているため、リアルタイムデータ転送サイクルでのタイミング制御はますます困難となる。

このタイミング上の制限を緩和するために導入したのが、オートロード転送機能である。図5にオートロード転送のブロック図と動作シーケンスを示す。従来1列であったデータレジスタを2列としたダブルレジスタ方式である。片方のレ

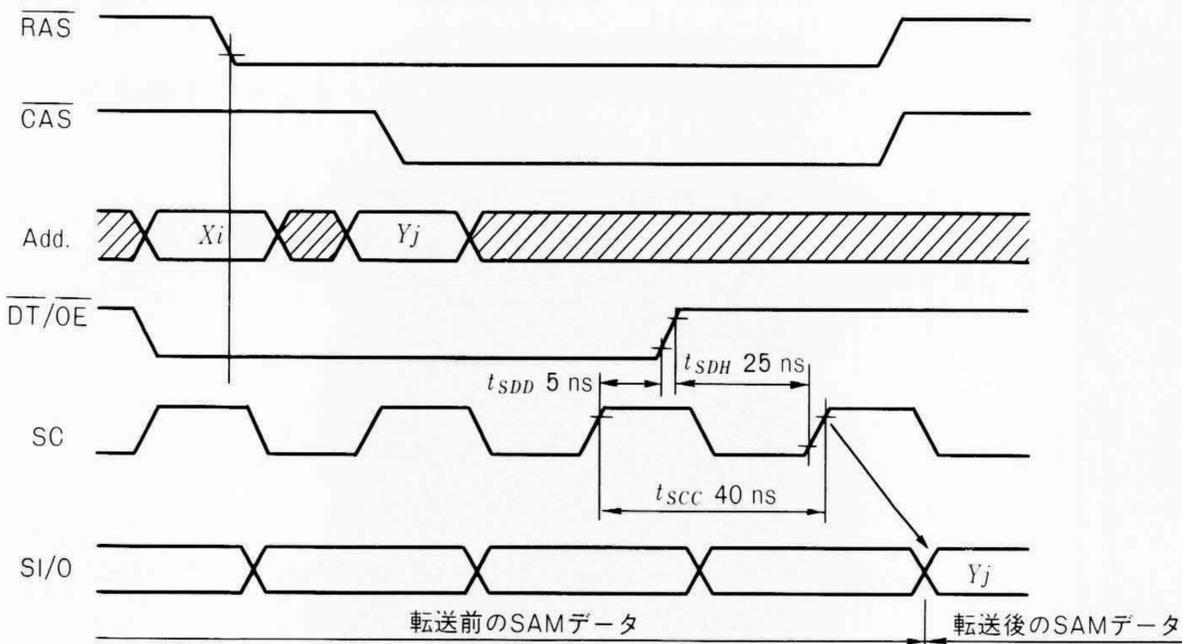
ジスタからシリアルデータを読み出している間に、もう一方のレジスタにRAMからデータを転送する。動作シーケンスは以下に述べるとおりである。

- (1) 電源投入後、オートロードイニシャライズサイクルを実行する。これによりSAMのデータレジスタ切替回路がリセットされ、RAMデータはDR0 (データレジスタ0)に転送される。同時に、データレジスタが待機状態であることを示すフラグQSFはハイレベルとなる。
- (2) 外部コントローラはQSFのハイレベルを検出して、次に出力するRAMデータをオートロード転送サイクルでDR1に転送する。DR1にデータが転送されることによってQSFはローレベルとなり、転送サイクルの実行禁止を外部コントローラに知らせる。
- (3) DR0からのデータ読出しが終了すると、レジスタ切替回路によってDR1に切り替わるとともに、QSFは再びハイレベルとなる。

以上のシーケンスを終えた後は、QSFのレベルをモニタしながらオートロード転送を実行することによって、従来のような厳しいタイミング制御なしでSAMのデータを読み出せる。

4.2 フラッシュライト

図6にフラッシュライトの制御回路の概略と動作波形を示



注：略語説明

- RAS(Row Address Strobe)
- CAS(Column Address Strobe)
- Add(Address Input)
- DT/OE(Data Transfer/Output Enable)
- SC(Sevial Clock)
- SI/O(SAM Port Data Input/Output)

図4 256 kビットMPRAMリアルタイムデータ転送サイクル \overline{DT} の立上りタイミングを t_{SDH} と t_{SDD} を満足させる必要がある。SAMサイクル t_{SCC} が短くなるとタイミング制御が困難になる。

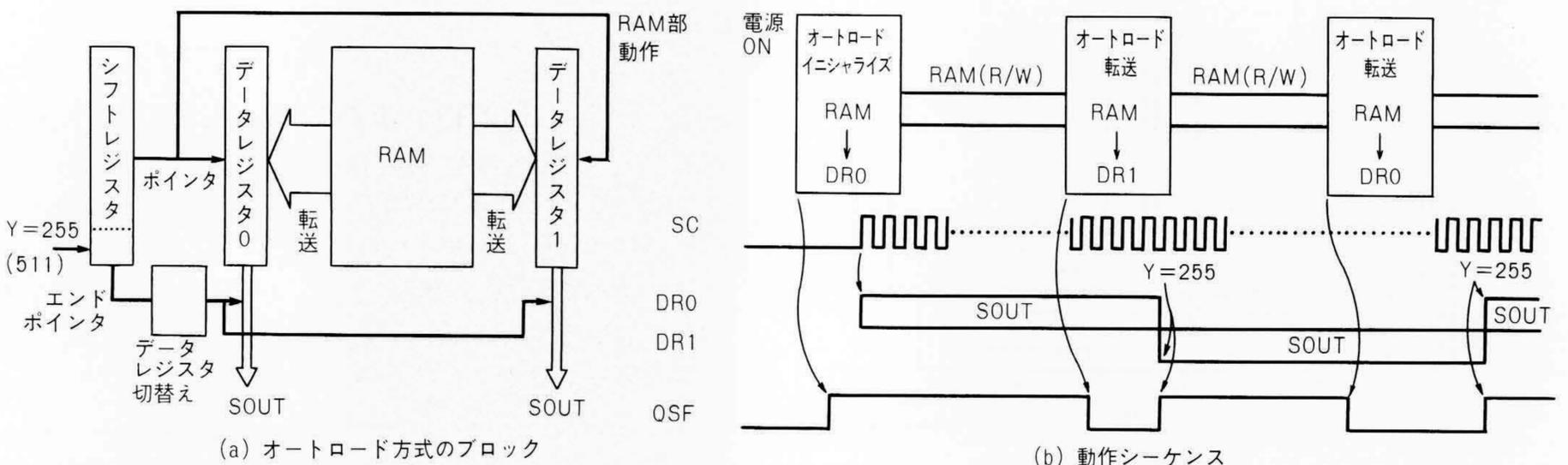


図5 オートロード方式データ転送 データレジスタ0, 1で交互に転送を行う。

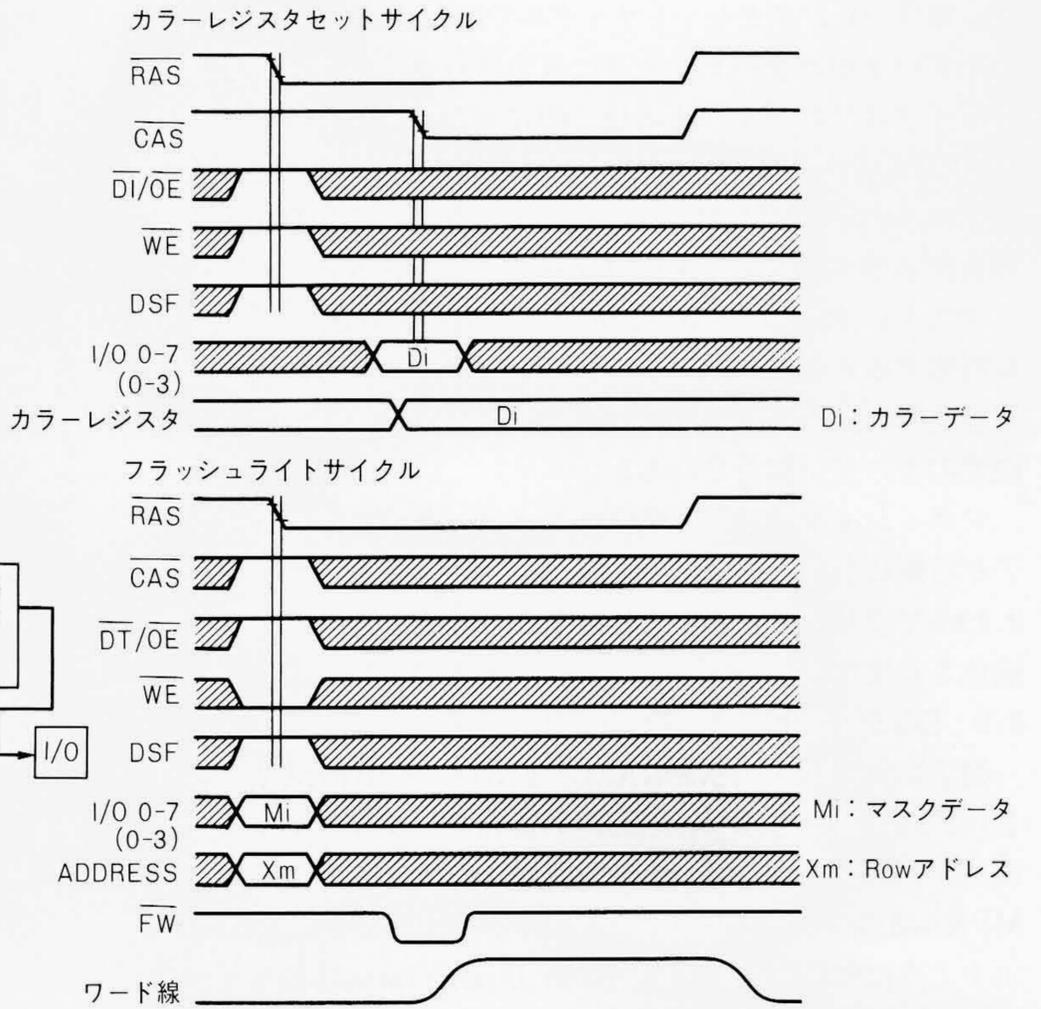
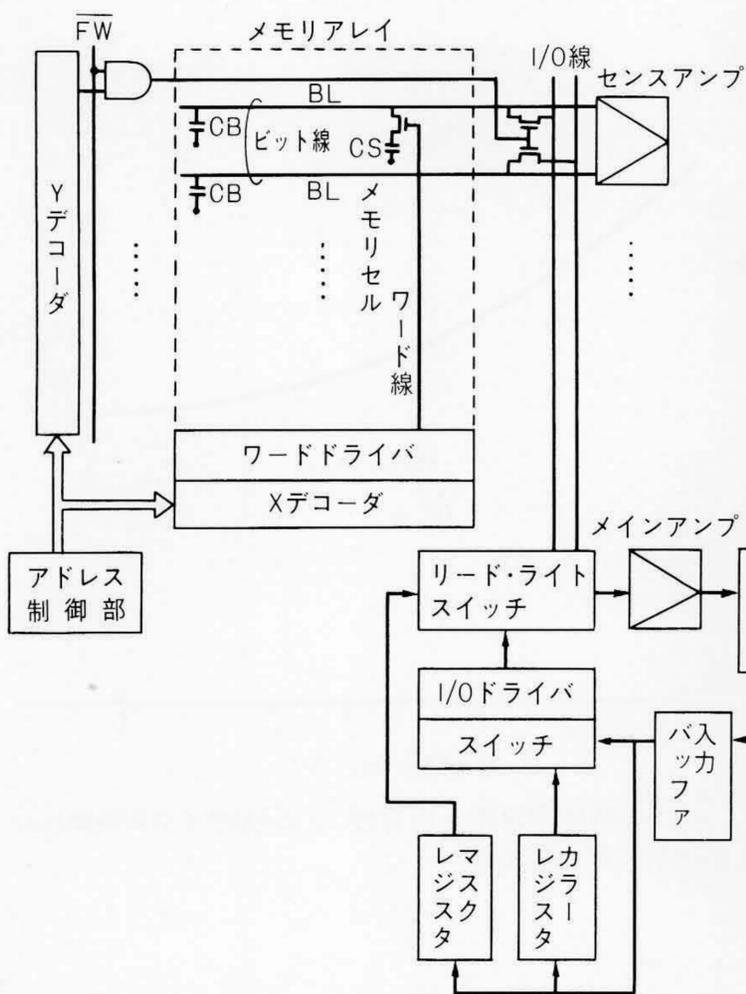
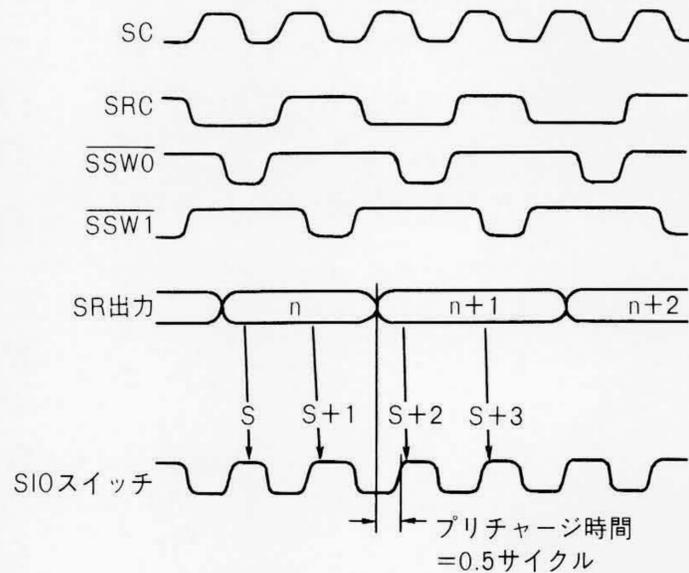
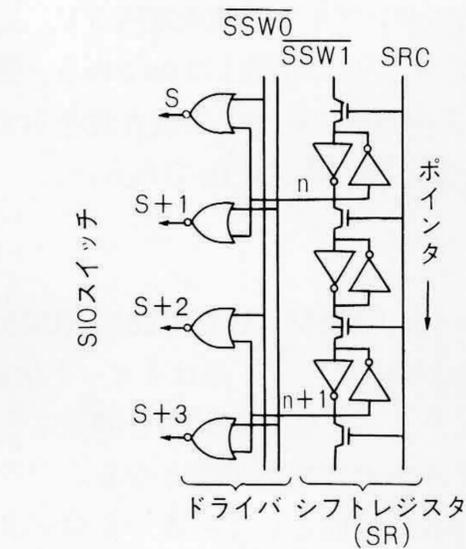
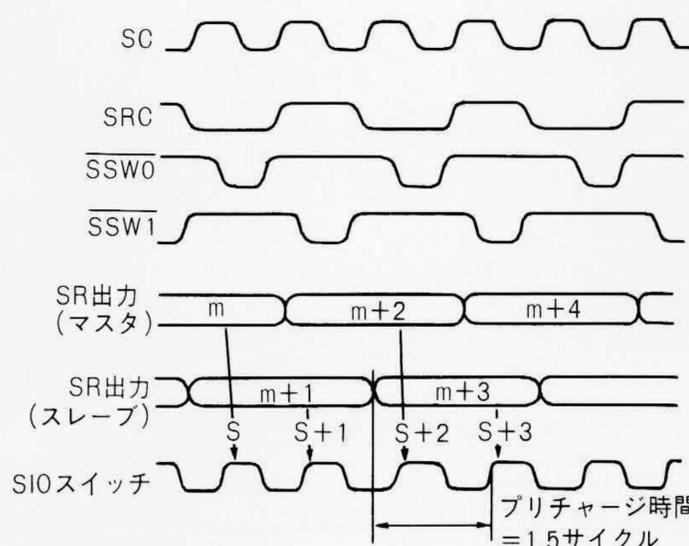
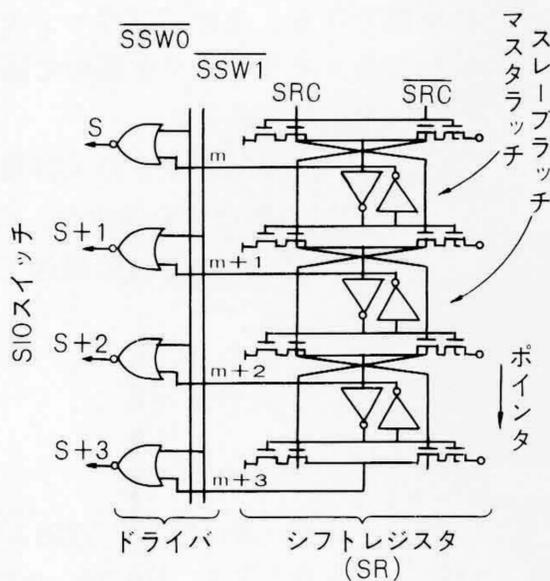


図6 フラッシュライト制御回路とタイミング波形 フラッシュライトサイクルでは、制御信号FWによってI/O線のカラーデータをビット線に伝達する。次いでワード線が立ち上がってメモリセルデータを書き替える。



(a) 256 kビット MPRAM



(b) 1 Mビット MPRAM

図7 SAMシフトレジスタ回路 256 kビットMPRAMと1 MビットMPRAMのシフトレジスタ周辺回路を示す。1 Mビットの回路ではマスタラッチとスレーブラッチの出力を用いるため、プリチャージ期間に余裕がある。

す。カラーレジスタセットサイクルでI/O(入出力)ピンからカラーデータがカラーレジスタに入力される。フラッシュライトサイクルではサイクルのはじめにカラーレジスタのデータがI/O線を通してビット線に伝達される。次に、選択された行アドレスのワード線レベルが立ち上がって、そのワード線につながるすべてのビットにカラーデータが書き込まれる。

マスクレジスタはフラッシュライトサイクルで、特定のI/Oに対応するメモリセルのクリアを禁止するためのもので、RAS立下り時にI/Oがローレベルであると、そのI/Oはマスクされ従来のデータが保持される。

フラッシュライト機能を用いるとメモリデータの高速クリアが可能になり、1MビットMPRAMの全メモリデータは約0.1msでクリアできる。これは従来の方法に比べて $\frac{1}{2,000}$ に高速化されている。

4.3 SAM高速化

図7は256kビットMPRAMと1MビットMPRAMのシフトレジスタ回路を示す。どちらの回路も、シフトレジスタはSC(シリアルクロック)の2倍の周期で動作する。256kビットMPRAMのチャージ転送形シフトレジスタでは、動作波形に示すようにSIO(SAM Port Data Input/Output)のスイッチが開く0.5サイクル前にシフトレジスタ出力がイネーブルとなる。このため、SAMサイクルが短くなると、プリチャージ期間が縮まってタイミングマージンが小さくなる。

これに対し、1MビットMPRAMで採用したクロックインバータ形シフトレジスタは、マスタラッチとスレーブラッチにより構成されており、シフトレジスタ出力はSIOが選択される1.5サイクル前にイネーブルとなる。このため、高速動作時にでもタイミングマージンが大きく、安定した動作が得られる。

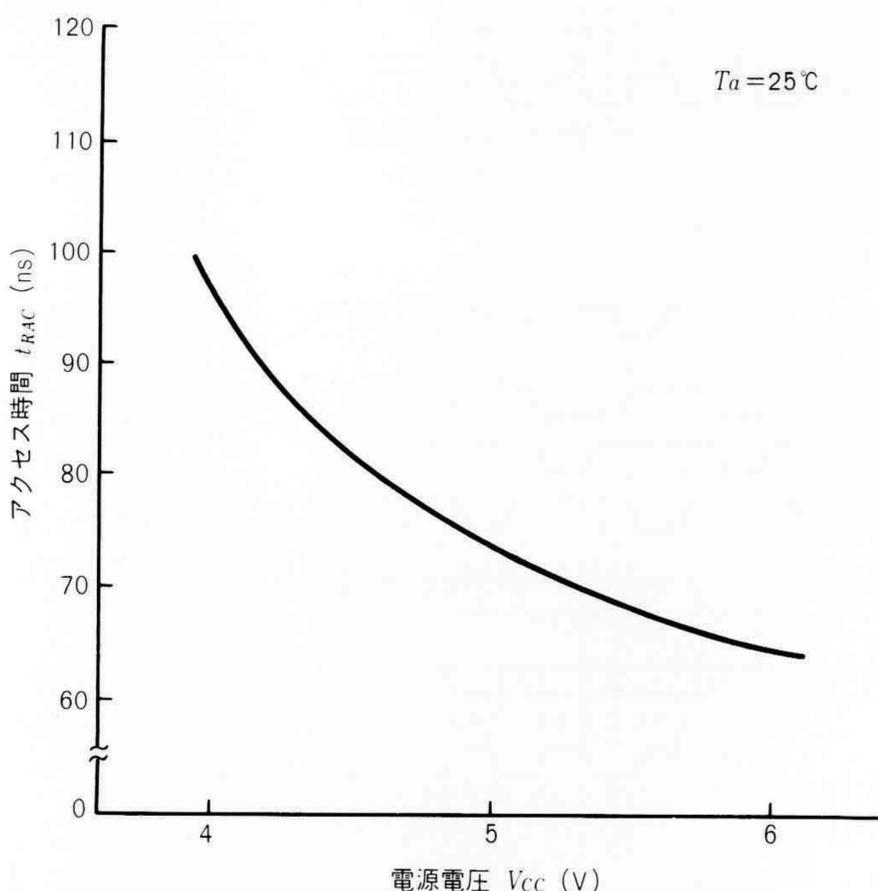


図8 アクセス時間電源電圧依存性 周囲温度25°C, $V_{CC} = 5V$ の条件でRASアクセス時間 t_{RAC} は74nsである。

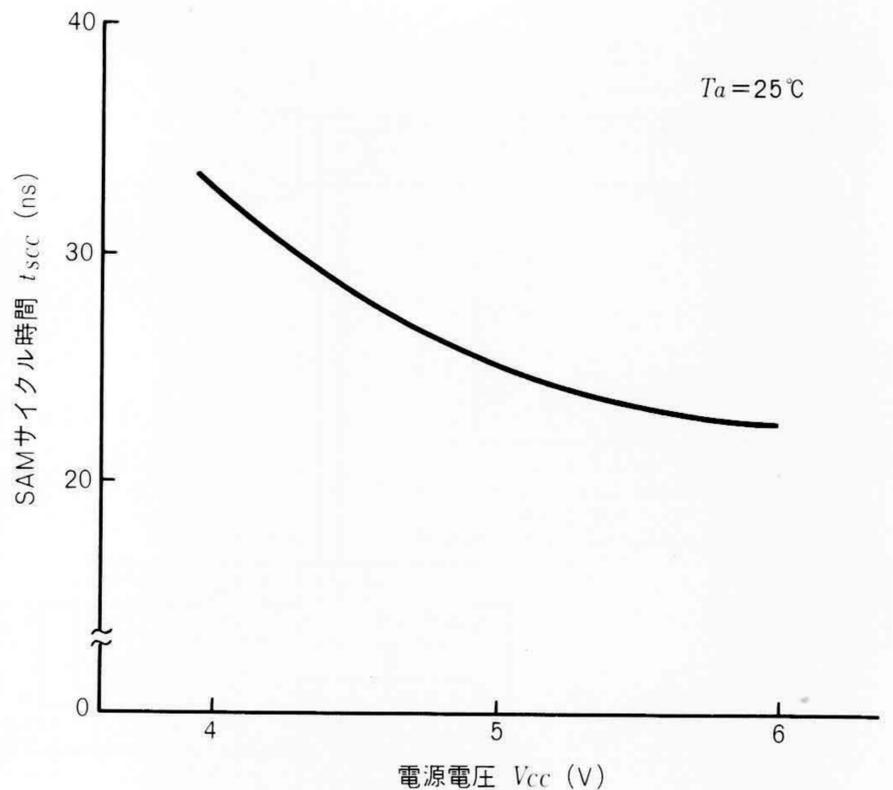


図9 SAMサイクル時間電源電圧依存性 SAMサイクル時間 t_{SCC} は、 t_{RAC} と同じ条件で25nsである。

5 電気的特性

図8にHM534251のRAMのアクセス時間の電源電圧依存性を示す。このサンプルでは電源電圧5V, 周囲温度25°Cの条件で、RAMのアクセス時間は74nsである。図9はHM534251のSAMサイクル時間の電源電圧依存性を示す。図8と同じ条件でSAMサイクル時間は25nsである。

6 結 言

1MビットMPRAM HM534251・HM538121シリーズを開発した。従来の256kビット品は4ビット構成だけであったが、これに加え8ビット構成の製品を開発することによって、幅広いシステムへの応用が可能となる。

また、新しい機能として、オートロード転送機能とフラッシュライト機能を内蔵した。オートロード転送機能を用いると、SAM出力連続読出し時に、RAMからSAMへのデータ転送が容易に実現できる。また、フラッシュライト機能によって1Mビットの全メモリデータを極めて短時間(約0.1ms)でクリアすることが可能である。

本製品シリーズは、1Mビットの大容量に加えて、上記の新機能の内蔵とSAMの高速化を達成し、高性能グラフィックシステム用の画像専用メモリとして最適である。

参考文献

- 1) 松永：内外メーカーが一齐に参入する256kデュアルポートメモリ, 日経エレクトロニクス, No.369, p.195~215(昭60-5)
- 2) 石原, 外：ラスト演算機能を取り込みシリアル入力機能も付けた256k画像用デュアルポートメモリ, 日経エレクトロニクス, No.391, p.243~264(昭61-3)