

ISDN用 I-インタフェースLSI “HD81501”

ISDN I-Interface LSI “HD81501”

ISDNの供用開始に向けて、装置の小形化・経済化のため、そのインタフェース規格を満足するLSIの開発が要求されている。ここで述べるI-インタフェースLSI “HD81501”は、従来、マイクロコンピュータを含む複数のLSIを必要としていた機能のすべてを、ASIC技術で集積化し1チップ化したものである。

I.430(レイヤ1)は専用論理で、I.441(レイヤ2)は専用論理と内部メモリに搭載されたソフトウェア処理でサポートされている。更に、レイヤ3の処理のための上位はん(汎)用マイクロコンピュータと直接接続可能なバスインタフェースを内蔵しているので、各種ISDN端末などに容易に適用可能である。

山本恭敬* Yasunori Yamamoto

萩原史郎** Shirô Hagiwara

坪井 務*** Tsutomu Tsuboi

風間 仁*** Masashi Kazama

1 緒 言

近年、通信分野では電気通信サービスの高速化、多様化に対応して、CCITT(国際電信電話諮問委員会)を中心にISDN(Integrated Services Digital Network: サービス総合ディジタル網)構築を目指した標準化活動が進められ、世界各国で実用化段階に入っている¹⁾。

我が国では、日本電信電話株式会社がINS(Information Network System: 高度情報通信システム)を提唱し、モデルシステムの検討を昭和59年から三鷹市を中心に進めてきた。そして昭和63年4月からは、東京、大阪、名古屋でINSネット64²⁾として世界標準仕様(CCITT規格)に基づいた形で、商用サービスを開始した。

ISDNは伝送路と交換機をディジタルで統合化することによって、現在、アナログ網あるいは専用線網で個別に伝送されている音声、データ、画像などの各種通信サービスを統一的なインタフェースで提供するネットワークである³⁾。

ISDNは、1本の加入者回線上で64kビット/秒の情報チャネル(Bチャネル)二つと16kビット/秒の制御チャネル(Dチャネル)一つを多重伝送する2B+D方式である。国内外では、このISDNに対応する様々なLSIが紹介されている⁴⁾。これらのLSIの構成とサポートできる範囲は各社各様である。ここでは、ISDN端末機器の小形化を実現するため、端末装置インタフェースに不可欠で標準化の進んでいるレイヤ1、レイヤ2機能⁵⁾を1チップ化したI-インタフェースLSI “HD81501”について、その開発のねらい、設計技術及び応用例を中心に述べる。

2 開発目標

ISDN端末に要求されるインタフェース機能としては、レイヤ1、レイヤ2、レイヤ3機能などがあるが、これらは、CPU(Central Processing Unit)、ROM(Read Only Memory)、RAM(Random Access Memory)、レイヤ1専用LSI、レイ

ヤ2専用LSIなど複数のLSIによって構成されることが多い⁴⁾。このように、従来、複数LSIによって実現されていた機能の大部分を、ASIC(Application Specific Integrated Circuit)技術を用いLSI化することを検討し、8ビットCPUコアを内蔵するI-インタフェースLSI “HD81501”の製品化を行うこととした。

I-インタフェースLSIでは、ISDN端末に必ず(須)であり、CCITT規格によって統一されているレイヤ1、レイヤ2機能を1チップに集積化することとした。ビット単位的高速処理を必要とするレイヤ1とレイヤ2のフレーム制御はハードウェアで構成し、レイヤ2の状態制御はソフトウェアで構成するのが適している⁶⁾。そのため、LAPD(Link Access Procedure on the D channel)^{*1)}制御を実行する8ビットCPUを内蔵し、内部ROM上には、そのファームウェアを移植している。このような積極的な集積化の結果、機器のハードウェア量の低減による小形化と、装置メーカーサイドでの複雑なプロトコル処理ソフトウェア開発が不要となっている。

レイヤ3機能は、要求されるデータ処理量、付加サービス内容が端末種別によって異なる。したがって、アプリケーションに依存するレイヤ3機能部は、外部CPUによって処理する必要がある。I-インタフェースLSIでは、はん用化のため3種類の標準的なCPUと接続するインタフェース機能を内蔵化している。転送モードとしては、一般的なプログラム入出力モードはもちろん、パケットデータ処理時など高速転送が必要な場合を考慮し、DMA(Direct Memory Access)転送機能も実現している。

*1) ISDNのユーザー網インタフェースで、Dチャネルのレイヤ2に適用されるプロトコルである。

なお、レイヤ1機能のうち、ドライバレシーバ機能は外部モジュールで対処している。これは、ドライバレシーバ機能がCCITT規格で定義される回線上の電気的特性を厳密に満足する必要がある高精度アナログ回路を必要とし、内蔵化によってかえってコストの増加を招くこと、また、回線との接続に必要なトランス部分は、ドライバレシーバと一体化設計したほうが性能上有利なことによる。

3 I-インタフェースLSI “HD81501” の設計

3.1 HD81501の特長

HD81501は、CCITT勧告Iシリーズに準拠した基本ユーザー、ネットワーク用S/TインタフェースLSI^{※2)}である^{7),8)}。

特に、レイヤ2機能として、LAPD制御用8ビットCPU(HD64180相当)をコアに、ROM16kバイト、RAM1kバイトをオンチップ化し、ROM上には、LAPD制御プログラムをファームウェア化している。

本LSIの開発仕様を表1に示す。

3.2 HD81501の機能

HD81501のブロック構成を図1に示す。同図で、レイヤ1制御部は、CCITT勧告I.430⁵⁾に準拠した2B+Dチャンネル構造を持つベーシックインタフェースのレイヤ1機能を制御する。

S/Tインタフェース上では、192kビット/秒の転送速度によって、48ビットで構成されたフレームを4線全二重方式で送受信する。符号形式は、AMI(Alternate Mark Inversion)符号を採用している。レイヤ1制御部は、外部にラインドライバレシーバモジュールを接続することによって、このレイヤ1フレームのタイミングリカバリ、フレーム同期などのレイヤ1制御機能を実現している。受信信号からのタイミング抽出には、消費電力及びI.430で規定される耐タイミングジッタ性能を満足するため、6.144MHzの周波数で動作するDPLL(Digital Phase Locked Loop)を採用している。

Bチャンネルデータバッファは、FIFO(First-In First-Out)によって実現され、レイヤ1フレーム位相と非同期でのデータの入出力が可能となっている。なお、Bチャンネルの使用法として、64kビット/秒2チャンネルを192kビット/秒1チャンネルとして使用するバルク機能モードも採用されている。レイヤ1部の活性・非活性制御、コネクタ外れ、同期外れなどによる異常時の処理、レイヤ1管理に必要なタイマ機能などは、内蔵CPU部のソフトウェアで実現されている。

Sインタフェースでは、1回線上に端末は8台まで接続可能であり、各端末と網終端装置間の制御はDチャンネルを共用して実現している。したがって、各端末が同時に網終端装置とアクセスしようとするDチャンネルの衝突が発生する。競合制御部は、この衝突を回避するためのもので、Eビットの監視によりDチャンネル競合を検出すれば、Dチャンネルフレーム送信を中断し、回線の空き検出状態に移る。

競合制御機能は、CCITT勧告ではレイヤ1機能として定義されているが、レイヤ1だけで実現するにはデータバッファ量が非常に大きくなる。この問題の解決策として、競合がレイヤ2フレームのアドレスフィールドで検出可能であることから、レイヤ1、レイヤ2を一体化させて競合制御を行う方法がある⁹⁾。これにより、ハードウェア規模が大幅に低減されている。競合によって中断されたフレームは、HDLC(High Level Data Link Control)フレーム組立の前におかれたバッファで保持されており、回線の空き状態を検出すれば、レイヤ2、レイヤ3処理CPUからデータを再設定することなく、フレームの再送出手間を行うことができる。

レイヤ2制御機能部は、CCITT勧告I.441⁵⁾に準拠したプロトコル(LAPD)を制御する部分で、ハードウェアで実現したHDLC制御部と内蔵CPUで実現した状態制御部が必要である。HDLC制御部では、開始フラグ、アドレスフィールド、コントロールフィールド、インフォメーションフィールド、FCS(Frame Check Sequence)^{※3)}、終結フラグで構成されるレイヤ2フレームのフォーマット化、透過性保証のための“0”の挿入・削除、FCSの作製・検証、フレームの異常検出などの処理が行われる。

状態制御部は、16kバイトROM、1kバイトRAMから成る内蔵メモリ部と、64180相当のCPUコア部によって構成される。

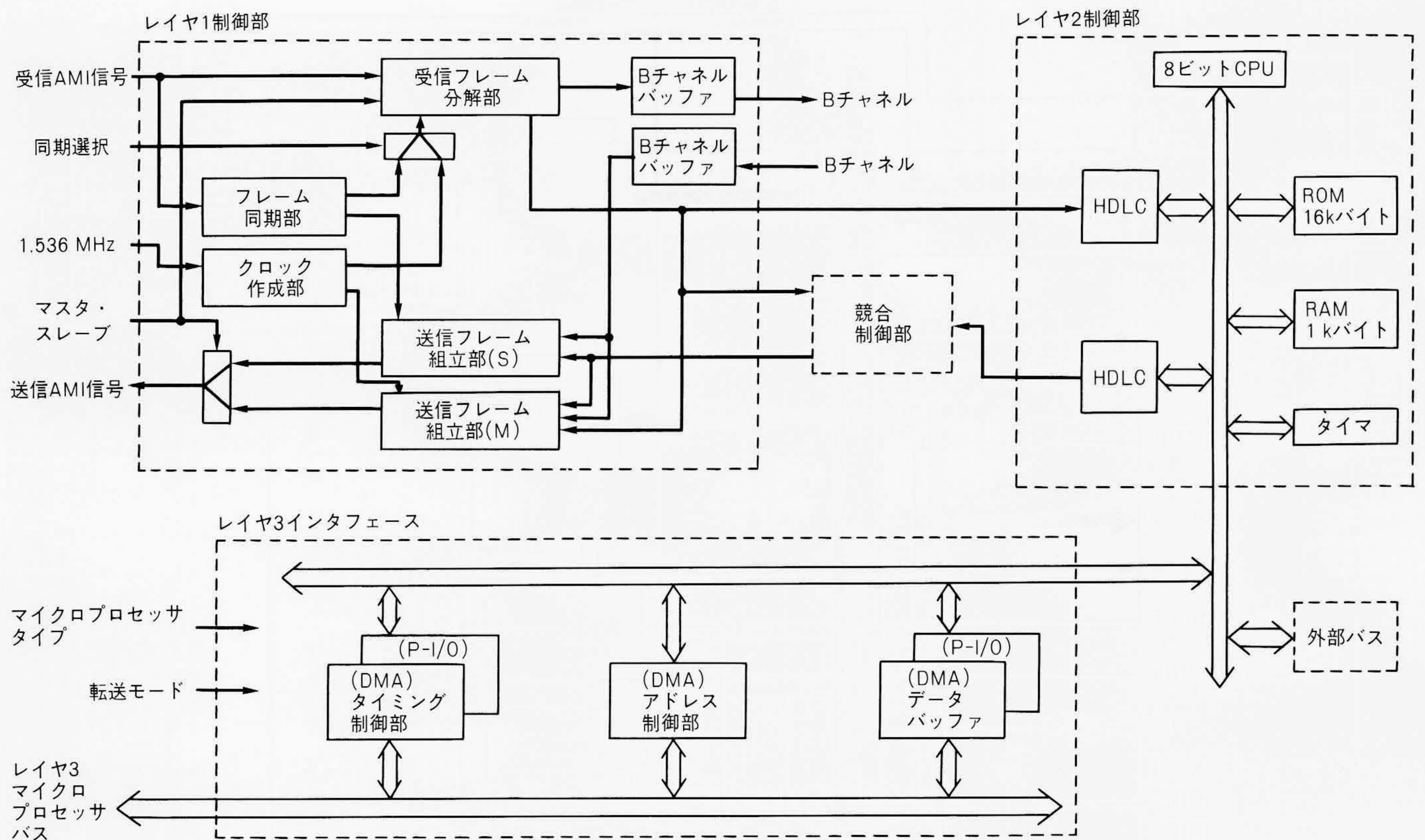
表1 HD81501の特長と仕様概要 HD81501はレイヤ1、レイヤ2機能を1チップ化したISDN用I-インタフェースLSIである。

項 目	仕 様
機 能	レイヤ1制御(CCITT I.430) レイヤ2制御(CCITT I.441) レイヤ3プロセッサインタフェース機能
内蔵マイクロプロセッサ	64180 8ビットCPU
メ モ リ 容 量	ROM: 16kバイト RAM: 1kバイト
マイクロプロセッサ動作周波数	6.144MHz(通常モード) 3.072MHz(低消費電力モード)
発 振 回 路	内 蔵
プ ロ セ ス	CMOS AL2層プロセス
設 計 ル ー ル	1.3μm
消 費 電 力	120mW(Typ.).....通常モード 80mW(Typ.).....低消費電力モード
電 源 電 圧	5V±5%
パ ッ ケ ー ジ	QFP 136ピン

注：略語説明 CCITT(国際電信電話諮問委員会)
ROM(Read Only Memory)
RAM(Random Access Memory)
CPU(Central Processing Unit)
CMOS(Complementary Metal Oxide Semiconductor)
QFP(Quad Flat Package)

※2) ISDNのDSU(回線終端装置)とユーザー側との間のインタフェースである。

※3) フレームの誤り検査のために使用する。



注：略語説明 HDLC (High Level Data Link Control), DMA (Direct Memory Access), P-I/O (Programmed Input/Output)
AMI (Alternate Mark Inversion)

図1 HD81501ブロックダイアグラム CPUコアを内蔵し、ROM上にはLAPDファームウェアを搭載している。

本制御部は、フロー制御、エラー制御、DLCI (Data Link Connection Identifier) 制御、レイヤ2管理機能を実現するため、16kバイトROMにそのファームウェアを移植している。RAMはデータバッファ用であり、外部RAMなしで回線交換網に適用することを可能としている。また、外部にRAM(8kバイト)を接続すると、本制御部によりRAMの存在が自動検出され、パケット交換網に対応する処理機能が働く。

更にレイヤ2 CPUは、パワーダウン機能によって内部動作周波数を $\frac{1}{2}$ 化することで消費電力を低減することができる。これにより、緊急時での局給電対応による呼制御機能の確保を可能としている。

レイヤ3 CPUインタフェース部は、CCITT勧告I.451⁵⁾を実現するレイヤ3 CPUとの接続を制御する。接続可能なCPUは、16ビット及び8ビットのCPUであり、8086系、68000系、6809系の3系統のCPUを選択できる。また、転送モードはDMA (Direct Memory Access) 転送及びプログラムI/O転送の2種類に対応する。8086系との接続例を図2に示す。

また、外部DMAC (Direct Memory Access Control) 用バス調停回路を内蔵し、外部DMACと内蔵DMAC間のバスの調停が可能である。これにより、システム構成の自由度を大きくすることができる。

HD81501とレイヤ3 CPU間のソフトウェアインタフェースは、CCITT勧告で規定されているプリミティブをフォーマット化したインタフェースプリミティブを用いて接続する。プ

リミティブのフォーマットを図3に示す。このプリミティブは二つの部分から成り、共通部は、プリミティブ種別、SAPI (Service Access Point Identifier) 種別、データ長表示などを指示し、個別部では、プリミティブごとのパラメータを表示する。

3.3 LSI化技術

HD81501をLSI化するに当たり、ASIC技術を適用している。これは、CPUコアを中心に、SBP (Silicon Back Plane) バス¹⁰⁾と呼ぶ標準バスインタフェースをチップ内に定義し、CPUコアに接続する各種モジュールの拡張性を容易にしたものである。HD81501では、CPUコアとROM、RAM、バスコントロール部をSBPバスにより接続し、外部タイミングで設計したレイヤ1制御部などの他機能部は、インタフェースモジュールを介してSBPバスに接続している。

自動レイアウトCAD (Computer Aided Design), MCDA (Microcomputer Chip Design Automation System) を用いてモジュール間配線及び専用論理部ブロック内配線を行い、短期間での開発を実現した。1.3 μ m CMOS (Complementary Metal Oxide Semiconductor) 2層ALプロセスを採用し、約27万トランジスタを10.08 mm $\times$ 10.22 mmのチップに収めている。チップ写真を図4に示す。パッケージはQFP (Quad Flat Package) 136ピンを採用している。

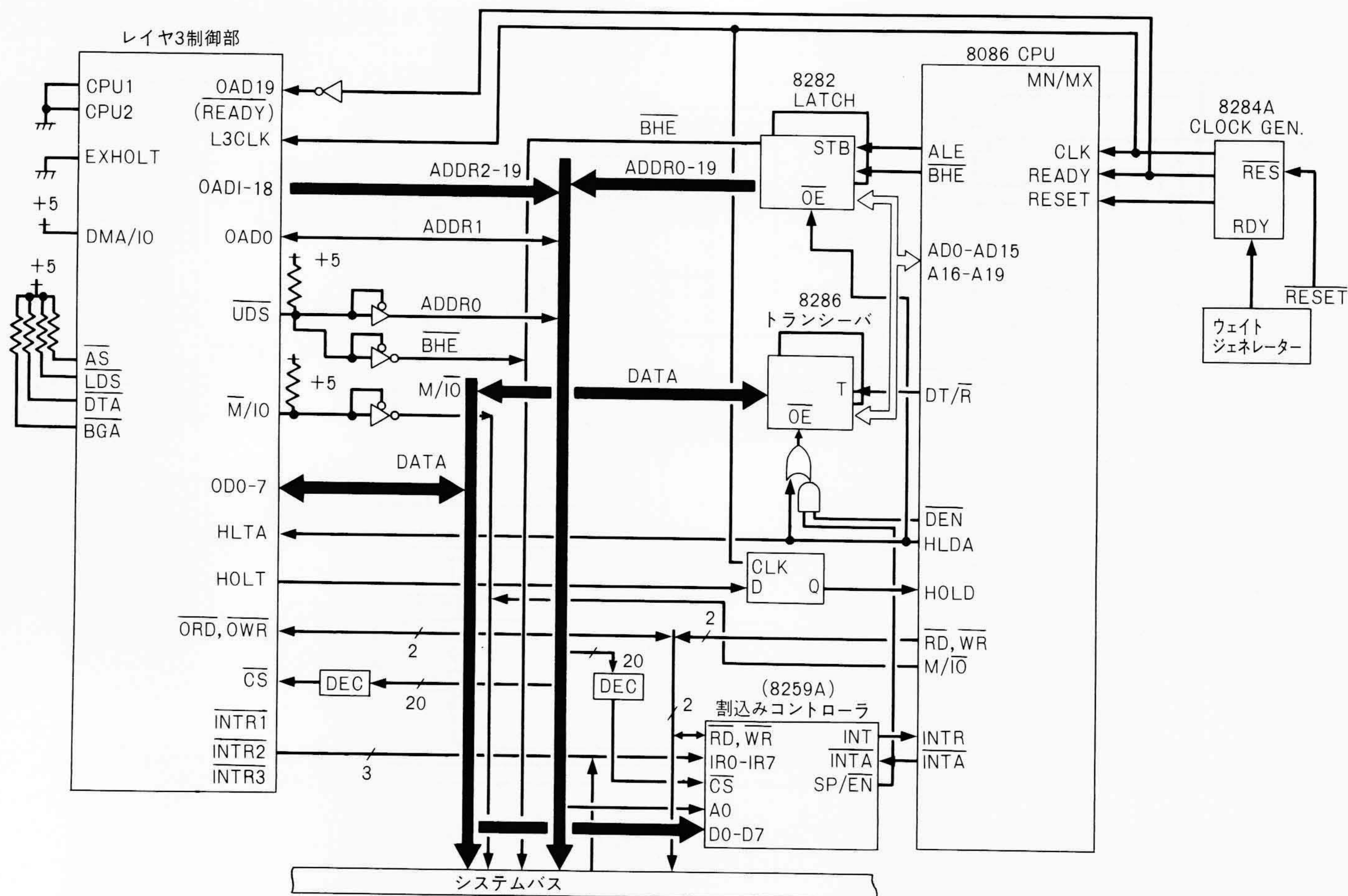


図2 8086系レイヤ3 インタフェースバス接続例(DMA転送モード) レイヤ3 CPUインタフェース部は、3系統のCPU、及び2種類の転送モード(プログラムI/O, DMA)から選択できる。

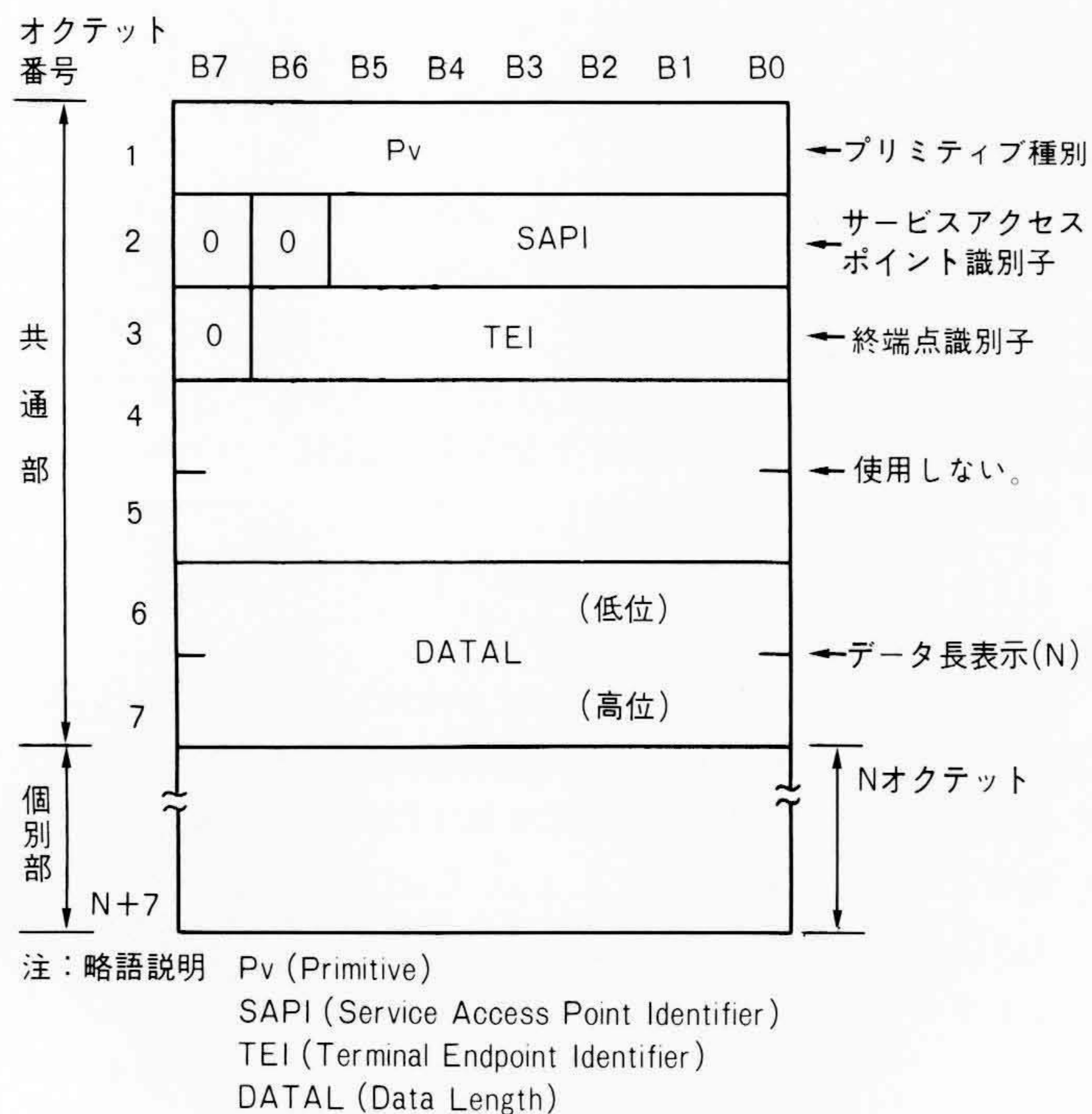


図3 インタフェースプリミティブの構成 レイヤ3プロセッサとのインタフェースには、CCITT勧告で規定されているプリミティブをフォーマット化したインタフェースプリミティブを用いる。

4 I-インタフェースLSIを用いたISDN端末

I-インタフェースLSIはデジタル電話、G4ファクシミリなどのISDN端末用に最適化設計されている。1チップでISDN回線に対する制御を実現しているため、機器の開発期間の短縮、小形化が可能となる。

幾つかのISDN端末についてのシステム構成例を図5に示す。同図中、デジタル電話の例では、従来の電話機能に加えてISDN回線に接続するためのインタフェースを内蔵化する必要がある。追加部は、I-インタフェースLSIとレイヤ3を制御するCPU、それにドライバレシーバの3点の部品で実現できる。G4ファクシミリでも、通常のG3ファクシミリの基本構成に、デジタル電話同様にISDN回線のためのインタフェースを加えることによって実現できる。また、ISDNの基本インタフェースサービスを効率よく活用するための端末として、音声及びデータの両方を取り扱う複合端末がある。こうした端末は、2B+DのBチャネルの一方は音声信号データに、他方はパーソナルコンピュータなどとの送受信データに適用し、I-インタフェースLSIによってこれらの二つのBチャネルデータと回線制御用のDチャネルデータを結合させ、ISDN回線上で送受信することによって複合機能を実現する。

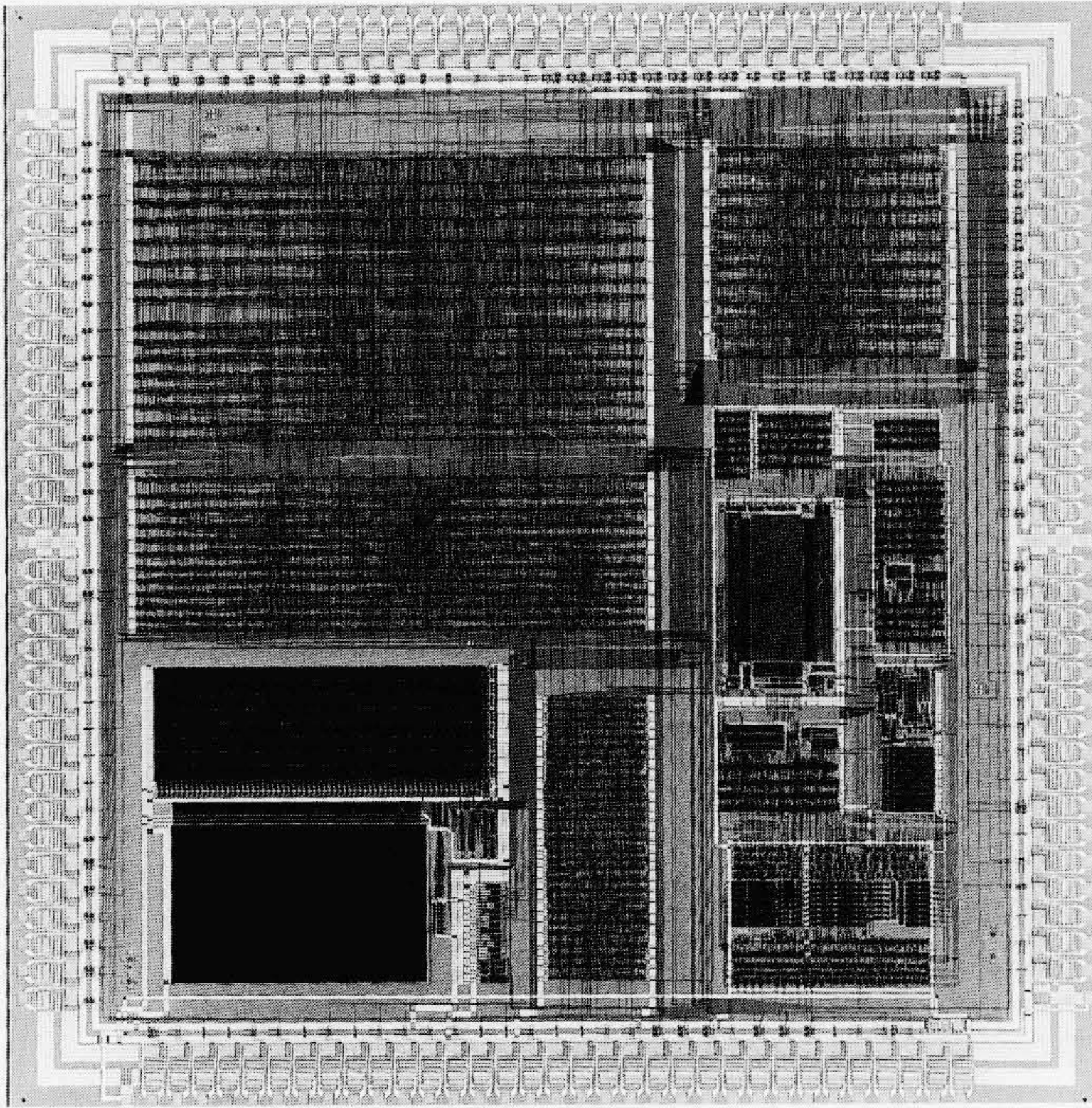


図4 I-インタフェースLSI 1.3 μ m CMOSアルミ2層プロセスを用い、自動レイアウトCADを適用している。10.08 mm $\times$ 10.22 mmのチップ上にI-インタフェース機能を集積化している。

更に、高度なインテリジェント端末を想定したものを図6に示す。基本的には、上に述べた各種ISDN端末を組み合わせた形となっており、音声、パーソナルコンピュータデータ、イメージデータなど各種のデータをすべて取り扱うことができる複合端末となっている。音声情報はCodec¹¹⁾によりアナログ信号とデジタル信号間の変換が行われ、一つのBチャンネル情報として用いられる。残りのBチャンネルは、パーソナルコンピュータデータ又はイメージデータのいずれかが使用可能な構成としている。パーソナルコンピュータデータは、キーボードから入力されるデータをいったんRAMなどに蓄えておき、パケット情報として流す場合を想定しNPU (Network Processing Unit)¹²⁾により速度変換を行っている。画像情報などのイメージデータも同様にアクセスが可能である。こうした端末では、G3・G4ファクシミリと同様の処理が必要であり、CCD (Charge Coupled Device)により入力されたイメージデータは、DIPP (Document Image Pre-Processor)¹³⁾によってノイズなどの余分な情報が取り除かれる。そして、DICEP (Document Image Compression Expansion Processor)¹⁴⁾によってデータの圧縮が行われた後で、Bチャンネル上に転送される。この端末装置にはDC-DCコンバータが用いられているが、これは停電時などの緊急状態で、電話局から供給される電力だ

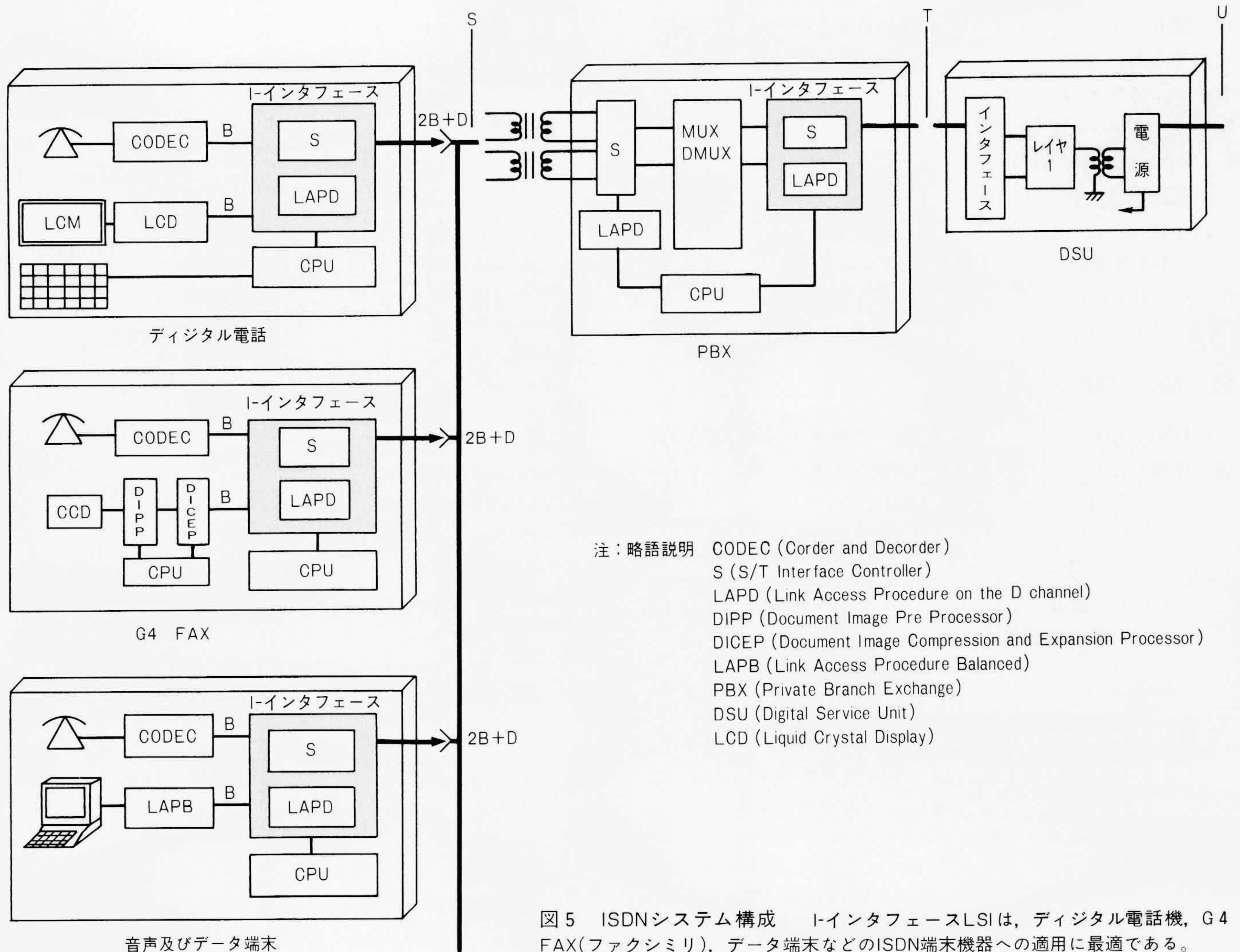


図5 ISDNシステム構成 I-インタフェースLSIは、デジタル電話機、G4 FAX(ファクシミリ)、データ端末などのISDN端末機器への適用に最適である。

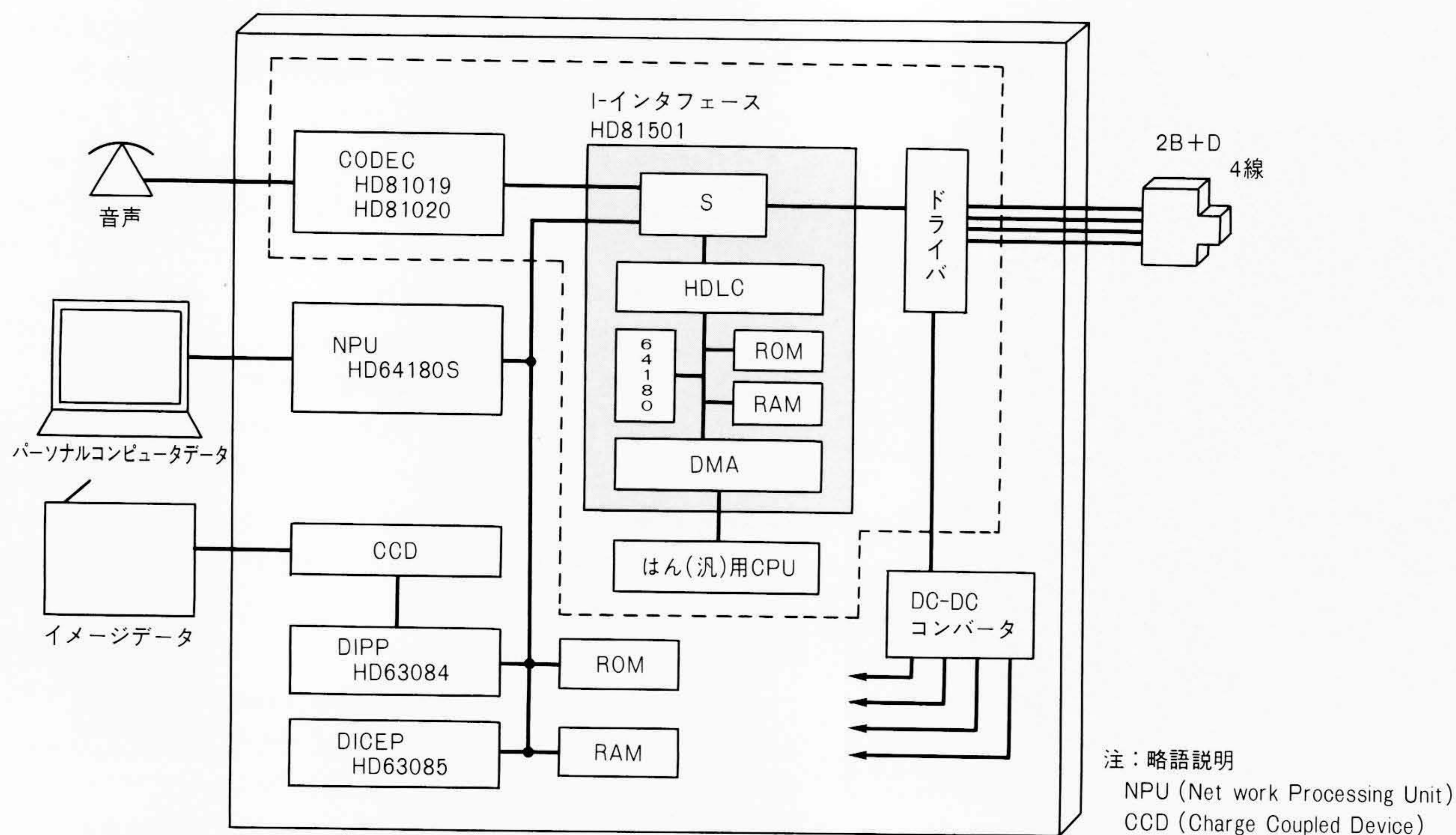


図6 ISDN複合端末基本構成例 I-インタフェース(HD81501)ワンチップにより、ISDNインタフェースをフルカバーできる。破線内部は局給電対応可能範囲を示す。

けで図6に示す破線内の各LSIを駆動させるための電源を得るためである。ただし、この状態ではパーソナルコンピュータデータ、イメージデータなどのデータを送るためには十分な電力ではなく、最低限の電話機能の確保を目標としている。I-インタフェースLSIのパワーダウンモードは、この緊急状態での低消費電力化に不可欠である。

以上述べたように、デジタル電話から複合端末機に至るまで、ISDN端末すべてにI-インタフェースLSIが適用でき、ISDN回線接続に伴うソフトウェアの開発マンパワーの軽減と、1チップ化による経済化を実現することができる。

5 結 言

ISDN端末機器の小形化、軽量化への要求から、CCITT勧告に準拠したレイヤ1、レイヤ2機能を1チップ化したI-インタフェースLSI“HD81501”を製品化した。

本LSIは、昭和63年春から開始されたINSネット64に使用されるデジタル電話機などに適用されており、機能動作がシステムレベルで確認されている。今後、ISDNシステムの普及が進む中で、端末機器用途に最適なLSIとして機器開発の効率化に寄与できるものとする。

最後に、本LSIの研究開発に当たり、システム設計及びレイヤ2ソフトウェアについて、日本電信電話株式会社殿の成果を活用させていただくとともに、多大の御指導を受けた。ここに関係各位に対し厚く御礼申し上げる次第である。

参考文献

- 1) 浅谷，外：ISDNユーザ・網インタフェースプロトコル，1987年トリケップス
- 2) ISDN始動：日経コミュニケーション，p.60～82(1988-3-28)
- 3) 岩崎，外：Iシリーズ国際標準とその技術，オーム社(1987年)
- 4) 本番間近，活気づくISDN開発：日経エレクトロニクス，415，p.87～103(1987-2-23)
- 5) CCITT RED BOOK：Vol.Ⅲ Fascicle Ⅲ.5，ITU(1985)
- 6) S. Ohokoshi, et al.：A Digital Telephone Set for ISDN：IEEE J. Select. Areas Commun.，Vol.SAC-4，p.1193～1201(1986-11)
- 7) 中野，外：ISDN用網制御装置，通研実報，37，No.4/5，p.289～296(1988)
- 8) S. Nakano, et al.：An ISDN Basic Access LSI, International Zürich Seminar(1988-3)
- 9) 中野，外：宅内機器の網インタフェースの設計，通研実報，36，No.8，p.1011～1019(1987)
- 10) NEレポート：日経エレクトロニクス，425，p.90～91(1987-7-13)
- 11) 山木戸，外：PCM CODEC LSIの開発，日立評論，64，3，189～154(1982-3)
- 12) 中田，外：HD64180S(NPU)，GAIN，No.68，p.14～15(1988-5)
- 13) 鳥羽，外：高画質/高速転送のための文書画像処理用プロセッサの概要，インタフェース，p.336～347(1986-10)
- 14) 中村，外：画像信号符号化・複合化処理LSIプロセッサ，電通学会論文誌C，Vol. J70-C，No.12，p.1592～1599(1987-12)