

プロセッサ性能を上げる最新ICメモリ

Recent IC Memories for High Performance Microcomputer System

マイクロプロセッサシステムの性能を向上するためには、ICメモリの高性能化が必ず(須)である。各種ICメモリ分野で高速化を中心とした性能の向上を進めて、高性能ICメモリ製品系列の充実を図っている。0.8 μmから1.3 μmの微細加工技術を採用し、デバイスや回路に改良を加えて最先端メモリのアクセス時間として、SRAMでは15 ns、DRAMでは60 ns、また、EPROMでは70 nsまでの製品を開発し、量産化した。

谷村信朗* Nobuyoshi Tanimura
 湊 修** Osamu Minato
 遠藤 彰* Akira Endô
 外村健一*** Ken'ichi Tonomura

1 緒 言

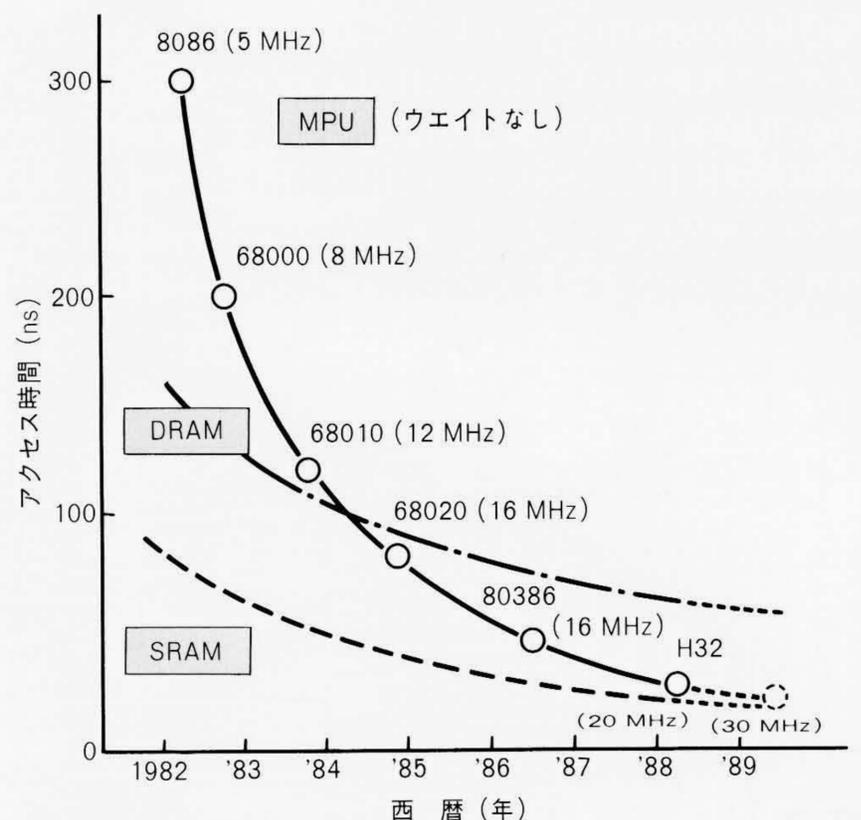
マイクロプロセッサ(MPU: Micro Processor Unit)の性能向上に伴って、より高速のICメモリが必要となっている。MPUが必要とするメモリアクセス時間と実際のICメモリのアクセス時間の推移を図1に示す。ウェイトサイクルを挿入しない場合、現在主力の20 MHz程度のMPUでは35 ns以下、30 MHz程度のMPUでは30 ns以下のアクセス時間が要求される。大容量メモリシステムに適しているDRAM(Dynamic Random Access Memory)はこの性能推移に追いついていないため、高速のSRAM(Static RAM)で構成したキャッシュメモリを用いて、DRAMで構成するメインメモリとMPUのスピードの差を埋める方向にある。しかし、MPUの性能を最大限引き出すには、キャッシュメモリだけでなくメインメモリも高速にする必要があり、あらゆるメモリで高速性能が要求されている。

この市場ニーズを踏まえて、日立製作所では表1に示すように高速SRAMを中心に各種ICメモリ分野で高速化を進めており、SRAMでは15 ns、DRAMでは60 ns、EPROM(Electrically Programmable Read Only Memory)では70 nsのアクセス時間のものまで製品化している。

以下では、各メモリ分野ごとに分けて高性能化動向について述べる。

2 高速SRAMの動向

アクセス時間が55 ns以下の高速SRAMの応用分野は、急速に拡大している。主な応用分野として、スーパーコンピュータのメインメモリ、はん(汎)用コンピュータ及びミニコンピュータのメインメモリやキャッシュメモリ、ワークステーションのバッファメモリやコントロールメモリなどがある。これらの応用分野の中でも、特に大形コンピュータのワーキングストレージやバッファメモリにはアクセス時間が10 ns前後の超高速ECL(Emitter Coupled Logic)RAMが用いられている。近年の高速MPU用のキャッシュメモリシステムには、ア



注: 略語説明 MPU (Micro Processor Unit)
 DRAM (Dynamic Random Access Memory)
 SRAM (Static Random Access Memory)

図1 MPUとメモリのスピード推移 近年のMPUの性能向上は著しく、最新MPUではウェイトなしの場合にはDRAMを直接アクセスするのが困難になっている。

クセス時間が15 nsから45 ns、容量が16 kビットから256 kビットの高速SRAMが用いられている。

図2は、日立製作所の高速SRAM製品ファミリー〔TTL (Transistor Transistor Logic) インタフェース〕を示したものである。日立製作所では、上述した各種の応用分野の顧客ニーズにこたえるため、各種の高速SRAMを開発し、製品化している。現在、Hi-CMOS (High Performance Com-

* 日立製作所武蔵工場 ** 日立製作所武蔵工場 工学博士 *** 日立製作所高崎工場

表1 高性能マイクロプロセッサ用高速ICメモリ マイクロプロセッサの性能を最大限引き出すために、各種製品分野で高速品の品ぞろえを行っている。

メモリ容量(ビット)	16 k	64 k	256 k	1 M	4 M
製品区分					
DRAM	—	—	HM51256 HM51258 (85 ns)	HM511000H HM514256H (60 ns)	HM514100 HM514400 (80 ns)
SRAM	HM6268 HM6716* (25 ns)	HM6287H HM6288 (25 ns) HM6787H* HM6788H* (15 ns)	HM6207H HM6208H (25 ns) HM6707* HM6708* (20 ns)	HM624256 (35 ns)	—
EPROM	—	—	HN27C256H (70 ns)	HN27C1024H (85 ns)	—

注：略語説明など EPROM (Electrically Programmable Read Only Memory)
* はHi-BiCMOSを示す。
()内はアクセス時間を示す。

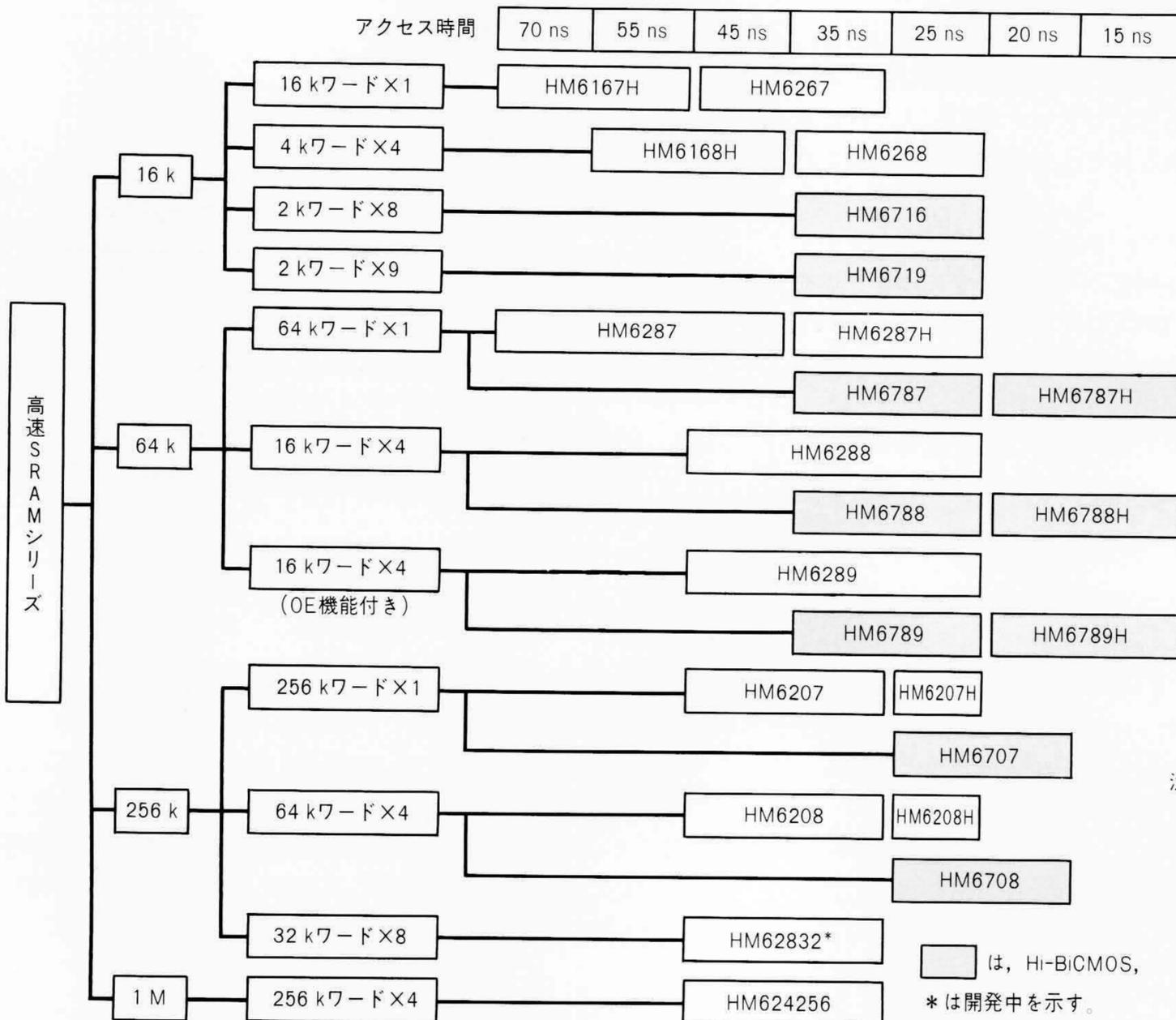
plementary Metal Oxide Semiconductor) 製品でアクセス時間25 nsの64 kビットSRAM (HM6288ほか)と256 kビットSRAM (HM6207Hほか)を実現している。また、CMOSとバイポーラ技術を組み合わせたHi-BiCMOS (High Performance Bipolar CMOS) 製品では、64 kビットSRAMで15 ns (HM6787Hほか)、256 kビット (HM6707ほか)で20 nsの高速アクセス時間を実現している。最近では、0.8 μmのHi-CMOS技術を用いてアクセス時間35 nsの1 Mビット高速SRAM²⁾も

開発・製品化しており(図3)、Hi-CMOS製品とより高速な領域を実現するHi-BiCMOS製品による豊富な品ぞろえを行っている。

以下では、Hi-CMOS製品とHi-BiCMOS製品の基盤となるプロセス技術、及び回路技術について述べる。

2.1 Hi-CMOS高速SRAM

図4は、Hi-CMOS高速SRAMの製品化推移と、これに対応するプロセス技術を示したものである。1982年に、3 μm



注：略語説明
Hi-CMOS (High performance-Complementary Metal Oxide Semiconductor)
Hi-BiCMOS (High performance Bipolar CMOS)
62XXシリーズ (Hi-CMOS製品, バッテリーバックアップ可能)
67XXシリーズ (Hi-BiCMOS製品)
OE (Output Enable信号入力)
は、Hi-BiCMOS, * は開発中を示す。

図2 高速SRAM製品ファミリー Hi-CMOS製品とHi-BiCMOS製品によって、アクセス時間15 nsまでの豊富な製品系列を実現している。

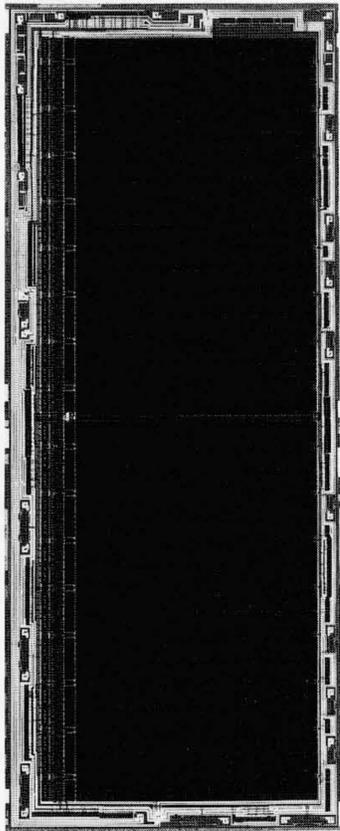


図3 1Mビット高速SRAMのチップ写真 1Mビットの大容量で、アクセス時間35 nsの高速性能を達成している。(6.25×15.28 mm²)

表2 1Mビット高速SRAMと256kビット高速SRAMの比較
微細加工技術の改良によって、256kビットとほぼ同等の性能を持つ1Mビット高速SRAMを実現している。

項目	1Mビット HM624256	256kビット HM6208
ワード構成	256kワード×4ビット	32kワード×4ビット
プロセス	0.8 μm CMOS Al2層 Poly2層	1.3 μm CMOS Al2層 Poly2層
アクセス時間	35・45 ns	25・35・45 ns
動作電流	120 mA(max.)	100 mA(max.)
完全スタンバイ電流	2 mA(max.)	2 mA・0.1 mA(max.)
メモリセルサイズ	44.2 μm ²	96.0 μm ²
チップサイズ	95.5 mm ²	57.8 mm ²
パッケージ	400 mil 28ピン SOJ	300 mil 24ピン DIP

注：略語説明 SOJ (Small Outline Package J-bended)
DIP (Dual In-line Package)

CMOS技術を用いてアクセス時間55 nsの16 kビットSRAMを製品化して以来、プロセス及びデバイス技術の改良や新規開発、新回路技術の導入などによってアクセス時間の高速化と大容量化が図られた。まず、プロセス技術に関しては、ポリシリコンの2層化とゲート長のスケールダウン、及び低抵抗ポリサイド配線の導入を行った。これにより16 kビットSRAMで35 nsのアクセス時間を実現し、同時に2 μm加工技術を用いて64 kビットの45 ns品を実現した。1.3 μm Hi-CMOSプロセスでは、Alの2層配線技術を採用して高速化を図り、64 kビットで25 nsのアクセス時間を達成し、256 kビットでもゲート長を1.0 μmと短チャネル化することで、アクセス時間25 ns、35 nsを実現している。更に、最先端の0.8 μm Hi-CMOSプロセスを用いて、1 Mビットの大容量でアクセス時間35 nsを達成している。

表2に1 Mビットと256 kビットの高速SRAMの比較を、表3には0.8 μm Hi-CMOSと1.3 μm Hi-CMOSプロセスでのデバイスパラメータの比較を示す。微細加工技術レベルを1.3 μmから0.8 μmに向上することで、メモリセルサイズを46%に縮小して1 Mビットの大容量を実現している。また、動

表3 0.8 μm Hi-CMOSと1.3 μm Hi-CMOSのデバイスパラメータの比較 0.8 μmプロセスでは、1.3 μmプロセスに比べて配線幅を除き約70%のスケールダウンを行っている。

項目		0.8 μm Hi-CMOSプロセス	1.3 μm Hi-CMOSプロセス
ゲート長	NMOS	0.8 μm	1.2 μm
	PMOS	0.8 μm	1.2 μm
Al1	線幅	1.4 μm	1.6 μm
	間隔	0.8 μm	1.3 μm
Al2	線幅	1.4 μm	1.6 μm
	間隔	0.8 μm	1.3 μm
ゲート酸化膜厚		175	250
セル面積		44.2 μm ²	96.0 μm ²

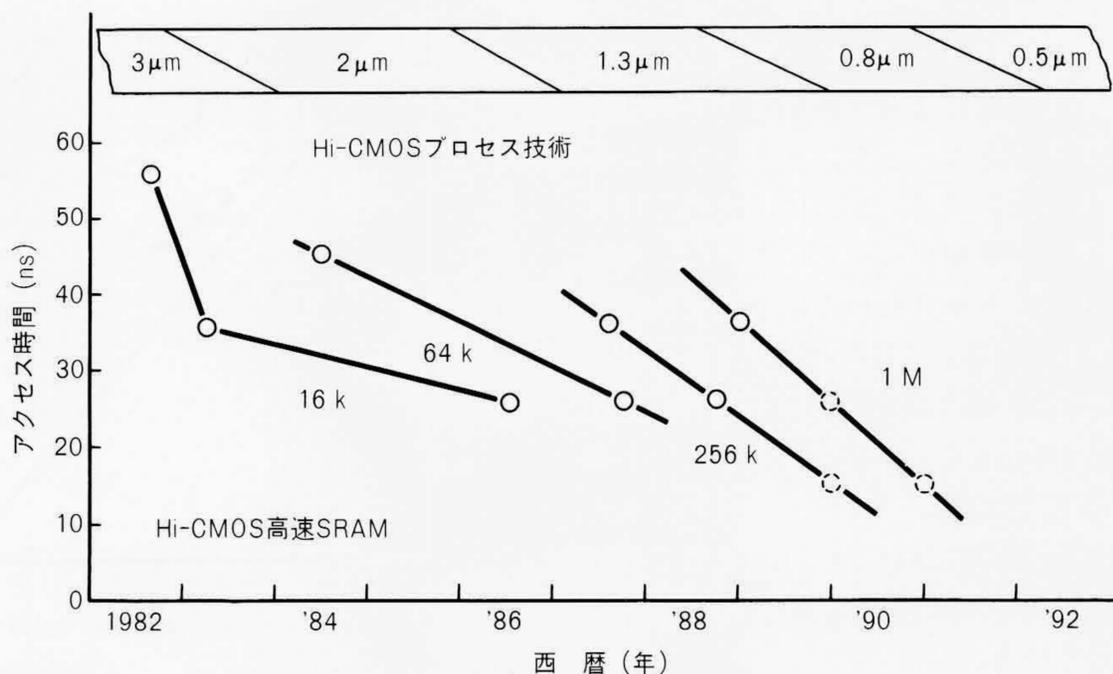


図4 Hi-CMOS高速SRAMの製品化推移とプロセス技術 微細化によって、高速かつ大容量SRAM系列を実現している。

作電流は、微増にとどめてアクセス時間35 nsの高速性能を達成した。0.8 μm プロセスでは、配線幅を除いて水平方向、垂直方向ともに1.3 μm プロセスに比べて約70%のスケールダウンを行って、高集積化とともにデバイス性能も向上させている。

一方、高速・大容量SRAMの設計では、ワード線遅延やデータ線遅延低減のほか、動作電流や内部ノイズの低減が重要である。ワード線遅延低減のために、ワード線電極材料にポリサイドを使用している。データ線などの信号線遅延時間低減には、アドレス変化検出回路で発生した内部パルスを用いる信号線電位平衡化(差動アンプが活性化する直前まで2本の信号線の電位を平衡化しておく方式)が有効である。また、メモリアレーを多分割化することによって、信号線長を短くし配線容量を低減することができる。更に、メモリセルからの微小な電位差を高速に増幅するため、カレントミラー形差動センスアンプを多段接続して用いている。

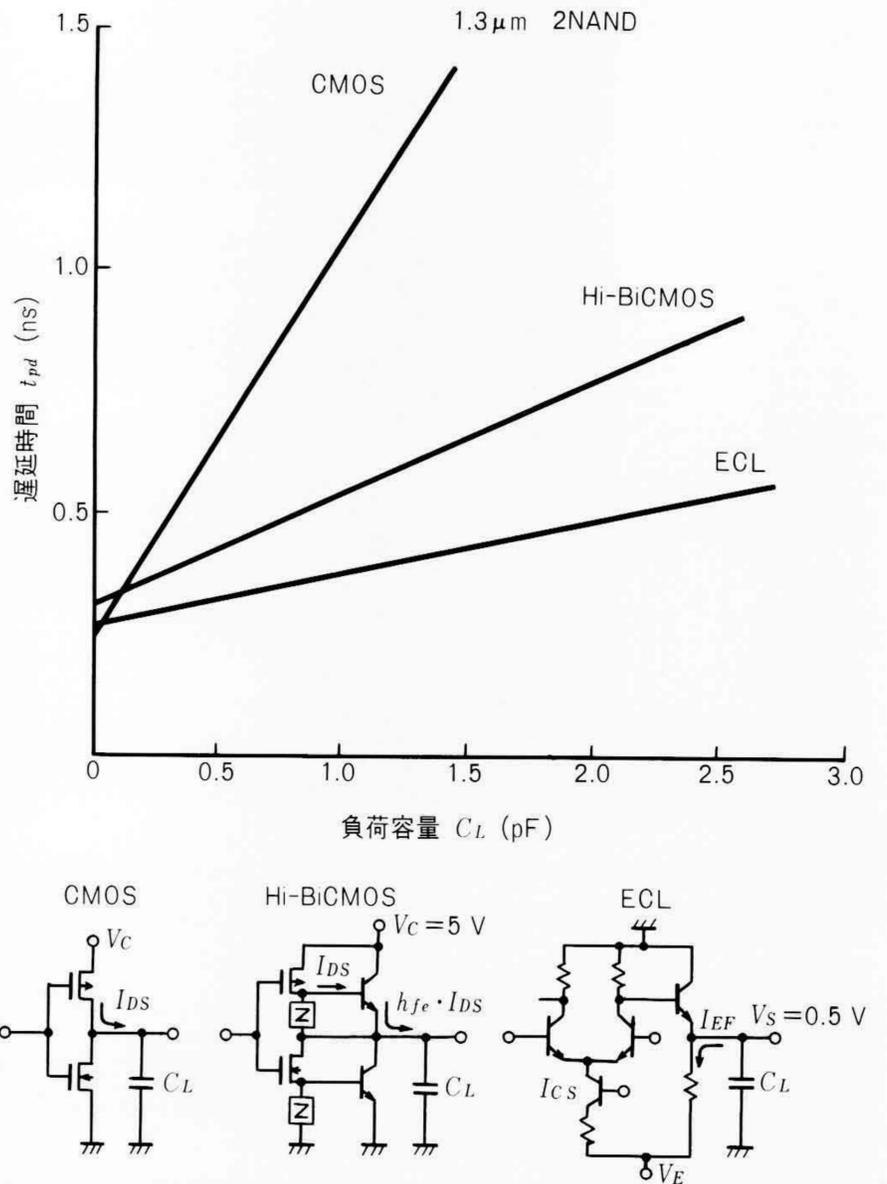
内部電源ノイズ低減には、Al配線の2層化による内部電源配線抵抗の低減が有効である。また、マルチビット出力の高速SRAMでは、データ出力時に出力バッファに多大の電流が流れるため大きな電源ノイズを発生させる。これを避けるためには、各出力バッファの駆動タイミングをずらして電流集中を防ぐことが重要となる。

2.2 超高速Hi-BiCMOS SRAM

Bi-CMOS技術は、バイポーラLSIの高速性能とCMOS LSIの高集積・低消費電力性能の特長を合わせ持ち、LSIの高性能化を進めるうえで非常に有効な技術として注目されてきている。日立製作所では、世界に先駆けてCMOSとバイポーラを基本回路内で複合化したHi-BiCMOS技術を開発した³⁾。Hi-BiCMOS基本ゲートの遅延時間の負荷容量依存性を、CMOS、ECLと比較して図5に、また同じく消費電力・遅延時間積の比較を図6に示す。CMOS相当の消費電力でECLに近い高速性が得られている。日立製作所ではこのHi-BiCMOS技術を、高速メモリ、高速ゲートアレーなどに適用して製品展開を行ってきた。

メモリでは、アドレス信号をメモリセルの駆動信号に変換するデコーダに多数の論理回路が用いられる。この種の回路では、出力負荷容量は、一般に1~3 pFとなるが、Hi-BiCMOSの論理回路を用いることによって消費電力を抑えながら高速に動作させることができる。また、メモリセルから出力する微小信号を増幅するセンスアンプには、高周波特性の優れたバイポーラ差動アンプを用いることによって、増幅スピードが向上するとともに、メモリセルの出力電圧振幅が小さくなり、高速動作が可能となる。これらの技術を用い1985年5月に最大アクセス時間25 nsの64 kビットSRAM HM 6787-25を世界に先駆けて製品化した。更に、顧客からの多様なニーズにこたえるため品種展開及びパッケージ展開を進めてきた⁴⁾。プロセス加工レベルも2.0 μm から1.3 μm を経て現在では1.0 μm プロセスでアクセス時間20 nsの256 kビットSRAM HM6707を実現している。

超高速ECL RAMは高速性能を実現するため、従来は純バイポーラトランジスタを用いて設計されてきた。しかし、消



注：略語説明 ECL (Emitter Coupled Logic)

図5 Hi-BiCMOS基本ゲートの遅延時間の負荷容量依存性 Hi-BiCMOSゲートはCMOSに比較して負荷容量依存性が小さく、デコーダなど配線容量の大きな回路部分の高速化が可能である。

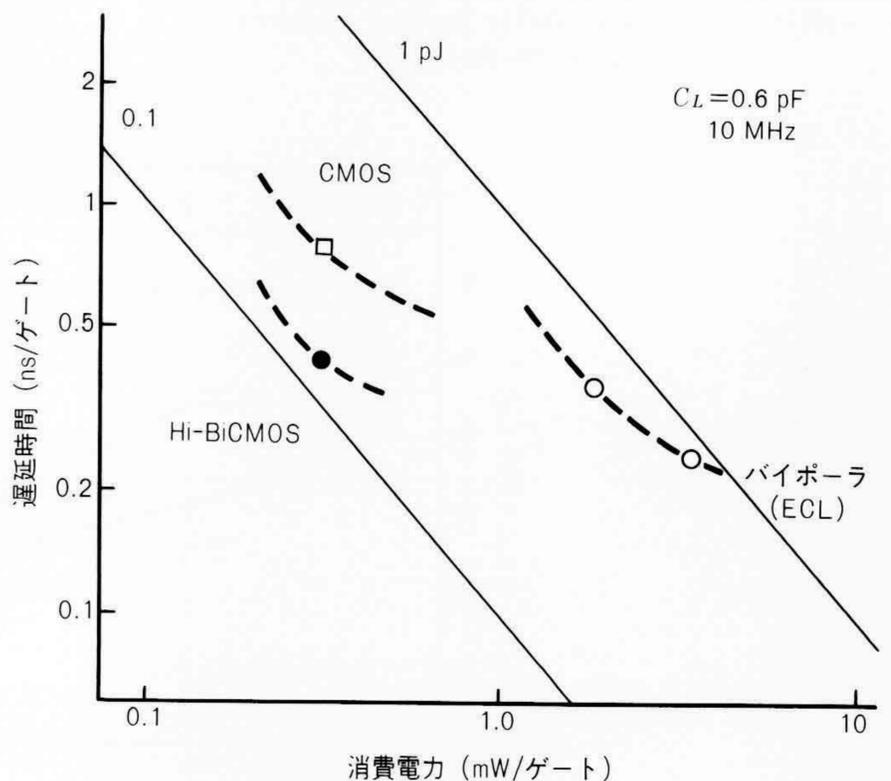


図6 Hi-BiCMOS基本ゲートの消費電力・遅延時間積 同一加工レベルでの比較で、Hi-BiCMOSゲートは消費電力、遅延時間積が小さく、CMOS相当の消費電力でECLに近い高速化が可能である。

費電力の増大の問題、及び極めて薄いベース幅のバイポーラをメモリセル内に使用する点などの技術上の難しさから、大容量化には限界が見えてきていた。Hi-BiCMOS技術により、周辺回路にバイポーラ素子を用いて高速ECLとのインタフェースを可能にし、メモリセルにはMOSトランジスタを用いて、低消費電力性能とCMOS SRAM相当の高歩留まりを得ることができる。図7はHi-BiCMOS ECL RAMの概念図である。同図に示したように各回路ブロックで最適な回路技術を選択、採用して、Hi-BiCMOS ECL RAMの製品化を進めている⁵⁾。

表4にHi-BiCMOS ECL RAMの製品系列を示す。現在、最大アクセス時間15 nsの256 kビットECL RAMの開発を完了し量産を開始している。

今後のMPUの性能向上に伴い、用いられるキャッシュメモリも更に高速化し、また多機能化や専用キャッシュメモリ化

及びECLインタフェース化などの展開が予想される。これらの展開には、Hi-BiCMOS技術が大いに寄与する。

3 高速DRAMの動向

近年、DRAMは従来からの大形計算機のメインメモリとしての応用に加え、パーソナルコンピュータ、ワークステーションなどのMPU利用システムにも用いられるようになってきている。MPUの高速化に伴ってDRAMについても大容量化だけでなく高速化への要求が強くなってきた。このような要求にこたえ、1.3 μm CMOS技術とAl2層配線技術を使用して、1987年9月から当時世界最高速のRAS (Row Address Strobe) アクセス時間80 nsの1 MビットDRAMを量産供給してきた。しかし、その後32ビットパーソナルコンピュータやワークステーションの本格的な立上げに伴い、更に高速な1

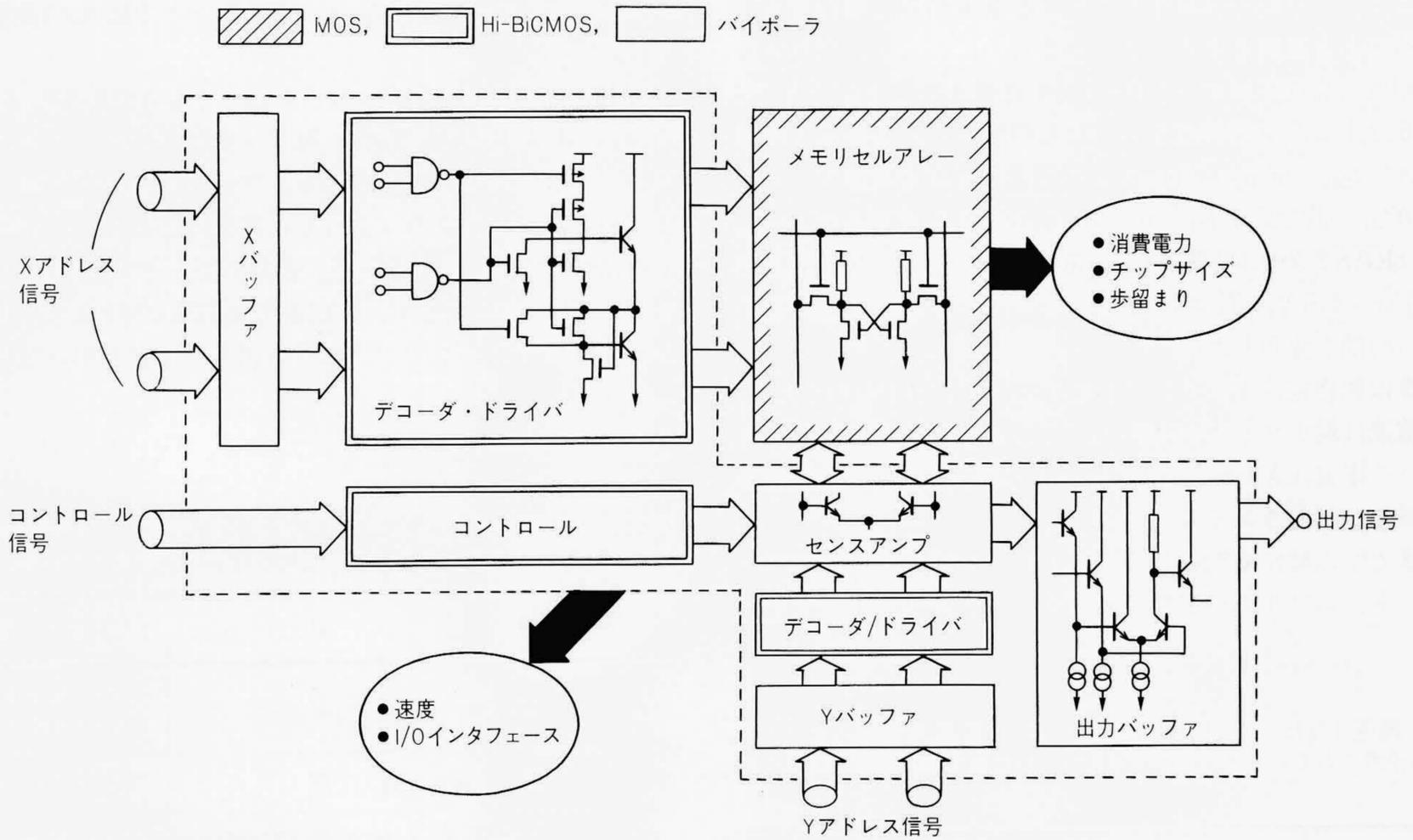


図7 Hi-BiCMOS ECL RAMの概念 　　パイポーラ、Hi-BiCMOS、MOSを使い分けることによって、高速・大容量ECL RAMの設計が可能となる。

表4 Hi-BiCMOS ECL RAM製品系列 　　16 kビットから256 kビットまで幅広く製品化している。

メモリ容量	形名	ビット構成 (ワード×ビット)	パッケージ	最大アクセス時間(ns)	標準消費電力 (mW)	プロセス
16 k	HM10480 HM100480	16 k×1	CERDIP	10	630	1.3 μm
	HM10484 HM100484	4 k×4	セラミックフラットパッケージ			
64 k	HM10490 HM100490	64 k×1	CERDIP LCC	15	320	1.0 μm
	HM10494* HM100494*	16 k×4	CERDIP セラミックフラットパッケージ	10	650	
256 k	HM10500 HM100500	256 k×1	CERDIP LCC セラミックフラットパッケージ	15	400	

注：略語説明など
* 開発中
CERDIP (Ceramic Dual In-line Package)
LCC (Leadless Chip Carrier)
HM10シリーズ(ECL 10kシリーズ コンパチブル)
HM100シリーズ(ECL 100kシリーズ コンパチブル)

MビットDRAMへのニーズが高まってきた。

そこでRASアクセス時間60 ns及び70 nsと世界最高速かつ低消費電力の1 MビットDRAM, HM511000Hシリーズ(1 Mワード×1ビット)とHM514256Hシリーズ(256 kワード×4ビット)を開発した。表5に示すように、高密度実装に適したパッケージも用意し、幅広いニーズに対応できる製品系列をそろえた。

現在量産中の1 MビットDRAMは1.3 μm CMOSプロセス技術, Al2層配線技術を使用して基本的に高速設計がなされている。そこで今回は、この特長を生かしてプロセス, メモリセル方式(プレーナセル), メモリアレー構成, チップサイズ(4.43 mm×13.10 mm)などの基本部分は従来と全く同一とし、メモリ周辺回路部の変更だけによって高速動作を実現した。具体的には内部回路の段数低減, 各信号間のタイミング最適化及びカラムデコードの高速化によって各回路ブロックの動作タイミングを速め、RASアクセス時間を短縮した。このように、性能や信頼度を支配する基本部分は現在量産中で実績のある技術をそのまま用いることによって、高性能・高信頼度の高速1 MビットDRAMを実現することができた。

表6は主な電気的特性を示したものである。アクセス時間は最大で $t_{RAC}=60\text{ ns}$, 70 ns の2種類あり、電源電圧 $V_{CC}=5\text{ V}\pm 10\%$, 周囲温度 $T_a=0\sim 70\text{ }^\circ\text{C}$ で特性を保証している。図8はRASアクセス時間・ t_{RAC} の電源電圧依存性の実測値である。 $V_{CC}=4.5\text{ V}$, $T_a=70\text{ }^\circ\text{C}$ の最悪条件下でも55 nsと高速アクセス時間を実現した。

図9は動作電流とスタンバイ電流の分布を示すものである。動作電流は最小サイクル時間($t_{RC}=125\text{ ns}$)で60 mA typ., スタンバイ電流(CMOSインタフェース)は60 μA typ.と低消費電力動作が可能である。

高速カラム動作機能として、×1ビット構成では高速ページモード, ニブルモード及びスタティックカラムモードを、

表5 高速1 MビットDRAM(Hシリーズ)の製品系列 ビット構成や高速カラムモード, パッケージについて豊富な製品系列を実現している。

形名	ビット構成	高速カラム動作機器	アクセス時間(ns)	パッケージ		
HM511000HP	1 Mワード×1ビット	高速ページモード	60・70	18ピンDIP		
HM511000HJP				20ピンSOJ		
HM511000HZP				20ピンZIP		
HM511001HP		ニブルモード		60・70	18ピンDIP	
HM511001HJP					20ピンSOJ	
HM511001HZP					20ピンZIP	
HM511002HP		スタティックカラムモード		60・70	60・70	18ピンDIP
HM511002HJP						20ピンSOJ
HM511002HZP						20ピンZIP
HM514256HP	256 kワード×4ビット	高速ページモード	60・70	20ピンDIP		
HM514256HJP				20ピンSOJ		
HM514256HZP				20ピンZIP		
HM514258HP		スタティックカラムモード		60・70	20ピンDIP	
HM514258HJP					20ピンSOJ	
HM514258HZP					20ピンZIP	

注：略語説明 ZIP (Zigzag In-line Package)

×4ビット構成では高速ページモードとスタティックカラムモードを用意した。またパッケージは×1, ×4構成ともに従来の1 MビットDRAMと同様にピン挿入形のDIP(Dual In-line Package), ZIP (Zigzag In-line Package), 面実装形のSOJ(Small Outline Package J-bended)の3パッケージを用意した。

今後もメインメモリのスピード向上がますます重要になると予想され、1 Mビットで培った高速化技術を更に改良して発展させてゆく。

4 その他のメモリの高性能化

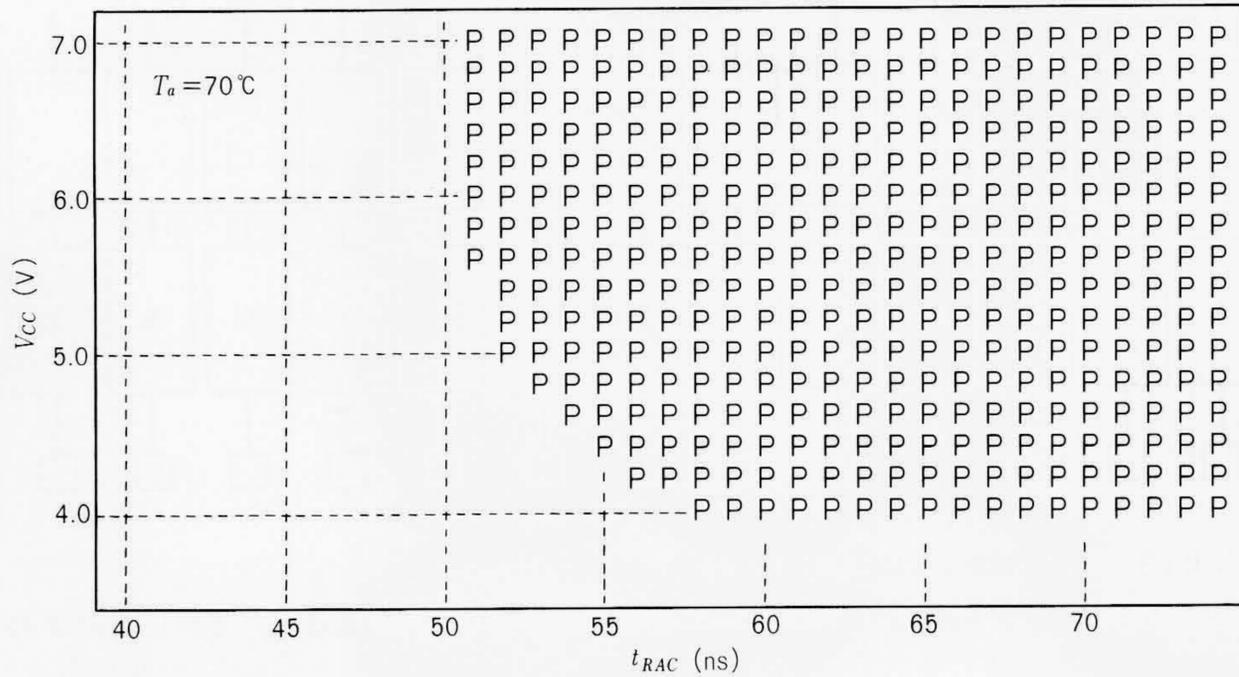
以上述べてきたRAMのほかに、ROMの分野でも高性能化が進められている。なかでもEPROMの高速化が先行している。EPROMでは、メモリセルに駆動能力の小さいフローティングゲート形のトランジスタを用いているためにRAMに比べて高速化が遅れていたが、回路及びプロセスの改良によって、256 kビットでアクセス時間70 ns, 1 Mビットで85 nsの製品を開発している。

図10はEPROMの高速化状況を示したものである⁶⁾。高速1 MビットEPROMと従来の1 MビットEPROMでの各回路ブロックの遅延時間の比較である。ワード線遅延を大幅に低減しているほか、各ブロックともに高速化を図っている。ワード線については、従来はシート抵抗30 Ω/□の多結晶シリコンを用いていたのに対して、高速品ではEPROMとしては初めてシート抵抗3 Ω/□のタングステンポリサイドを用いて高速化した。

表6 高速1 MビットDRAMの主要電気的特性 世界最高速のアクセス時間60 nsを低消費電力特性を保ったまま達成している。

項目	内容	
ビット構成	1 M×1ビット, 256 k×4ビット	
電源電圧	$V_{CC}=5.0\text{ V}\pm 10\%$	
アクセス時間	RASアクセス時間(最大)	60 ns・70 ns
	アドレスアクセス時間(最大)	30 ns・35 ns
	CASアクセス時間(最大)	20 ns・20 ns
サイクル時間	リードライトサイクル時間(最小)	125 ns・140 ns
	高速ページサイクル時間(最小)	45 ns・50 ns
動作電流(最大)		90 mA・80 mA
スタンバイ電流	CMOS入力レベル(最大)	1.0 mA
	TTL入力レベル(最大)	2.0 mA
リフレッシュサイクル		512サイクル・8 ms
機能	高速ページモード ニブルモード	

注： $T_a=0\sim 70\text{ }^\circ\text{C}$



注：略語説明 t_{RAC} (RASアクセス時間), V_{CC} (電源電圧)

図8 高速1MビットDRAMのアクセス時間の V_{CC} 依存性 RASアクセス時間は最悪条件で55 nsと高速である。

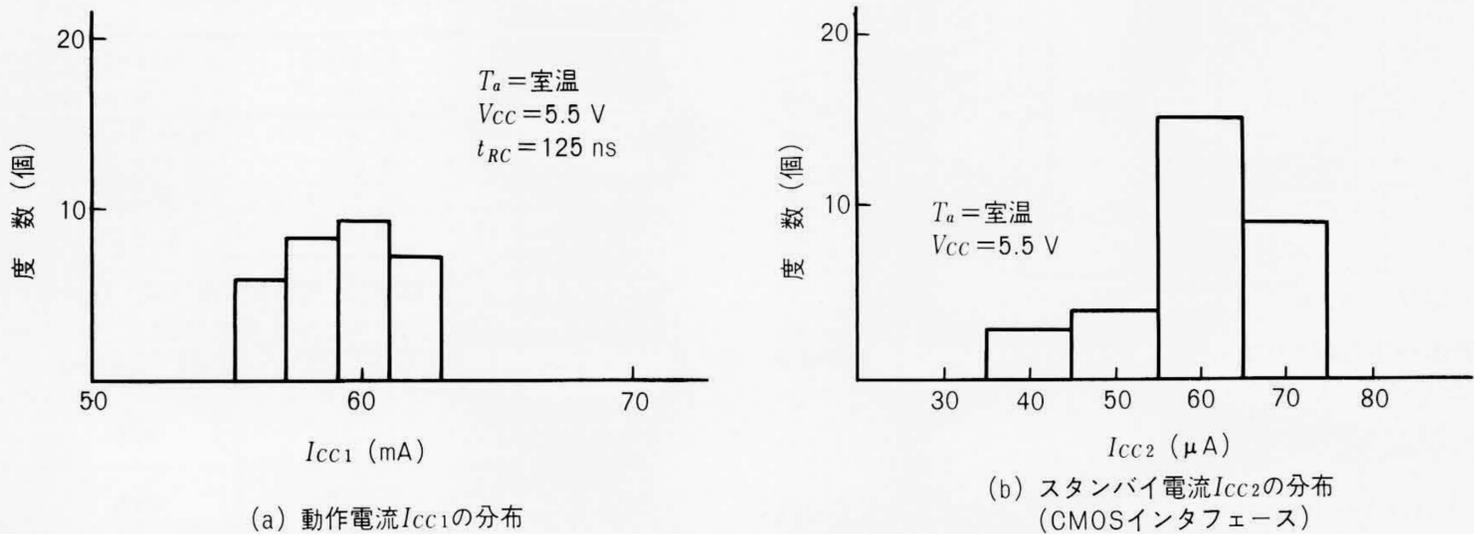


図9 高速1MビットDRAMの電源電流分布 高速とともに低消費電力性能を実現している。

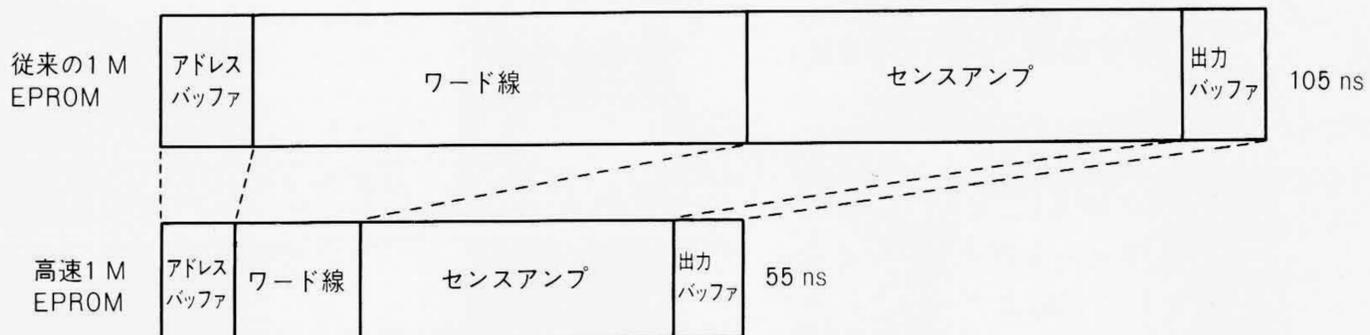


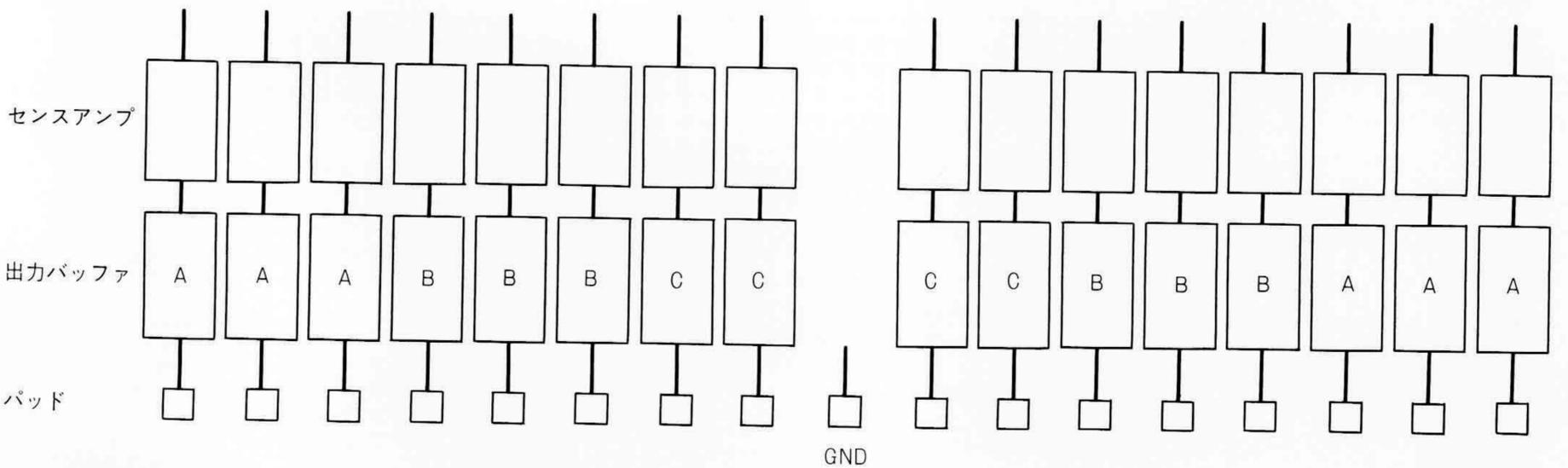
図10 1M EPROMにおける各回路ブロックの遅延時間の比較 高速品では、ワード線遅延の大幅な低減を中心に高速化されている。

回路面ではセンスアンプ部と出力バッファ部に新方式を採用した。センスアンプ部では、カラムスイッチ用トランジスタを2階層とした二重Yゲーティング方式を採用し、スイッチ用トランジスタとセンスアンプの個数についても最適化して高速化した。また、図11は出力バッファの配置方法を示したものである。センスアンプの動作マージンを減少したり、出力バッファのスピードを劣化させる出力バッファノイズを低減するために、GND(Ground: 接地)パッドに対して出力バッファ群を対称に配置し、左右ともに三つのグループに分ける。GNDパッドから離れたバッファほど論理しきい値を高くして

早くオンさせることで、各バッファがノイズを発生するタイミングをずらしてノイズのピーク値を下げている。

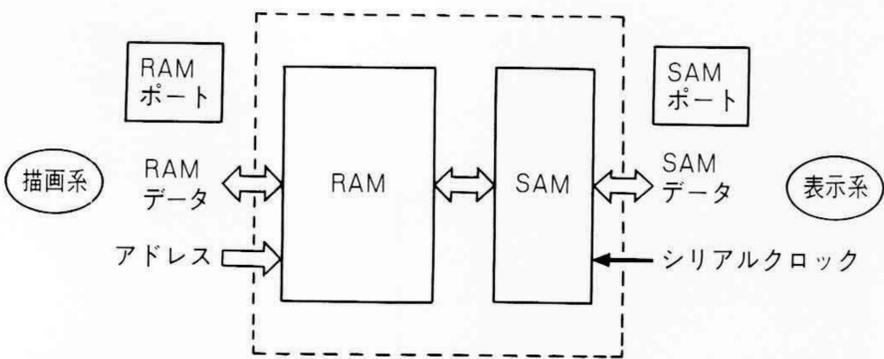
従来タイプのICメモリで高速化が進められると同時に、機能を追加することでシステム性能を向上する新タイプのメモリも登場している。追加機能によって従来タイプに比べてはん用性が薄れるものの、特定の応用分野で大幅に性能を向上し、かつ部品点数を低減することができる。

新タイプの代表的な製品としては、マルチポートRAM⁷⁾がある。図12はマルチポートRAMの概念図である。ランダムアクセスが可能なRAM部に加えて、シリアルアクセスが可能な



注：A (高論理しきい値形), B (中論理しきい値形), C (低論理しきい値形)

図11 高速EPROMにおける出力バッファ配置 GND(Ground:接地)パッドについて対称に配置し、論理しきい値の異なる3種類の出力バッファを用いている。



注：略語説明 SAM (Serial Access Memory)

図12 マルチポートRAMの構成 RAMのほかにSAMを備えており、画像処理用メモリとして最適である。

SAM(Serial Access Memory)を備え、相互にデータを転送するとき以外はそれぞれに対して独立にアクセス可能なメモリである。描画プロセッサからの入力をRAMポートに接続し、CRT(Cathode Ray Tube)などの表示系にSAMポートから出力することで、描画スピードを従来の4倍ないし5倍に向上することができる。

表7は現在までに製品化している256k及び1MビットのマルチポートRAM系列である。これらの製品は、RAMポートからの書き込み時に入出力端子ごとに書き込みを禁止するライトマスク機能などを標準装備するとともに、記憶データと入力データとの間の論理演算機能や、1ワード線上のデータを一括して書き込むフラッシュライト機能をオプション機能として備えている。これらの機能によって、描画スピードは更に向上する。

5 結 言

微細加工技術を中心としたプロセスデバイス技術と回路技術の向上を基礎にして、高速化を中心に各種ICメモリの高性能化を行っている。SRAMでは15 ns, DRAMでは60 ns, EPROMでは70 nsまでの製品が既に実現している。これによって、MPU性能の限界までシステム性能を引き上げることを可能にした。今後MPUの性能は更に向上していくものと予想され、高性能ICメモリ系列の拡充を進めて市場ニーズに対応していく考えである。

表7 マルチポートRAMの概要 高速・高性能のマルチポートRAM系列を展開して、画像処理分野の各種の応用に対応している。

		HM53461 シリーズ	HM534251 シリーズ	HM538121 シリーズ
メモリ 構 成	RAM部	64kワード× 4ビット	256kワード× 4ビット	128kワード× 8ビット
	SAM部	256ワード× 4ビット	512ワード× 4ビット	256ワード× 8ビット
RAMアクセス時間		100・120・150 ns	100・120・150 ns	100・120・150 ns
SAMサイクル時間		40・40・60 ns	30・40・60 ns	30・40・60 ns
機 能	ライトマスク	あり	あり	あり
	シリアル入力	あり	あり	あり
	リアルタイム データ転送	あり	オプション	オプション
	スペシャル リード転送	なし	オプション	オプション
	フラッシュ ライト	なし	オプション	オプション
	論 理 演 算	オプション	オプション	オプション
パ ッ ケ ー ジ		24ピン ZIP, DIP, SOJ	28ピン ZIP, SOJ	40ピン SOJ

参考文献

- 1) 富永, 外: 市場ニーズを先取りするHシリーズマイクロコンピュータ, 日立評論, 70, 12, 1227~1234(昭63-12)
- 2) K. Sasaki, et al.: A 15 ns 1 Mb CMOS SRAM, ISSCC Digest of Technical Papers, 134~135(Feb.1988)
- 3) 増田, 外: バイポーラCMOS複合による高速論理回路, 電子通信学会誌, J67-C, No.12, 999~1005(昭59-12)
- 4) 荻上, 外: 高速高集積メモリに台頭するバイポーラCMOS RAM, 日経エレクトロニクス, No.390, 199~217(昭61-3)
- 5) 小高, 外: 超高速ECL RAMファミリー, 日立評論, 69, 7, 667~672(昭62-7)
- 6) M. Fukuta, et al.: A 55 ns 64 k×16 b CMOS EPROM, ISSCC Digest of Technical Papers, 122~123(Feb.1988)
- 7) 井上, 外: 1Mビット MPRAM HM534251・HM538121, 日立評論, 70, 2, 179~184(昭63-2)