

サブミクロンプロセス技術の動向

Trends in Submicron Silicon Process Technology

サブミクロンLSI開発のための微細加工では、光学方式の露光技術に限界が見え出し、リソグラフィー技術の新たなブレークスルーが必要となっている。リソグラフィーと並び微細加工を牽(けん)引するドライエッチング技術には、低温ドライエッチという新しい芽が出てきた。デバイスの信頼性も重要なポイントとなっており、極薄絶縁膜形成技術、デバイス段差平坦化技術、コンタクト埋め込み技術などの展開に期待がかかる。

矢木邦博* Kunihiro Yagi

清水真二** Shinji Shimizu

1 緒 言

LSIの代表とされるMOS DRAM(Metal Oxide Semiconductor Dynamic Random Access Memory)の集積度と最小加工寸法の年次推移を図1に示す。デバイスの世代交代はほぼ2.5～3年に一世代進行し、ビット当たりの単価を下げてコンピュータや情報処理分野の量的拡大を支えてきた。4 MビットDRAMで加工プロセスのレベルがサブミクロン($0.8\mu\text{m}$)に突入して以来、16 MビットDRAM($0.5\sim 0.6\mu\text{m}$)が製品開発段階、64 MビットDRAM($0.3\sim 0.4\mu\text{m}$)は研究開発段階の状況にある。

DRAMに代表されるMOSメモリの微細化・高集積化の技術は、カスタムLSI、マイクロコンピュータ用LSI、ロジック用LSIやASIC(Application Specific IC: 特定用途向けIC)へと展開され、機能の拡大にもつながり、現今の情報化産業の質的変革にも寄与している。

このようなテクノロジードライバとしてのMOS DRAMの集積度の増大、デバイスの微細化を支えてきたのはリソグラフィーをはじめとする微細加工技術が牽引車となっているのは言うまでもないが、酸化・ドーピング技術、薄膜形成技術やデバイスを計測・評価する技術など、多くの技術分野の進展によるものである。本稿ではこれらの技術レベルの現状を概観し、将来展望を探る中からこれからの半導体プロセス製造・検査装置に要求される事がらを探ってみたい。

2 サブミクロンデバイス開発の動向

MOS DRAMのデバイスプロセス技術の変遷を要約して表1に示す。DRAMは当初単純で低価格であることを理由にnMOSプロセスが用いられたが、低消費電力化に適したCMOSプロセス技術が現在の主流となっている。

1 MビットDRAMまではMOSトランジスタとキャパシタか

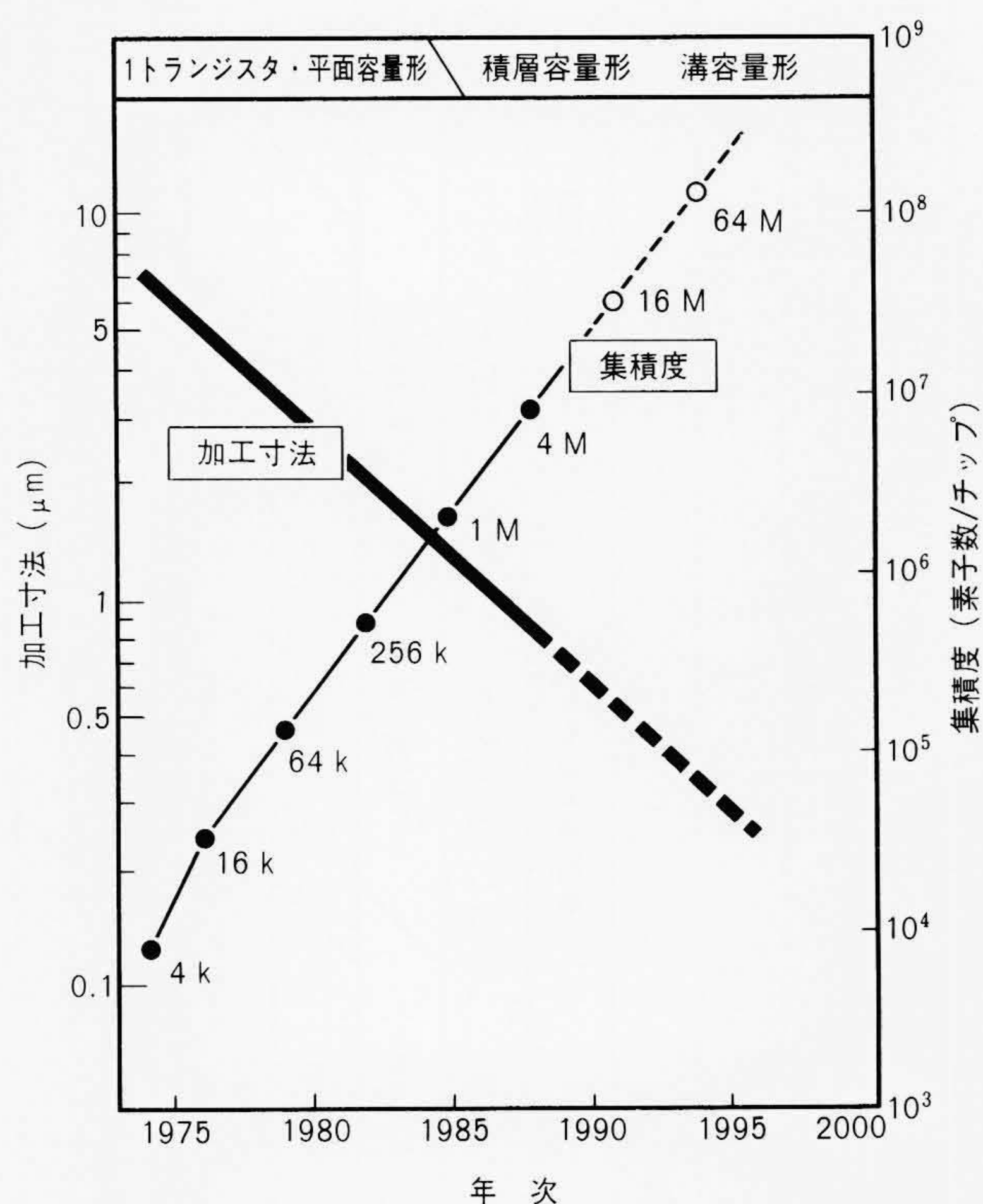


図1 MOS DRAMの集積度と微細加工寸法の年次推移 DRAMの集積度は2.5～3年に4倍のトレンドで増大し、これを微細加工技術の進展が牽(けん)引している。

ら成るメモリセルを、Siウェーハ上に平面に並べて形成していた(1トランジスタ・平面容量形メモリセル)。ところが、LSIの高集積化によってデバイスはより微細化され、一つのメモリセルに許容される面積が小さくなり、立体的なメモリセル構造が登場してきた。日立製作所は1 Mビットで初めてCCC(Corrugated Capacitor Cell)¹⁾と呼ぶ溝容量形メモリセルの

* 日立製作所中央研究所 工学博士

** 日立製作所デバイス開発センタ

表1 MOS DRAM技術のトレンド 各世代, LSIの高集積化, 微細化は種々のデバイス・プロセス技術の開発・進歩によって支えられている。

DRAM 集 積 度	16 k	64 k	256 k	1 M	4 M	16 M	64 M以降
加 工 レ ベ ル	5 μm	3 μm	2 μm	1.3 μm	0.8 μm	0.5~0.6 μm	0.4~0.3 μm
プ ロ セ ス 技 術	nMOS						CMOS
メ モ リ セ ル 構 造	1 ト ラ ン ジ ス タ ・ 平 面 容 量 形						溝 容 量 形
ト ラ ン ジ ス タ 構 造	シングルドレイン			LDD			
実効チャネル長 <i>Leff</i>	3 μm	2 μm	1.3 μm	0.8 μm	0.6 μm	0.5 μm	
接 合 深 さ <i>xj</i>	0.8 μm	0.5 μm	0.35 μm	0.25 μm	0.2 μm	0.15 μm	
ゲート SiO ₂ 膜厚 <i>Tox</i>	75 nm	50 nm	35 nm	25 nm	20 nm	15 nm	
アイソレーション構造	LOCOS			改良LOCOS			
リ ソ グ ラ フ ィ ー	密着・1/1投影露光		g線縮小投影露光		g, i線縮小投影露光(高NA化)		
	単層レジスト		単層レジスト		高段差対応(多層レジスト, 焦点裕度)		
ド ラ イ エ ッ チ ン グ	ウエットエッチ		枚葉形プラズマエッチ (等方性)		反応性イオンエッチ (異方性)		
	円筒形プラズマエッチ		マイクロ波エッチ		低温マイクロ波エッチ		
酸 化 ・ ド ー ピ ン グ	不純物拡散		ポートローダ酸化 イオン打ち込み		ソフトランディング酸化		
	常圧CVD		減圧CVD		ドープトPoly Si, SiO ₂		
薄 膜 形 成	層間膜		常圧PSG		プラズマSiO ₂ , SiN		
	配 線		EB蒸着		スパッタ		
イ ン ラ イ ン 計 測	外 観		光学顕微鏡		低加速SEM		
	寸 法		光学顕微鏡		測長SEM		
異 物	光学顕微鏡		レーザー測長		レーザー散乱		
		光学顕微鏡		物質同定			
				化学吸着計測			

注：略語説明
DRAM(Dynamic Random Access Memory), CVD(Chemical Vapor Deposition)
nMOS(n-type Metal Oxide Semiconductor), PSG(Phospho-Silicate Glass)
CMOS(Complementary Metal Oxide Semiconductor), EB(Electron Beam)
Bi-CMOS(Bipolar-Complementary Metal Oxide Semiconductor), RTA(Rapid Thermal Anneal)

提案をして以来、4 Mビットおよび16 MビットDRAMでは、溝容量形メモリセル²⁾と並行して積層容量形メモリセル³⁾についても検討した。16 MビットDRAMで検討した2種類のメモリセルのSEM(走査電子顕微鏡)による断面写真を図2に示す。

メモリセルの縮小とともにMOSトランジスタを微細化し、縮小化スケールリング則に従って性能向上もねらっている。しかし、サブミクロン領域となると速度飽和や易動度の低下のため、MOSトランジスタの性能向上があまり期待できなくなる。このため、バイポーラトランジスタを利用してスピード向上を図るBi-CMOSデバイスも注目されている。

他方、外部システムとの互換性の関連で電源電圧が一定に抑えられており、ホットキャリア効果などの信頼性が問題となり、ドレーン近傍の不純物プロファイルを制御して、ドレーン端に発生する高電界を緩和するLDD(Lightly Doped Drain)構造などの工夫が重要となっている。将来0.5 μm以下の加工レベルになったときは、デバイス構造の工夫と同時に電源電圧の選択が重要な鍵(かぎ)となってくる。

デバイス・回路は(1)各種pn接合、(2)ゲートおよびキャパシタなどの絶縁膜、(3)ゲート電極と配線、の3要素から構成されている。これら3要素の信頼性の問題も、デバイスの微細化に伴って重要な課題としてクローズアップされてきた。信頼性の問題点について、上記デバイスの信頼性をも含めて表2にまとめた。

pn接合について見ると、デバイスの微細化とともに接合深さが浅くなり、同時にユーザーの利用を配慮してリフレッシュ時間が各世代で2倍、つまりリーク電流を1ビット当たり $\frac{1}{2}$ に減少させる必要性に迫られている。接合の面積も微細化されるので今まであまり考慮しなくても済んでいたが、16 MビットDRAMでは $1 \sim 2 \times 10^{-16}$ A/ビット(室温)が要求され、

浅接合化による結晶欠陥制御の難しさに加え、リーク電流の低減を図る必要がある。これにはイオン打ち込み層の欠陥制御、応力や重金属汚染の低減、接合と界面準位の関連などに対する取り組みが重要となろう。

ゲートおよびキャパシタ絶縁膜も薄膜化が進行している。DRAMの記憶保持用キャパシタでは、外部からのα線入射やSN比低下によるメモリの誤動作を防ぐため、キャパシタの容量をある一定の値に保つ必要がある。メモリセルの微細化に従い、キャパシタの占める面積も小さくする必要に迫られ、図2に示したような立体化構造の採用による実効的面積の増加と、絶縁膜の高ε化と薄膜化が図られている。16 MビットDRAMでは、キャパシタ絶縁膜のSiO₂換算膜厚は5～10 nm程度に薄くなり、かつ粒界の凹凸のある多結晶シリコンにサンドイッチされた構造となっている。このため、許容されるリーク電流に沿ったプロセス設計と、初期欠陥、潜在欠陥のない高品質な絶縁膜形成プロセスが要求される。

メモリセルの立体化とともに、図2のようにデバイス段差も大きくなり、配線の信頼性確保も大切である。デバイス段差を平らにするための層間絶縁膜の平坦化技術と、サブミクロン領域の微細配線のストレス・エレクトロマイグレーションの問題に対処する耐熱性金属、およびシリサイド技術、コンタクトの信頼性を高めるバリアメタル技術などが今後必要と考えられている。また、ドライエッチやウェットエッチによる反応生成物と配線材料の化学反応防止や、コンタクト領域での配線金属の被覆性改善にも取り組まねばならない。

3 プロセス技術の開発動向

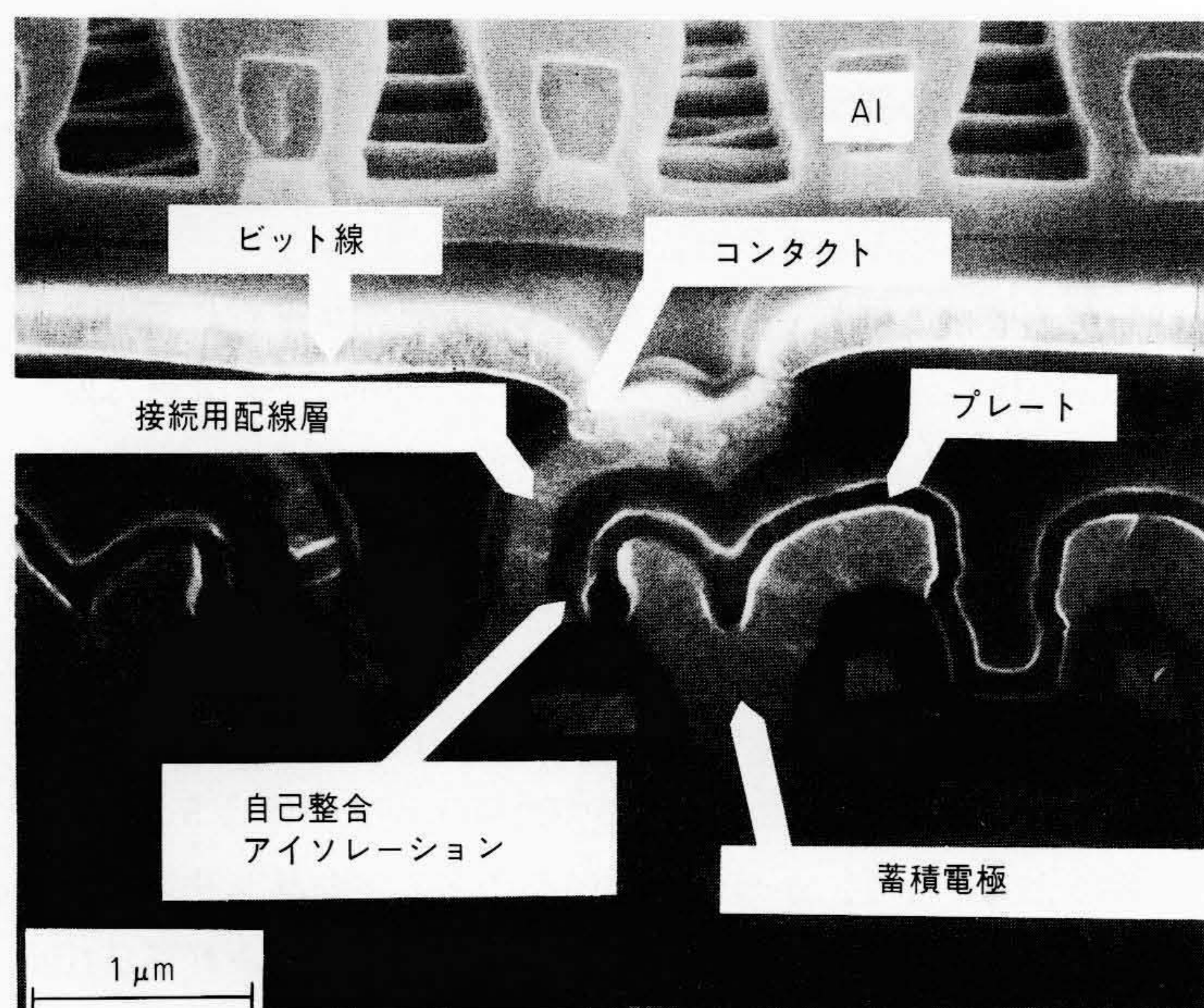
3.1 リソグラフィ

加工レベルが1 μm以上であった1 MビットDRAMまで、微細加工は光学方式の縮小投影露光技術で達成され、解像性、

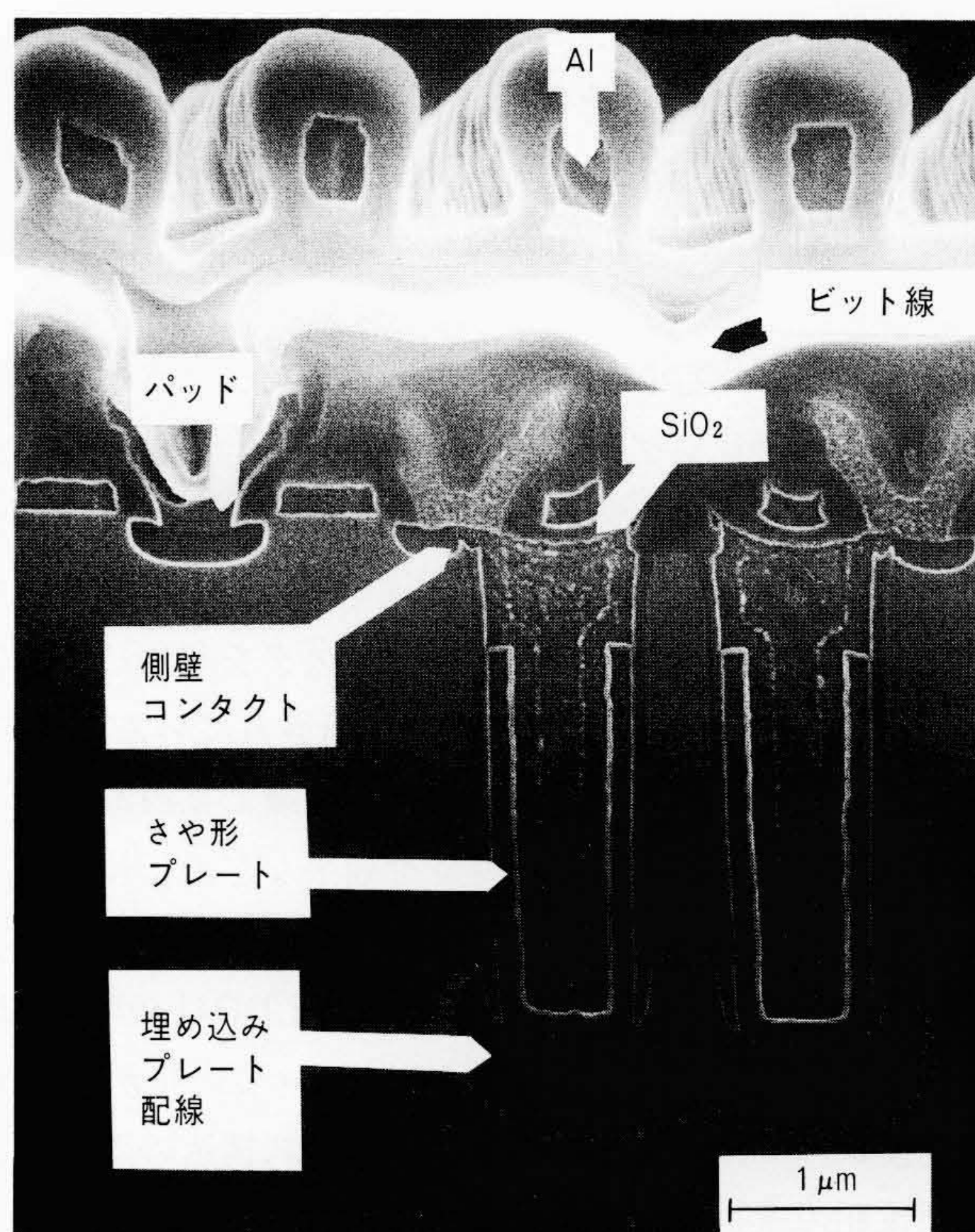
表2 サブミクロンMOS LSIの信頼性の問題点 サブミクロン時代にデバイス、pn接合、絶縁膜、配線について予想される問題点についてまとめた。

項目	問題点	要因	デバイス特性への影響
デバイス	短チャネル効果 ホットキャリア ソフトエラー	高電界効果 応力・ダメージなど α線入射	パンチスルー 特性の劣化 メモリの誤動作
pn 接 合	結晶欠陥 接合不良	結晶中不純物・微小欠陥 イオン打ち込み欠陥、重金属汚染、応力、 接合と界面準位	リフレッシュ不良
絶 縁 膜	リーク TDDB	FN・直接トンネル トラップ、チャージアップ界面準位発生	初期絶縁不良 潜在欠陥による寿命低下
配 線	腐食 ストレス・エレクトロマイグレーション 配線の被覆性 コンタクト導通	ドライ・ウェットエッチ化学反応 応力 高電流密度 高段差構造 界面汚染、界面反応・析出	断線・短絡 コンタクト導通不良

注：略語説明 TDDB(Time Dependent Dielectric Breakdown)



(a) 積層容量形メモリセル



(b) 溝容量形メモリセル

図2 立体メモリセルの断面SEM(走査電子顕微鏡)写真

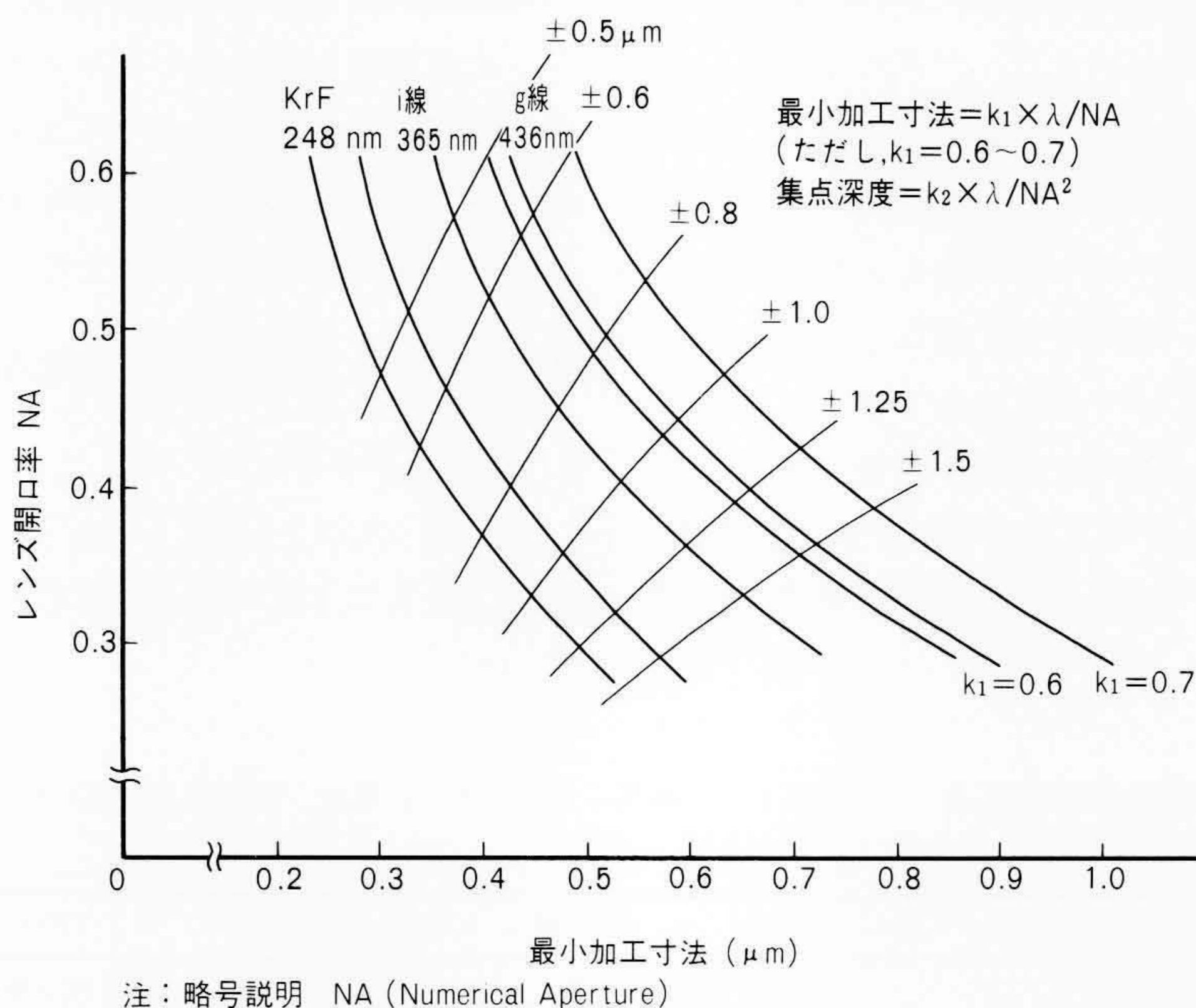
16 MビットDRAMの2種類の立体化メモリセルで、メモリセルの大きさは4.2 μm²である。

図3 レンズの開口率(NA)と最小加工寸法

光学露光方式では高NA化と短波長化によって解像性が向上する。同一加工寸法で比較すると、短波長化したほうが焦点深度が大きくなり有利となる。

合わせ精度にも余裕があった。しかし、サブミクロン時代に入り光学方式にも限界が見え出し、さらにデバイスの高段差化に対応するため、高解像度化、高段差対応の技術開発が進められている。図3からわかるように、露光装置の面からはレンズの開口率NA(Numerical Aperture)を高くしたり、露光波長λを短くするなどの工夫が精力的に進められている。高

NA化により解像性の向上が図られるが、焦点深度の低下が問題となり、より露光波長を短くすることが有利となるため、g線からi線の利用が現状露光装置で図られている。0.5 μmデバイスは現状のg線、i線の縮小投影露光でNAを0.45~0.55程度にすれば達成できる見通しがある。

しかし、0.3~0.4 μmデバイスでは高NA化には焦点裕度の

点で限界があり、より短波長のDeep UV光領域を用いるエキシマレーザ縮小投影露光装置の出現が期待される。このエキシマレーザ露光方式では、レーザの波長安定度や寿命など装置面の課題のほか、光の透過率などレジスト材料、プロセス面の課題を克服しなくてはならない。

光学方式の縮小投影露光法の限界が見え隠れする中で、現状でも $0.3\mu\text{m}$ の解像度を比較的容易に実現でき、カスタムLSIプロセスですでに利用されているのが電子線直接描画法であるが、スループットが低いというのが最大の問題である。したがって、電子線描画装置の高スループット化のためのブレークスルー、および高感度電子線レジストの開発が達成できないかぎり、 $0.3\mu\text{m}$ レベルのMOSメモリ量産技術として位置づけることはできない。

原理的に解像性の有利なX線露光方式は、強力線源となるSOR (Synchrotron Orbital Radiation) 光が開発されれば、ステッパ方式でも十分な量産性が期待できる。しかし、光学方式と同様に合わせ精度の向上が難しく、デバイス寸法と同一レベルのマスク製造や欠陥修正の困難性を考慮すると現状の完成度は低く、 $0.3\mu\text{m}$ 時代の量産技術としては見通しが暗い。これらの課題を克服するという点では、これまでの $\frac{1}{4}$ 近接露光ではなく、縮小投影形露光方式への飛躍以外にはないのではないかと予想される。

現状でもっとも実現の可能性の高いのはやはり光学方式であり、その解像性の不足、焦点裕度の不足を補うレジスト材料や各種レジストプロセスの開発が盛んである。デバイスの高段差化に対処するための多層レジスト法、焦点裕度を拡大するためのFLEX (多重結像露光) 法⁴⁾、解像性向上のためのCEL (Contrast Enhancement Lithography) 法およびレジスト表面難溶化による多段現像法やポスト露光ベーク法、さらには特殊なレチクルパターンを用いる位相シフト法⁵⁾などが提案されている。光学方式であるがための限界をなんとかして伸ばそうという、このようなレジスト処理技術などの工夫が今後ますます必要となる。

3.2 ドライエッチング

微細加工を実現する上で、リソグラフィと車の両輪となるドライエッチング技術は、当初、等方性プラズマエッチングが用いられていた。しかし、より微細な加工を実現するためにイオン性を強調した反応性イオンエッチングや、マイクロ波ドライエッチングがサブミクロン加工レベルの主流となっている。微細なレジストパターンを忠実に反映するためには、イオンの直進性を利用した反応性イオンエッチングが有利であるが、荷電粒子によるデバイスへのダメージの悪影響が出る。マイクロ波ドライエッチングは、イオンのエネルギー制御をプラズマ形成パラメータと独立して行うことができる点に優れた面を持っている。

しかし、プロセス加工レベルがサブミクロンへと進展した

現在、ドライエッチング技術にはイオンによる垂直エッチングと、選択性というあい矛盾した性能が要求されるようになった。このため、微細加工する側面に側壁保護膜を形成させてサイドエッチを防ぐなどの方法が検討されている。その一つにTM (Time Modulated etch) 法⁶⁾がある。これはエッチングガスとデポジション性の高いガスを交互に選択し、選択性の点で有利なラジカルによって側壁がアタックされないように保護しながら、垂直方向だけをエッチングする技術である。保護膜形成はこのような利点とともに、どうしても汚染源となったりエッチ速度や選択性の低下を招いてしまう欠点もある。

このような課題を克服できる方法として、最近注目されているのが側壁保護膜を利用せずにサイドエッチが少なく、高選択性を実現できる低温ドライエッチング技術である⁷⁾。LSIプロセスで利用される各種材料に対するサイドエッチング量の温度依存性と断面形状を図4に示す。例えば、多結晶シリコンを例にとると、ウェーハ温度を $-120\sim-130^\circ\text{C}$ にするとサイドエッチング量をほぼ0にでき、 SF_6 ガスという非デポジション性ガスを用いているためエッチ速度の低下がなく、さらにはマスク材となるレジストとの選択比が飛躍的に向上するメリットがある。このように、各種材料に対してウェーハ温度、ガスの種類を適切に選んでやることによって、サイドエッチのない高選択性と高速性を兼ね備えたドライエッチを実現することが可能となってきた。

3.3 酸化・ドーピング技術

ゲート酸化膜の膜厚も表1のように、デバイスの微細化とともに薄くなりサブミクロンプロセスでは 20 nm 以下となってきた。このため、初期欠陥密度の低減のためウェーハのハンドリングに細心の注意が必要となり、ウェーハ搬送の自動化とソフトランディング方式の採用が必須(す)となった。さらに横形酸化・アニール炉では、導入ガスの対流によって炉口からの空気の逆流が問題となり、現在は縦形酸化・アニール炉が主流となりつつある。この縦形炉は、ウェーハ大口径化の際に問題となる温度のウェーハ内不均一性によって生ずる熱応力の低減にとっても有利な方式である。これからの酸化炉では、ウェーハ表面にどうしても形成される自然酸化膜や不純物の付着を、酸化処理の前にいかに除去するかがポイントであり、よりクリーンな酸化プロセスの構築が必要となろう。

ゲート酸化膜の信頼性向上のために現在もっとも重要なのは、潜在欠陥をいかにして低減できるかにある。潜在欠陥の発生原因についてはまだ解明されていない部分が多い。結晶内の酸素濃度や微量重金属元素、微小欠陥などがその上に形成するゲート酸化膜にどのような影響を与えているかの解明も必要である。また、プロセスがnMOSプロセスからCMOSプロセスへと複雑になり、さらにデバイスの微細化に伴い荷電粒子などを利用した新しい手法のプロセス技術が用いられており、汚染やダメージを誘引する源が多くなる傾向にある。

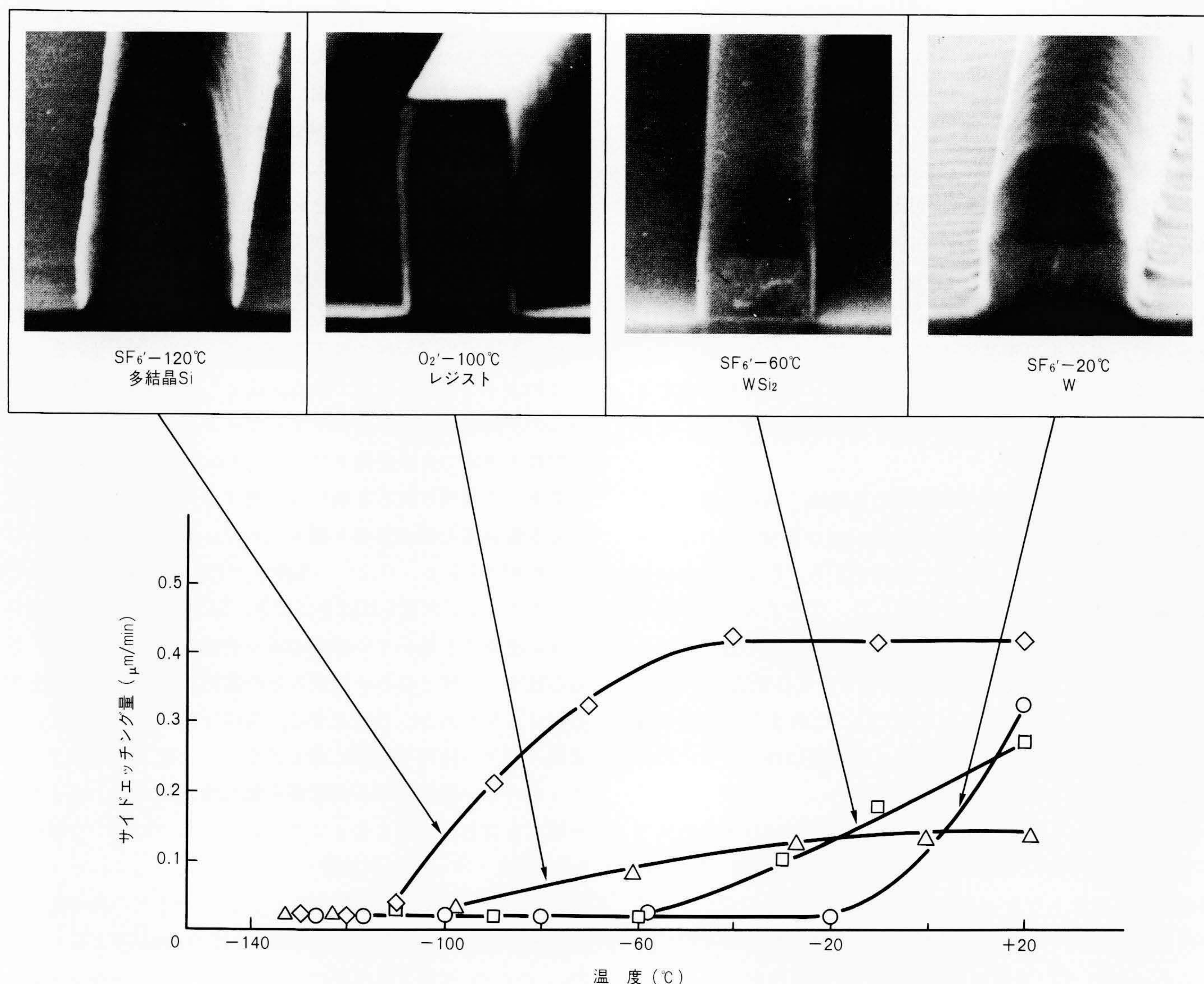


図4 各種材料のサイドエッチング量の温度依存性および断面形状 ウェーハ温度を低温にすると、サイドエッチング量が抑えられる。

プロセスのクリーン化技術がますます重要になってきていると同時に、デバイス特性とプロセス環境の因果関係を明確にする解析が必要である。

pn接合を形成するためのドーピングは、ほとんどイオン打ち込み技術によって行われている。MOSトランジスタのソース・ドレインに代表される接合の深さは、デバイスの微細化とともに表1のように浅くなっており、現在は0.1~0.2 μm 程度である。さらに信頼性の確保のためにドレイン端に発生する高電界を緩和する、LDD構造に代表される接合では、横方向の接合の広がり精度も0.01 μm 以内が要求されるようになっている。したがって、浅い接合形成のために大電流のビームが引き出せる、低エネルギーイオン打ち込みが必要となると同時に、もう一度不純物プロファイルの精密制御について検討すべき時期にきていると考える。

イオン打ち込みに続く熱処理プロセスについても、0.01 μm

の精度で拡散を制御することが必要となっている。従来の横形あるいは縦形熱処理のように、炉口からウェーハを挿入して引き出すという方式は、ウェーハ間のばらつきを生ずる原因となり新しい方式の検討も必要である。特に浅い接合形成に有利なRTA (Rapid Thermal Anneal) 方式は、今後温度の不均一性によって生ずるスリップライン欠陥の制御や温度の精密設定などが可能となれば、有望な方法として地歩を固める可能性がある。

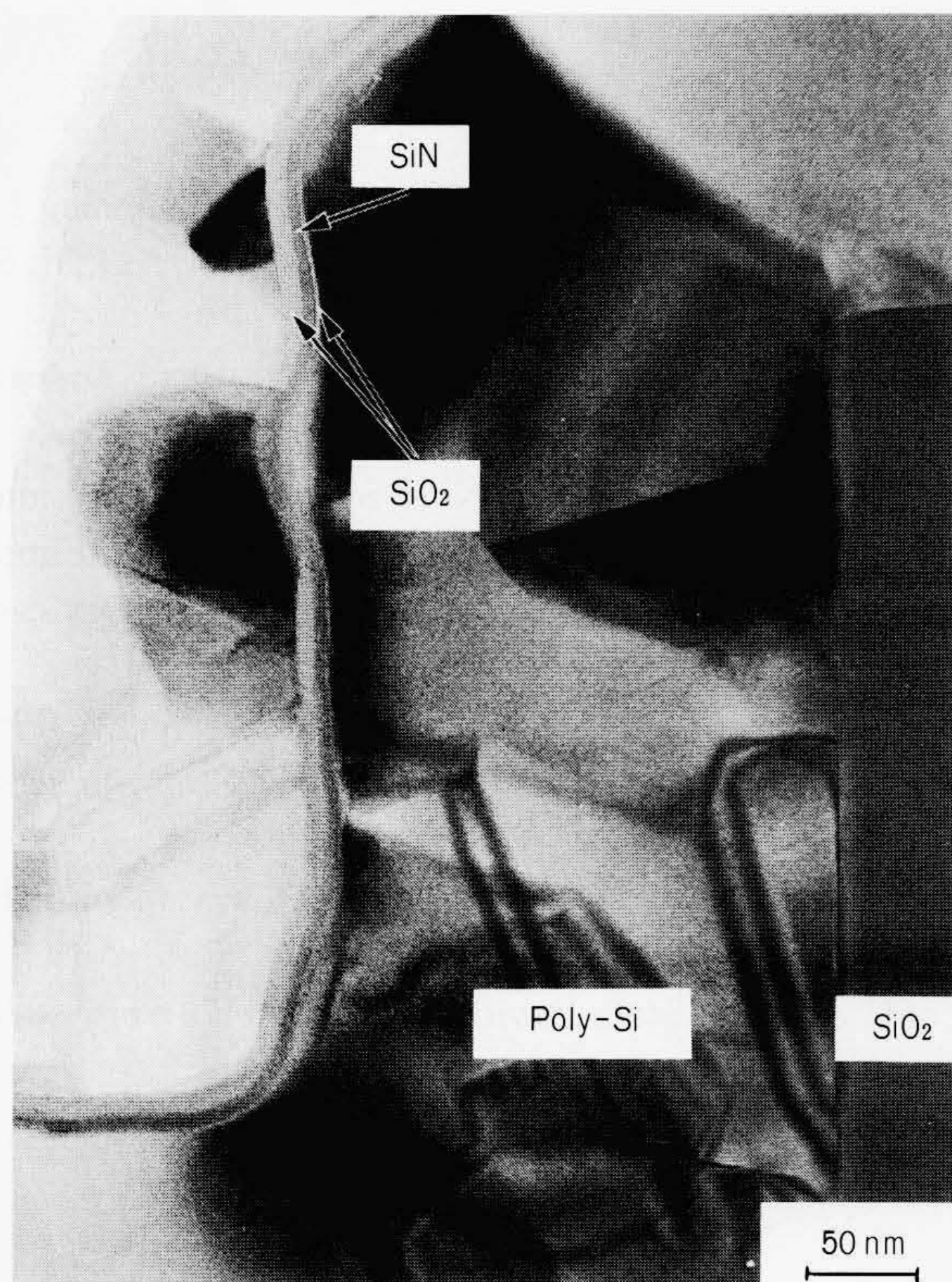
さらに特殊な用途として、 α 線の遮へい効果やCMOS回路のラッチアップ不良防止をねらったシールド層を、高エネルギーイオン打ち込みによって形成する試みもある。また、メモリセル構造の立体化や、溝の側壁部分への不純物ドーピングに対応して、入射角度が自由に変えられる装置開発も必要になると思われる。

3.4 薄膜形成技術

薄膜形成は多岐にわたっており、特に最近種々の新しい原理に基づくプロセス・装置の提案が相次いでいる分野である。

4～16 MビットDRAMの記憶保持用キャパシタ絶縁膜は、 SiO_2 換算膜厚で5～10 nmと非常に薄くなってきた。当初、段差のある多結晶シリコン電極上での薄い絶縁膜のピンホールや被覆性が懸念されたが、図5のTEM(透過電子顕微鏡)写真で見ると、段差部や多結晶シリコンの粒界の凹凸にも均一に薄膜が形成されている。これは減圧CVD法によって形成した Si_3N_4 膜の被覆性のよさを反映しているものとみなせる。このような極薄領域となると初期欠陥や寿命などの問題もさることながら、直接トンネルによるリーク電流によって利用できる膜厚が決定される。この様子を図6に示したが、 SiO_2 換算膜厚が5 nmを切ると急激にリーク電流が増え始め、動作時にキャパシタに印加される電圧を考慮すると、4.5～5 nmが限界となる⁸⁾。このため、さらに Ta_2O_5 のような高 ϵ 材料の利用も検討されている。

次に、デバイスの高段差パターン上で上部のAlなどの配線との絶縁をするための層間絶縁膜は、いかにデバイス段差を平坦化して堆(たい)積できるかがポイントである。これには被覆性の良いCVD膜、低温で流動性の高いBPSG(Boro Phospho-Silicate Glass)膜、塗布絶縁膜(Spin On Glass)の



注：日立製作所中央研究所物性評価センターで撮影

図5 多結晶シリコンにサンドイッチされた SiO_2 、 SiN から成るキャパシタ絶縁膜の断面TEM写真 凹凸ある多結晶シリコンの段差にも、薄い絶縁膜が均一に形成される。

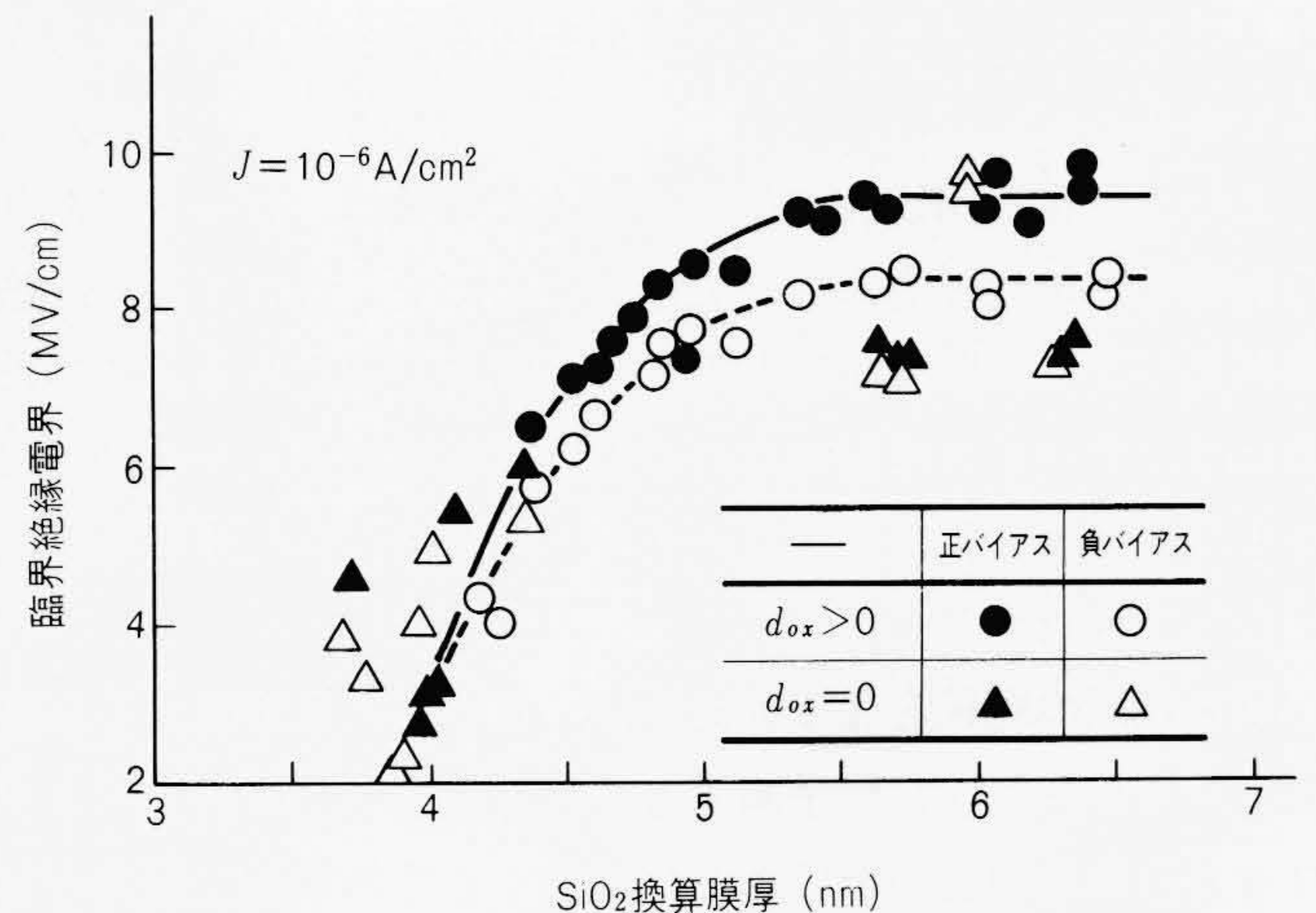


図6 臨界絶縁電界のキャパシタ絶縁膜厚依存性 リーク電流が $1 \times 10^{-6} \text{ A/cm}^2$ になる臨界絶縁電界は、 SiO_2 換算膜厚が5 nm以下になると急激に低下しており、直接トンネルによるリーク電流は急激に増大する。

組み合わせや、さらには平坦化のためのエッチバックプロセスなどの手法が採り入れられている。被覆性のよいCVD技術としては、最近流動性の高いTEOS(Tetra Ethoxy Silane)を利用した技術や、プラズマや光照射など熱以外の反応や励起を利用したさまざまな技術の提案・検討が報告されている。被覆性向上のためには、いかにして表面での流動性を増すか、また表面反応をいかにして促進させるかがポイントであり、今後の展開を注目したい。

配線についても、微細化に伴いストレスマイグレーションやエレクトロマイグレーションなど、信頼性にかかわる問題も懸念されており、従来からのAl中へのほかの金属添加やW、 WSi_2 等の高融点金属の利用など、材料面での探索も活発である。また、異種間金属接合部での電池作用や、ドライエッチの際に生成する反応生成物との反応による腐食も信頼性低下の原因となるため、より細かい反応機構などの検討も必要である。配線メタル堆積の点で最大の課題は急峻(しゅん)で微小となったコンタクト部に、いかにして被覆性よく金属材料を埋め込めるかである。このため、コンタクト部への選択成長技術が注目を集めているが、中でもWの選択埋め込み技術はもっとも有望視されており、この技術が完成すれば信頼性の点からもプロセス構築の上からも、画期的な飛躍が望める。

3.5 プロセスインテグレーションと計測技術

要素プロセスを組み合わせでデバイスを構築する上で、一つのプロセスにしわ寄せすることなく、いかにバランスよく個々のプロセスの能力を発揮させるかが、プロセスインテグレーションの妙である。また、特に光学方式の露光技術が限界にさしかかっているため、合わせ精度を必要としない自己整合プロセスの開発も鍵となる。リソグラフィに無理強い

することなく、メモリセルの縮小を図ることが可能となるからである。

また、現在のDRAMの隆盛が得られたのは、ビット当たりの単価を毎世代確実に下げたことに支えられており、低価格化つまり歩留まり向上を今後も図る必要がある。このためには、デバイス作製のための工程数の増加をいかに抑えるかも、プロセスインテグレーションに課せられた重要な課題となってきた。

開発期間の短縮を図るうえでは、デバイスを作製する以前にシミュレーションで予測することも重要で、検討すべきプロセスの条件の範囲をできるだけ狭くして効率的な開発をしたい。そのためには、精度向上とともに複雑なデバイス構造に備えた応力解析などの新しいシミュレーション手法の開発も重要である。

さらには、クリーン化技術や計測技術もデバイスの微細化を支える重要な柱となっている。クリーンルーム環境、ガス、純水の清浄化のほか、プロセス装置内の汚染にも注意を払わねばならない。これからは単に塵埃(じんあい)だけにとどまらず、その物質同定やケミカルコンタミネーションの制御・計測が重要になると思われる。自分の造ったデバイスを自分の目で確かめなければ、次の進歩は望めない。新しい計測手段の開発によって新しい問題も見えるようになり、展望が開けると確信する。

4 今後の半導体製造・検査装置の共通課題

これまで個々のプロセス技術の開発動向について述べたので、今後装置を構成、開発する上で共通課題として考慮すべき事がらを以下にまとめる。

- (1) チップ取得数の拡大のために、ウェーハの大口径化(当面8インチ)が求められており対処が必要である。特に酸化炉、熱処理炉や減圧CVD炉装置など、炉体を利用する装置での対応が必要である。
- (2) ウェーハハンドリング、搬送の自動化による異物低減については、ウェーハ裏面の清浄化やベルトレス搬送などへの配慮が重要となる。
- (3) 低塵埃化・低汚染化のためのクリーン化技術が、今後ますます重要となる。これからは、装置内壁などの構成材料の吟味や内壁処理方法、ガスの純度などに注意するとともに、ケミカルコンタミネーションの制御が重要となるであろう。

(4) プロセスの安定性、再現性を高めるためには、インプロセス計測による装置内自動管理と、プロセスラインの自動管理の高度化が求められる。

(5) 外観、寸法計測装置などでは、特に使いやすさを重視した、例えば画像処理機能などのソフト面での拡充が期待される。

5 結 言

サブミクロンプロセス技術の動向について概説し、装置開発を含めた将来を展望した。微細加工では、光学方式の露光技術が限界に近づき、リソグラフィーの新たなブレークスルーを必要としており、ドライエッチ技術では低温化のアプローチが注目される。デバイスの信頼性も重要なポイントとなっており、極薄絶縁膜形成技術、デバイス段差平坦化技術、コンタクト埋め込み技術などの新展開によってクリアできるかが課題となろう。プロセス・材料面の開発に加え、計測評価・不良解析技術も重要であり、サブミクロンLSIの進展は種々の技術分野の総合的な力の発揮にかかっている。

参考文献

- 1) H. Sunami, et al. : A Corrugated Capacitor Cell : IEEE ED, ED-31, 746~753(1984)
- 2) T. Kaga, et al. : A 4.2 μm Half-Vcc Sheath-Plate Capacitor DRAM Cell with Self-Aligned Buried Plate-Wiring : Proc. of the IEDM87, 332~335(1987)
- 3) 木村, 外 : 16 Mb DRAM用メモリセル技術 : 電子情報通信学会技術研究報告, SDM 88-15, 9~13(1988)
- 4) H. Fukuda, et al. : A New Method for Enhancing Focus Latitude in Optical Lithography : FLEX : IEEE EDL EDL-8, 179~180(1987)
- 5) 長谷川, 外 : 位相シフト法(1), (2) : 第49回応用物理学会学術講演会予稿集, 497(1988)
- 6) K. Tsujimoto, et al. : A New Side Wall Protection Technique in Microwave Plasma Etching Using a Chopping Method : Ext. Abst. 18th Conf. on Solid State Devices and Mat. 229~232(1986)
- 7) S. Tachi, et al. : Low Temperature Microwave Plasma Etching : Ext. Abst. 19th Conf. on Solid State Devices and Mat. 553~556(1988)
- 8) J. Yugami, et al. : Inter-Poly $\text{SiO}_2/\text{Si}_3\text{N}_4$ Capacitor Films 5 nm Thick for Deep Submicron LSIs : Ext. Abst. 20th Conf. on Solid State Devices and Mat. 173~176(1988)