

薄膜形成技術

Thin Film Formation Technology

薄膜形成技術は、半導体デバイスの高集積化・高機能化・高信頼化を実現する上で重要な技術となっている。この中で主要な多層配線技術、ゲート用薄膜を取り上げた。多層配線技術では微細化、多層化が進んでいる。このため、高密度電流に耐える高信頼配線としてAl材料・被着条件、金属膜積層構造、微細孔へのW埋込技術を検討した。また、段差を緩和する平坦化にはプラズマCVD、塗布SiO₂膜、PIQ技術を用いてきた。ゲート用薄膜ではメモリセルが平面形から立体的な積層形、トレンチ形に進んでいくにつれて、使用されている絶縁膜の膜質向上が必須(す)となる。この関連で薄い絶縁膜の低欠陥化、フッ素化酸化膜などの新絶縁膜の研究を行っている。

菅原 活郎*
向喜 一郎**
亀井 常彰***
大貫 仁****
大和田伸郎*****

Katsurô Sugawara
Kiichirô Mukai
Tsuneaki Kamei
Jin Ônuki
Nobuo Ôwada

1 緒 言

超LSIでMOSメモリに例をとればメガビット時代、プロセスではサブミクロン時代に突入した。この中で薄膜形成技術は超LSIの主要プロセスとなっている。

多層配線技術では微細化とともに多層化が進んでいることに対応して、信頼度技術が厳しく要求されてきている。さらにSiチップの上に高段差の多層配線を形成するための平坦化技術がますます必要とされている。

MOSメモリで重要なトランジスタとキャパシタに適用するゲート用薄膜については、メモリセルが平面形から立体的な積層形、トレンチ形に進んでいくにつれて、絶縁膜の膜質向上が主要課題となっている。基本的な考え方を明確にし新しい絶縁膜技術の方向付けが要請されている。

2 超LSIに利用されている薄膜

前述のMOSメモリ(DRAM)立体化の進展状況を図1に示す。サブミクロン超LSIに使用されている薄膜を、多層配線用薄膜とゲート用薄膜に区分してまとめたのが図2である。微細多層配線技術、ゲート用絶縁膜の主要課題を図3に記載する。以下に例を挙げて課題と解決策を述べる。

3 超LSI用薄膜技術

3.1 多層配線用薄膜技術

- (1) 高信頼配線材料技術
- (a) 高信頼化の技術課題
- 配線材料には低抵抗であると同時に、薄膜形成、微細加

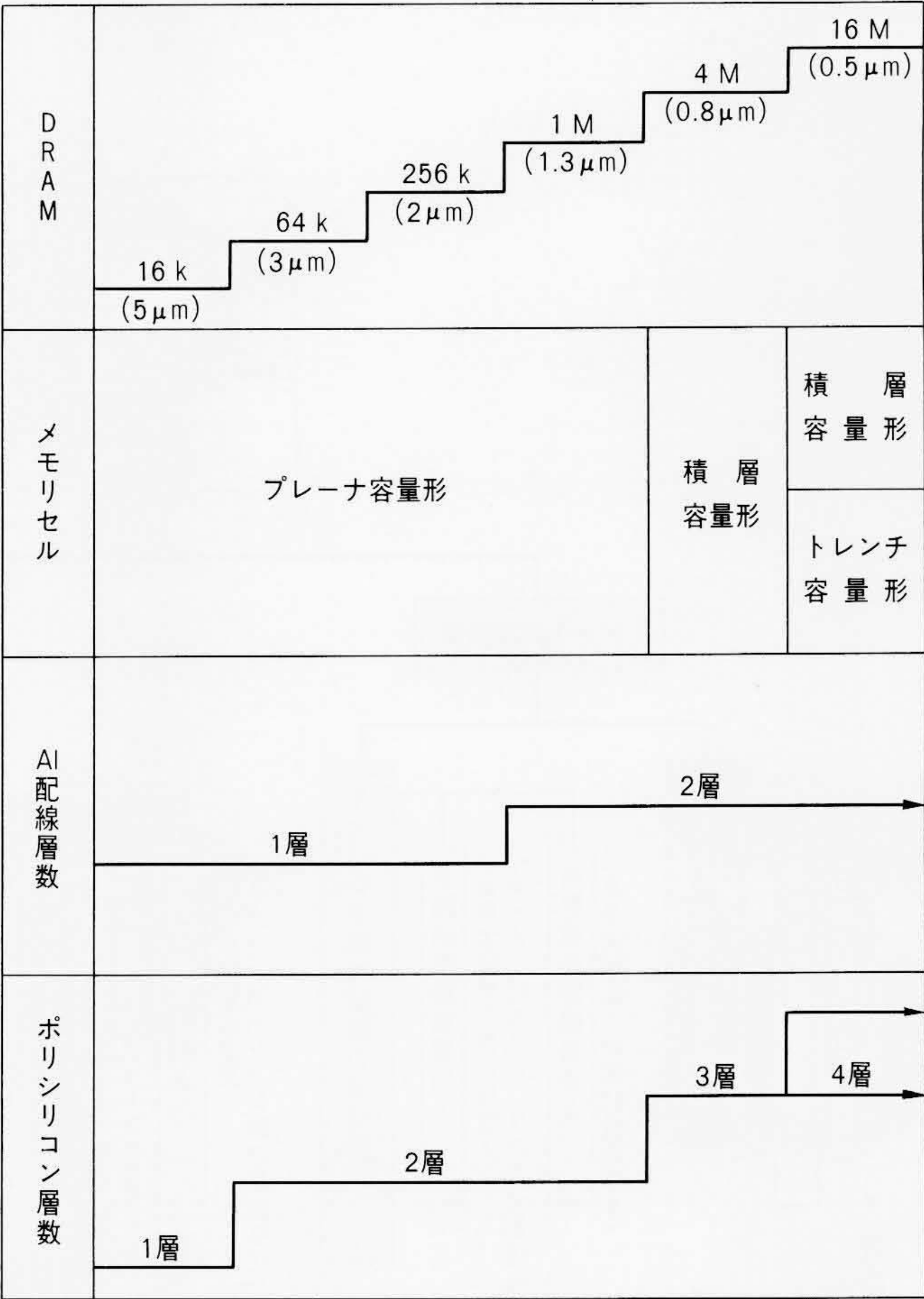
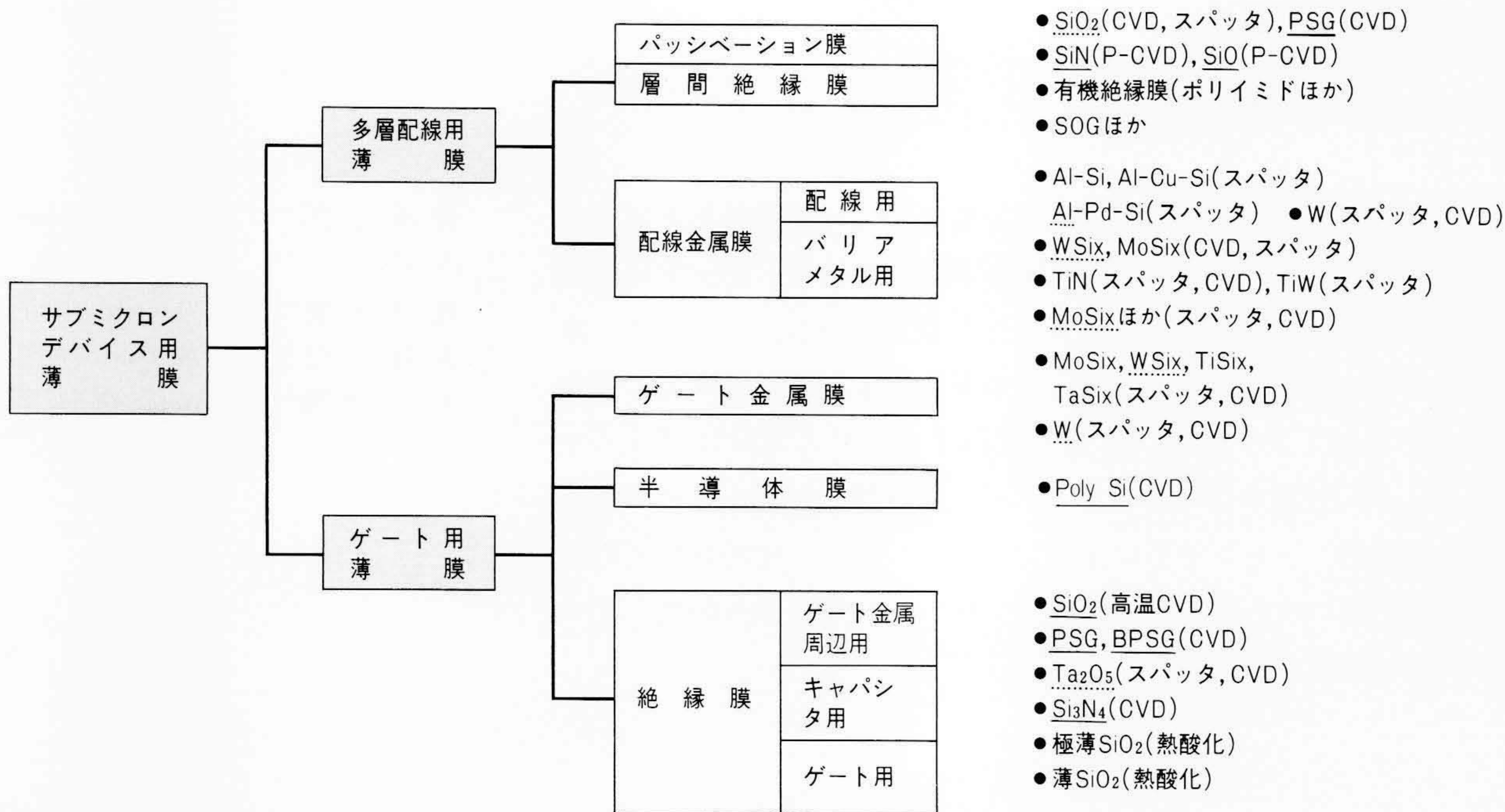


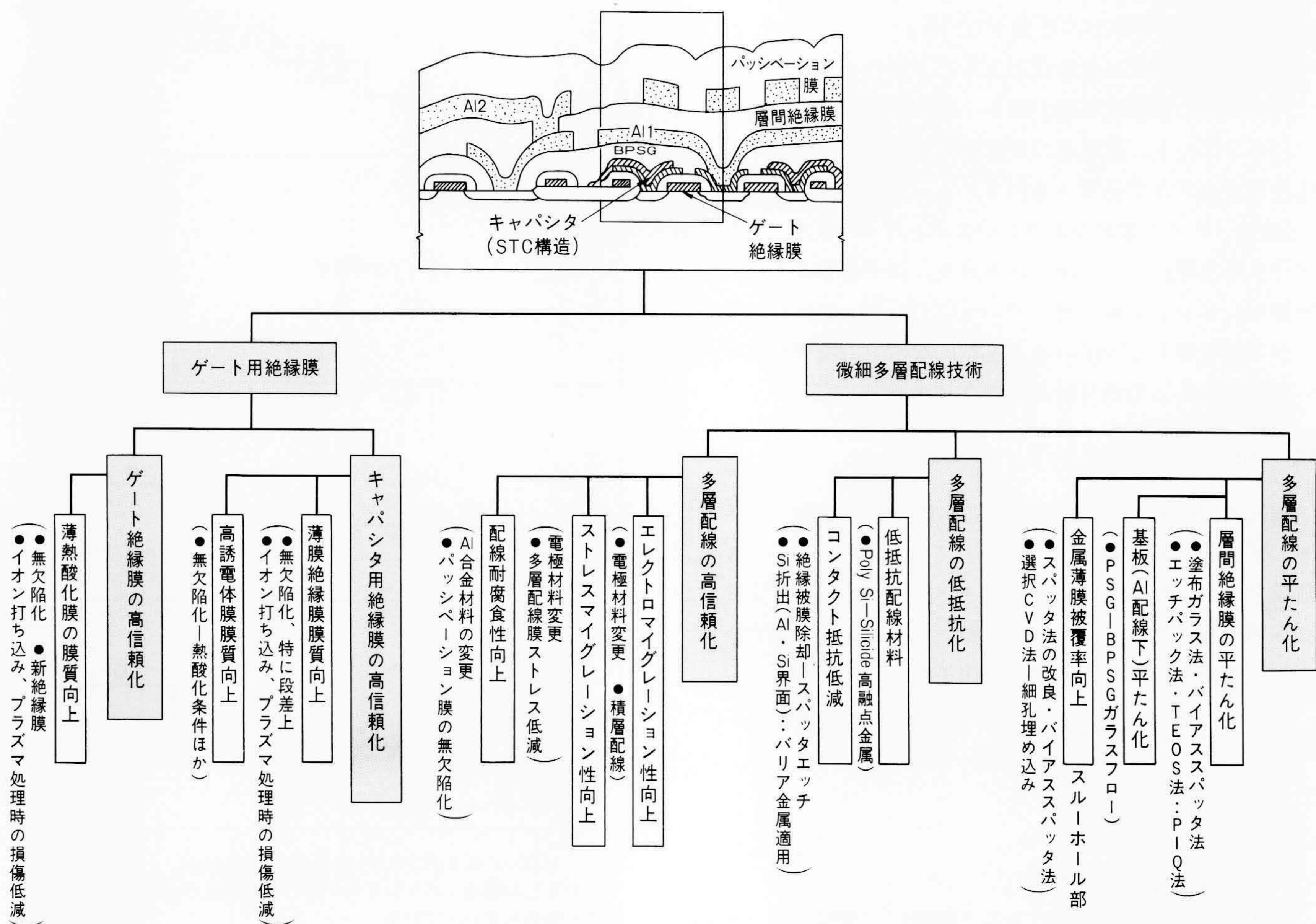
図1 MOSメモリ(DRAM)多層化の進展状況 微細化とともにメモリセル・Al配線・ポリシリコン層とも多層化が進み、平面的構造から立体的構造へ変わっている。

* 日立製作所半導体設計開発センタ 理学博士 ** 日立製作所技術管理部 *** 日立製作所生産技術研究所 工学博士
**** 日立製作所日立研究所 工学博士 ***** 日立製作所デバイス開発センタ



注：略語説明など CVD (Chemical Vapor Deposition), P-CVD (プラズマCVD), — (CVD膜), (CVD・スパッタ双方で生成可)

図2 サブミクロン超LSIに利用されている薄膜 多層配線用薄膜, ゲート用薄膜を用途ごとに分け, 使用されている薄膜を記載した。なお()内は生成法である。



注：略語説明 STC (Stacked Capacitor : 積層容量形メモリセル)

図3 メガビットメモリ(DRAM)断面と微細多層配線技術・ゲート用絶縁膜の課題 デバイスの電気的特性・信頼度から要求される課題と対策法をまとめた。

工しやすいことが望まれる。この要請からLSIでは、当初からAl系の材料が用いられてきた。サブミクロン領域に入った超LSI技術では、Al配線は線幅が $1\mu\text{m}$ 以下、総配線長は1チップ当たり数十メートルに達し、ここに流す電流密度は平均でも 10^5 A/cm^2 を超える極端条件下で使用される。

このような極端条件下での配線の信頼性を支配する重要な物理現象は、ストレスマイグレーションとエレクトロマイグレーションである。いずれも金属原子の拡散現象であり、これがボイドを形成するとき信頼性にかかわる。前者は負の応力が加わるときにこれを緩和するように原子移動する現象であり¹⁾、後者では電子の運動量によって金属原子が移動する²⁾。いずれの現象でも原子の主な拡散経路は結晶粒界であるために、従来はCuのような拡散係数の小さな金属を粒界に析出させる合金材料を用いてこれを抑制してきた³⁾。

サブミクロン領域ではいっそう厳しくなるマイグレーション現象に対応するために、より高度な材料技術が必要となる。このときの重点課題は次の3点である。(i) 耐マイグレーション特性に優れた良質の配線材料とする新Al合金薄膜材料とその被着技術、(ii) マイグレーションによる断線を生じさせない高融点金属薄膜材料との積層技術、(iii) 多層配線構造の層間接続部での耐マイグレーション材料の微細孔埋込技術である。

以下に、この3点について技術の概略を述べる。

(b) Alバイアスパッタ技術

バイアスパッタは粒子を被着させる過程と生成した膜をエッチングする過程を競合させる薄膜形成法であり、Alの段差被覆性を改善する有効技術として日立製作所から提案された⁴⁾。この技術はさらにAl膜質の向上に向けた展開が進められている。特にスパッタ電極をカスプ磁界式としイオン密度を高める工夫をし、さらに2値を持ったパルスバイアスによって過剰なエネルギーイオンの入射を制御する間欠バイアスパッタ法は、この目的のために開発したものである⁵⁾。本法では、基板に印加する浅いバイアス電圧を変化させるとともに、深いバイアス電圧を印加する割合を制御することによって、バイアス電圧、電流、電力を独立に制御できる。本法で形成したAl膜の比抵抗および(111)面のX線回折強度とバイアス印加条件との関係を図4に示す。従来の連続印加(デューティ100%)の場合に比べて膜質改善の大きな効果がわかる。

(c) Al合金薄膜材料技術

先述したように、Alに数パーセントのCuを添加した合金が耐マイグレーション材料として一般的に使用されている。しかし微細化が進むと、さらにマイグレーション耐性の強い材料が望まれる。しかも、Cl系のガスを用いるドライエッチング工程で問題となる腐食に対して耐性の強いことが

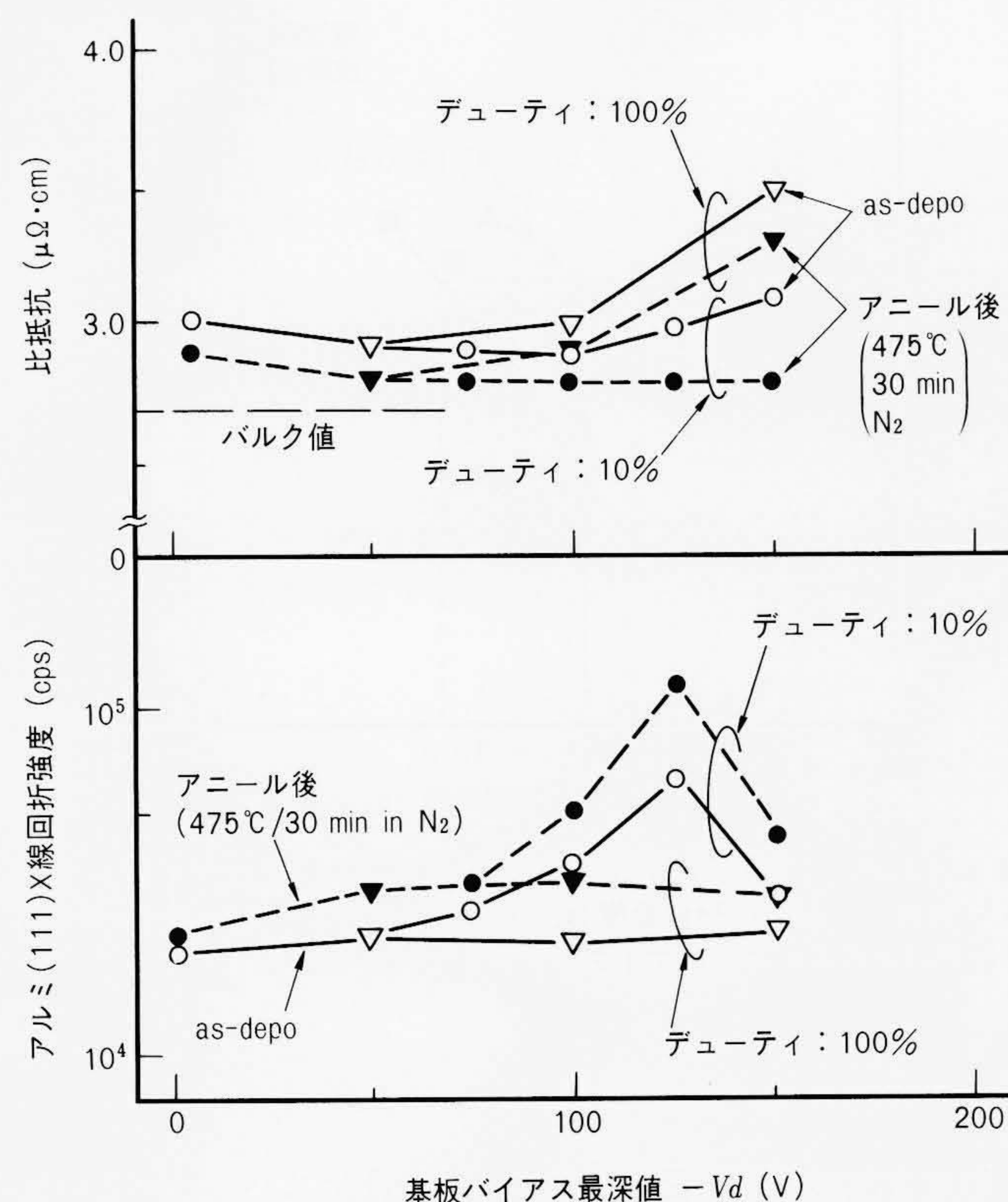


図4 間欠バイアスパッタ法によるAl-Si膜の膜質改善効果
従来の連続印加(デューティ100%)に比べ、間欠バイアス法(この場合、デューティ10%)で比抵抗低減、X線回折強度増大の効果が認められる。

要求される。わずかな腐食を抑制して、高い加工精度を実現するためである。

Al-Si-Pd合金はこの要求にこたえるために開発した新しい配線材料である⁶⁾。これは、マイグレーションを強く抑制させるPdを添加させておき、これがドライエッチング時にAl側面でPdOを形成してAl中へのClの侵入を抑制させる考えに基づいている。このAl-Si-Pdの耐エレクトロマイグレーション特性を、Al-Si-Cu合金と比較して示したものを図5に示す。Al-Si-Cu合金と同等以上の耐性を持っていることがわかる。

(d) 高融点金属薄膜材料技術

(b)、(c)項では、Al原子の移動を抑制して、ボイドの発生を低減させるAl薄膜技術について述べた。配線材料として必要十分な高信頼性を確保するためには、このAl薄膜にマイグレーション耐性の高い高融点金属薄膜とを重ね合わせた積層構造とする必要がある。高融点材料にはTiW、TiNや金属ケイ化物などの熱安定性の高い化合物が提案されている。Alおよび基板のSiと熱反応しにくい特性が要求されるからである。なかでもTiNは、熱安定性にきわめて優れている点から期待が大きい。

LPCVD(減圧化学気相成長法)を用いた新しいTiN膜の

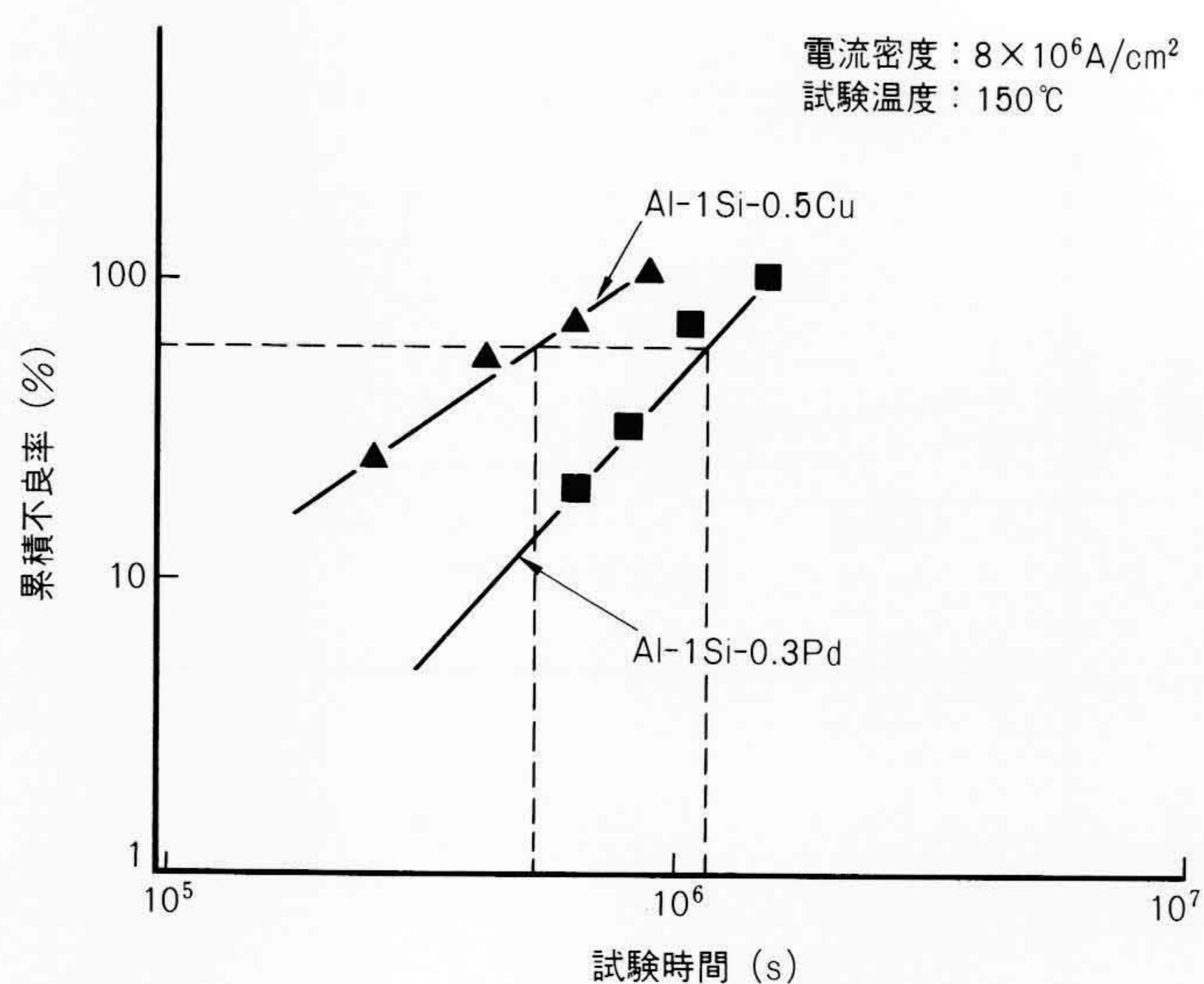


図5 Al-Si(1%)-Pd(0.3%)合金膜の耐エレクトロマイグレーション特性 Al-Si-Pd合金膜は、広く使用されているAl-Si-Cu合金膜と同等以上のエレクトロマイグレーション耐性を示す。

形成方法の一例を図6に示す。従来は、スパッタあるいは反応性スパッタによって形成するのが一般的であった。しかし、スパッタ法では段差部での被覆率が低下するので、複雑な段差形状を持つ超LSI上では均一な薄膜形成は困難である。同図に示すように、本技術によってアスペクト比の大きな深溝部分にまで膜厚の一定なTiN膜の均一形成が可能になり、TiN膜の熱安定性に優れた特性を十分に生かすことができる⁷⁾。

(e) W埋込技術

これまでのスパッタ技術によるAl膜形成では、特にSi基板との接続部や多層配線層間の接続部で、Al膜の被覆性が微細化とともに低下して、マイグレーションによる信頼性の低下が深刻になってくる。W埋込技術は、こうした問題を解決する技術として近年急速に重視され始めた。さまざまな方法が提案されているが、なかでもWを微細孔に選択成長させるCVD(Chemical Vapor Deposition)技術が有力である。大別して選択成長法には、WF₆ガスをSiH₄あるいはH₂ガスで還元して、Siや金属上だけに成長させる方法と、あらかじめ微細孔に埋め込まれたSi膜をWF₆ガスで置換する方法とがある。一例として、後者のSi置換法によるW埋込技術を図7に示す。微細孔にほぼ完全にWが埋め込まれて、信頼性の高い接続を実現できることがわかる⁸⁾。

(2) 平坦化技術

(a) 平坦化の技術課題

図3に示したように、超LSIの素子表面はきわめて複雑な段差形状を持っている。この段差上で配線の微細化を進めると、微細加工が困難になり歩留まりが低下すること、さらに段差部での配線信頼性が低下するなどの問題が顕在化

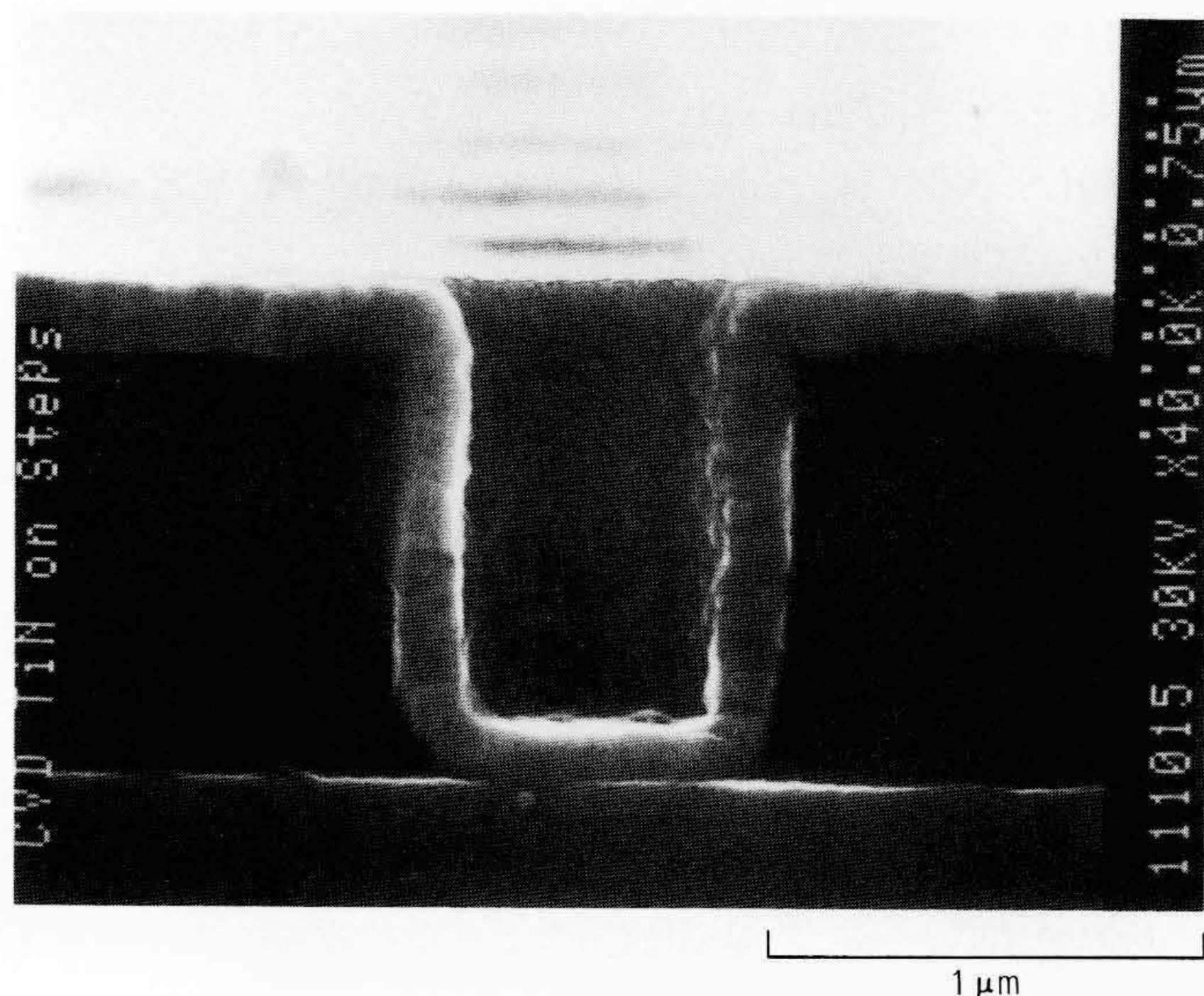
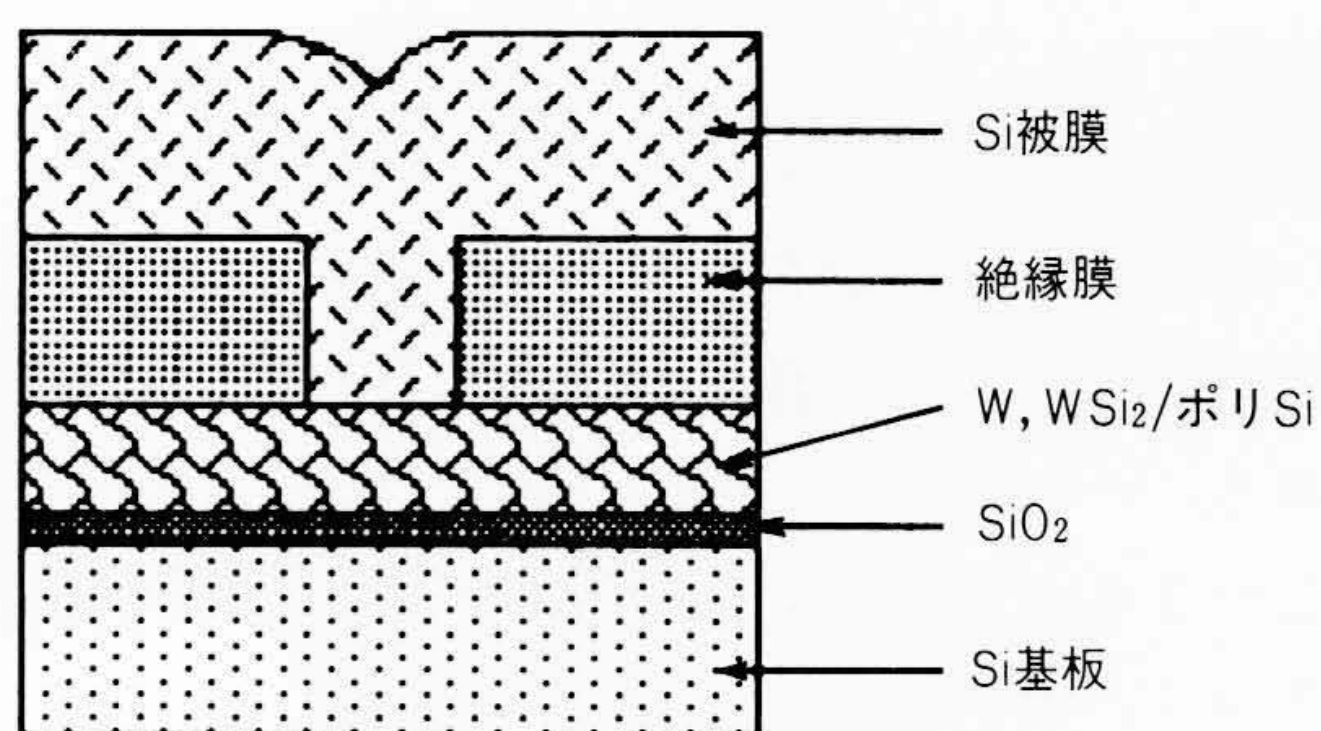
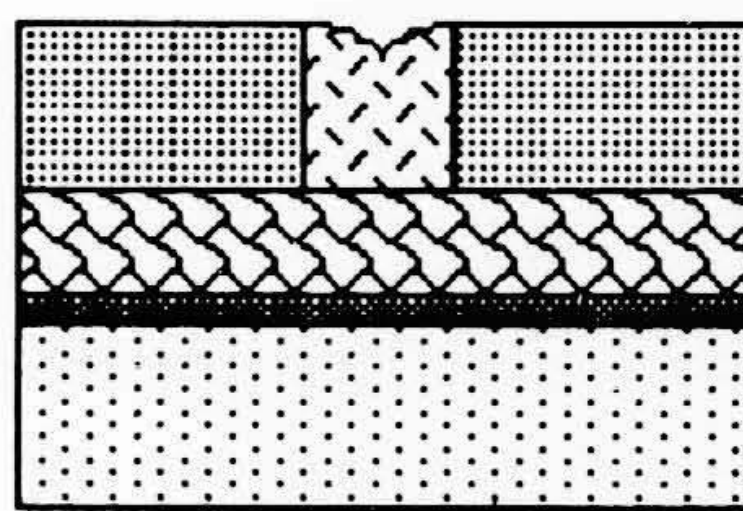


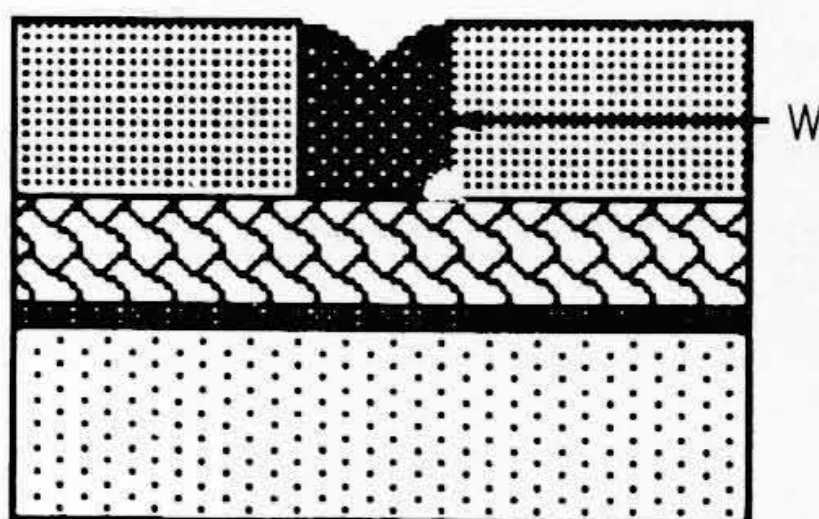
図6 LP(減圧)CVD法によるTiN膜の段差被覆性 アスペクト比の大きい深溝部にも均一な膜厚で形成され、良好な段差被覆性を示す。



(a) Si減圧



(b) Siエッチバック



(c) W置換

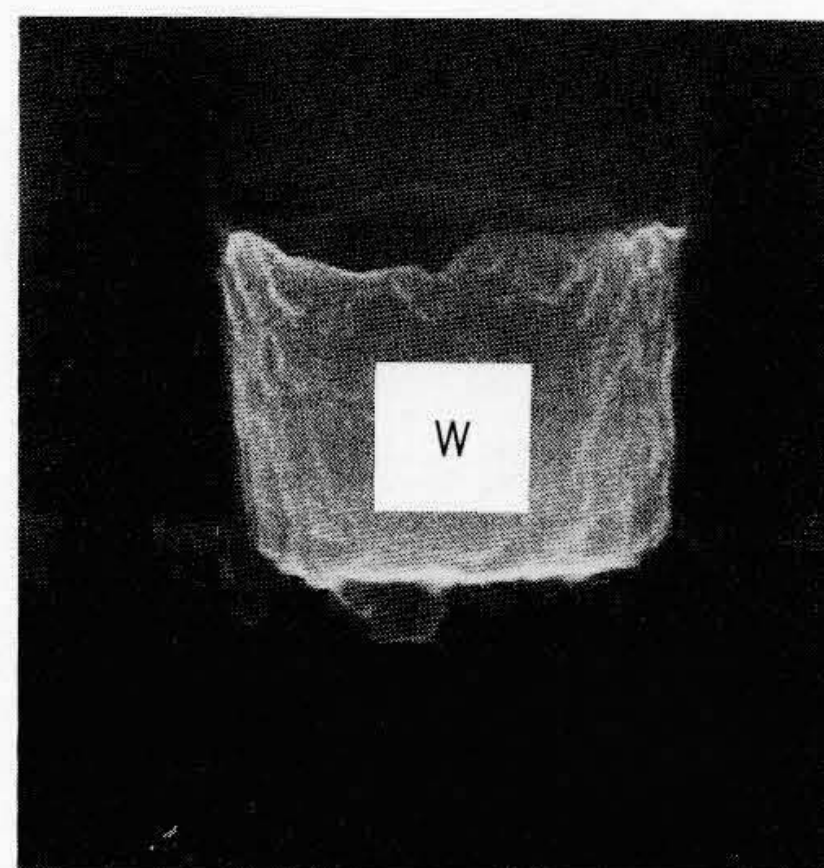
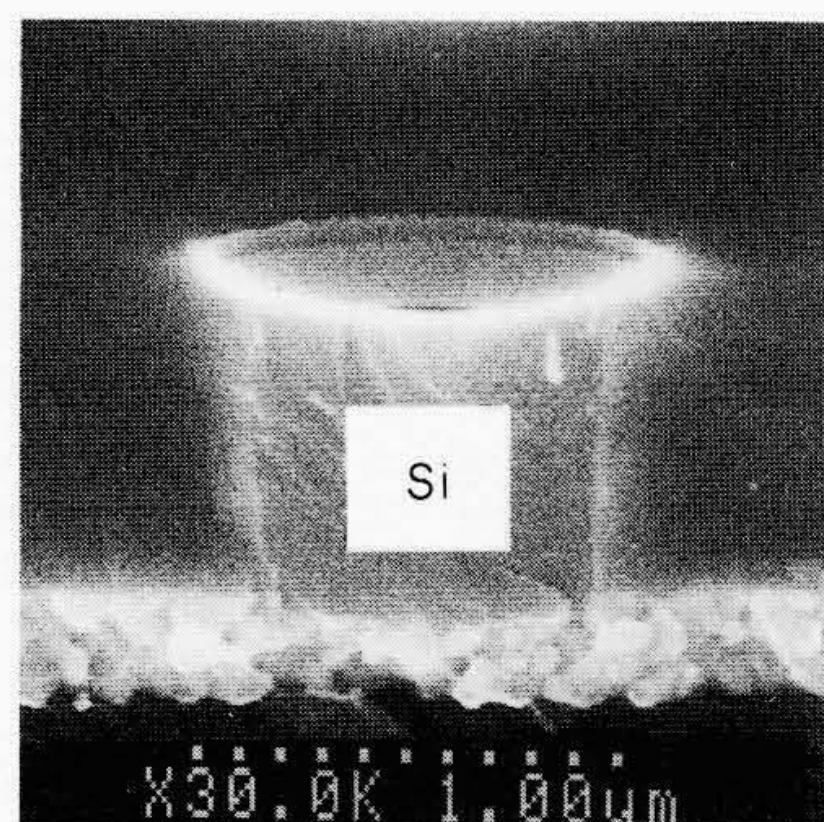


図7 SiのW置換法によるW埋込技術 微細孔に埋め込まれたSi膜を、WF₆ガスで置換してWを埋め込む方法であり、信頼性の高い接続を実現できる。

してくる。そこで、配線下の絶縁層表面を平坦化する技術が重要になる。LSIプロセスでの平坦化技術には、二つの段階があると考えている。第一はSi, SiO₂, Si₃N₄などの高融点の材料で形成された素子の表面平坦化であり、ここでは素子特性の安定化をも兼ねて、1,000℃近傍の高温熱処理を加えることが可能である。第二は融点の低いAl配線を形成して、この上にさらに2層、3層の多層配線を施す際の層間絶縁膜の平坦化である。このときは500℃以下の温度で平坦化形成しなければならない。

第一の場合については、BPSG膜〔B(ホウ素)やP(リン)を含むガラス膜〕をCVD法によってあらかじめ形成し、これを熱処理して熔融させ平坦化する技術が有効である。後者の場合では、多くの技法が実用化あるいは提案されているが、中でも低温で膜形成が可能なプラズマCVD法、液体状の塗布絶縁膜を熱硬化して平坦な絶縁膜を形成する方法、あるいはこれらを重ね合わせた積層絶縁膜法が優れていると考える。以下、後者の層間絶縁膜技術を中心に述べることにする。

(b) プラズマCVD技術

プラズマCVD法では、SiO₂, SiNなどの薄膜が300～400℃程度の低温で形成可能である。原料となる反応性ガスを低圧状態で高周波放電させ、プラズマ状にして化学反応性を高めるのである。この方法では膜の化学組成、密度、応力などの性質が、プラズマCVDの放電周波数、電力、圧力、

形成温度などに依存するため、これらのパラメータを制御することによって所望の膜質が得られる。日立電子エンジニアリング株式会社のプラズマCVD装置(WD-6100-P：図8)では、50 kHzと13 MHzの2周波数電源を備え、上述の制御性を十分に高めている。

プラズマCVDによるSiO₂膜形成では、原料ガスにTEOS (Tetraethoxysilane)を用いるのが有力であると考えられている。その段差被覆性を、従来のSiH₄を原料に用いた場合と比較して図9に示す。TEOS法では、配線間の微細な溝部分にSiO₂が完全に埋め込まれているのがわかる。この方法によって、絶縁膜表面に良好な平坦性を持たせることが可能になる。

(c) 塗布SiO₂技術

塗布SiO₂膜は、シラノール化合物の溶液をウェーハ上に回転塗布し、熱処理を加えて形成される。多層配線技術では、上述のCVD膜と組み合わせて段差形状をなだらかにさせる役割を持たせてきた。しかし、最大形成膜厚は200 nm前後であり、ますます複雑かつ急峻(しゅん)になるサブミクロン領域では、安定性よく平滑化することが難しくなってきた。さらに厚膜化が可能な塗布材料が望まれている。

HSGと呼ばれる日立化成工業株式会社製の新しい塗布SiO₂を配線層間絶縁膜の形成技術に応用した一例を図10に示す⁹⁾。従来のものに比べて著しく平坦性が改善されている。従来材料の問題点であった厚膜化に伴うクラックの発

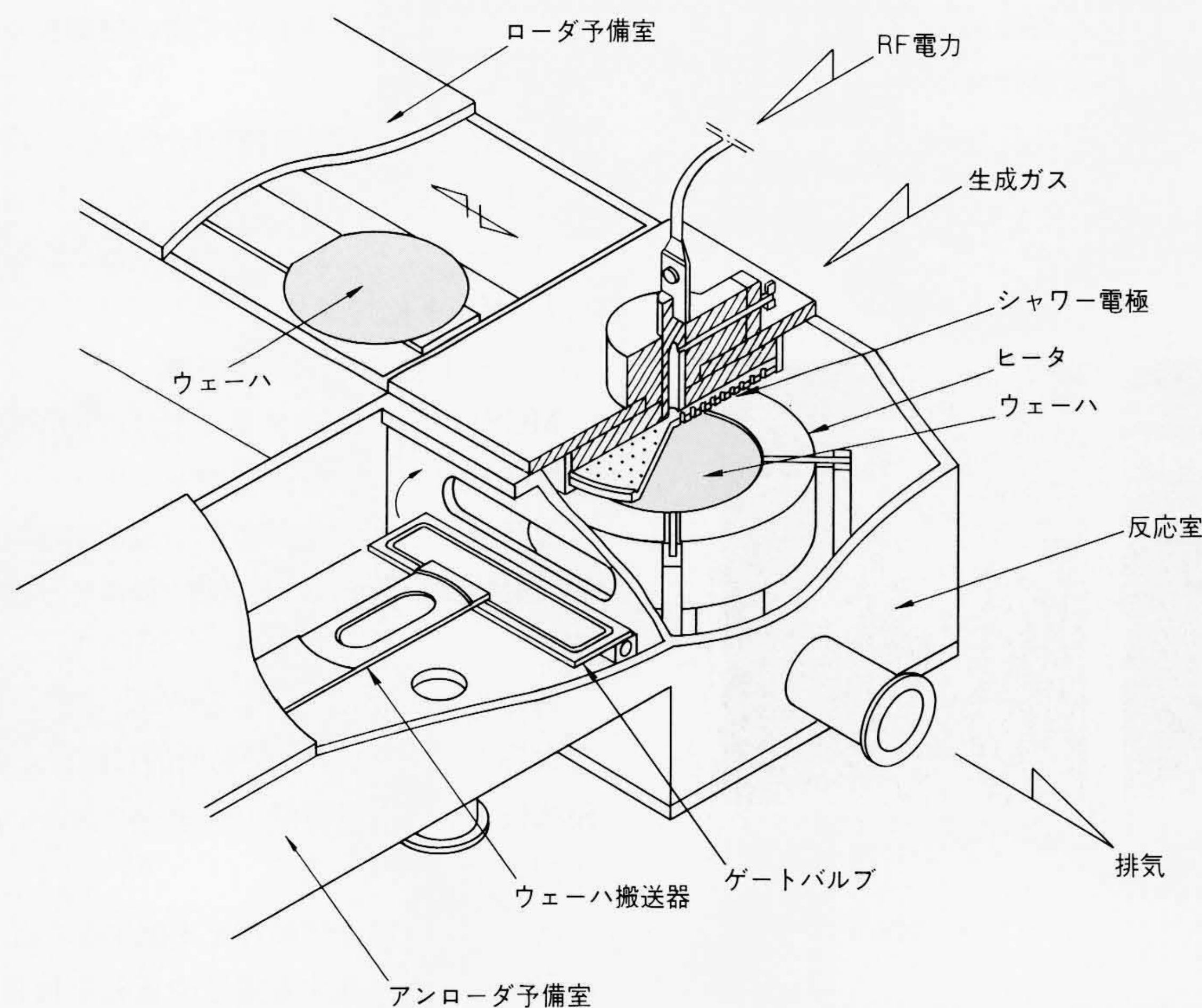
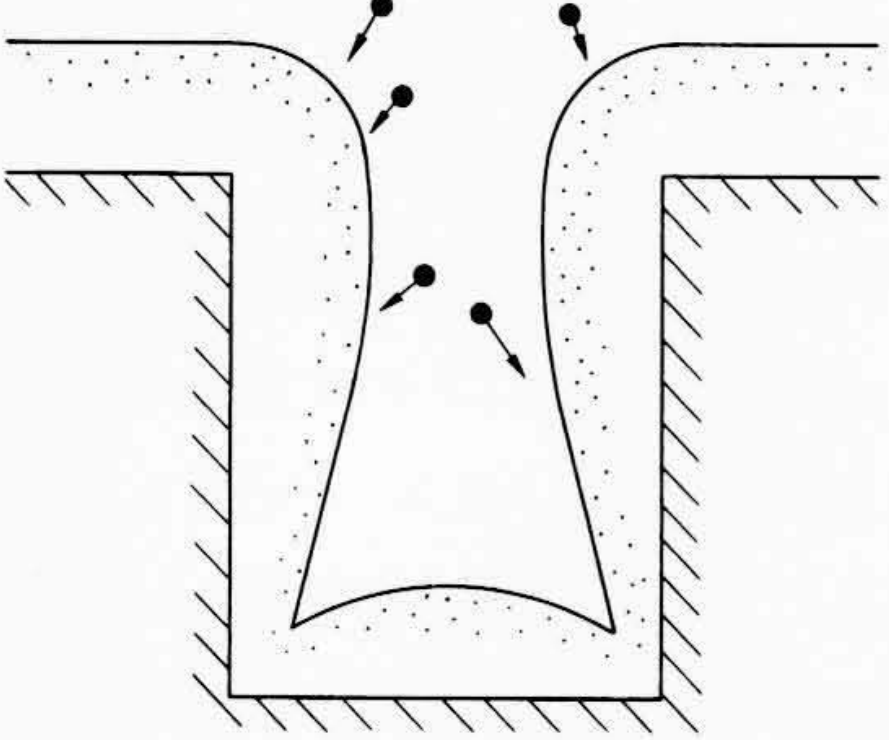
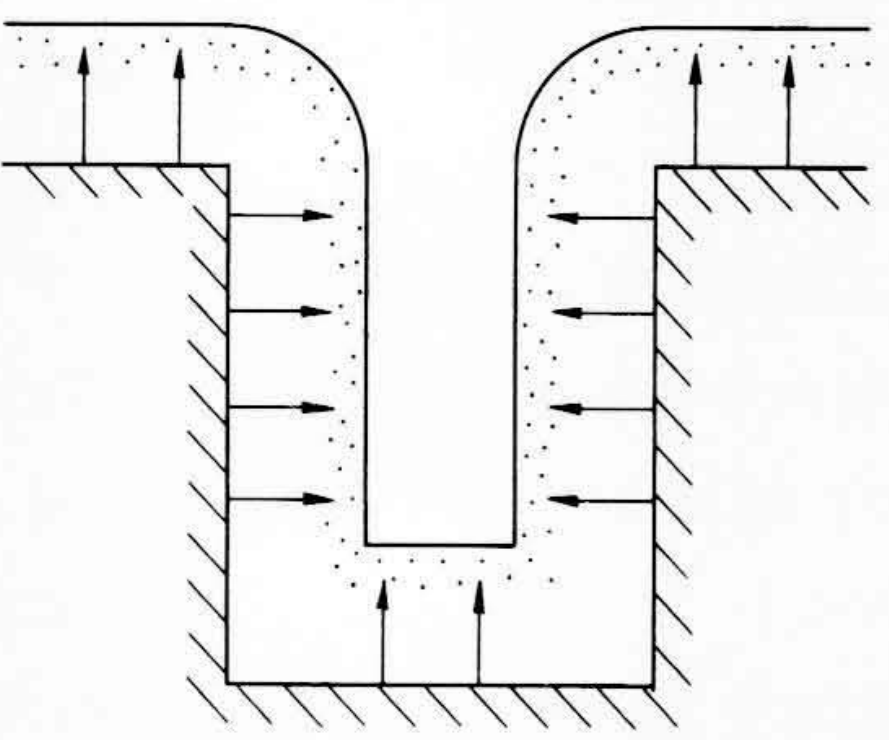
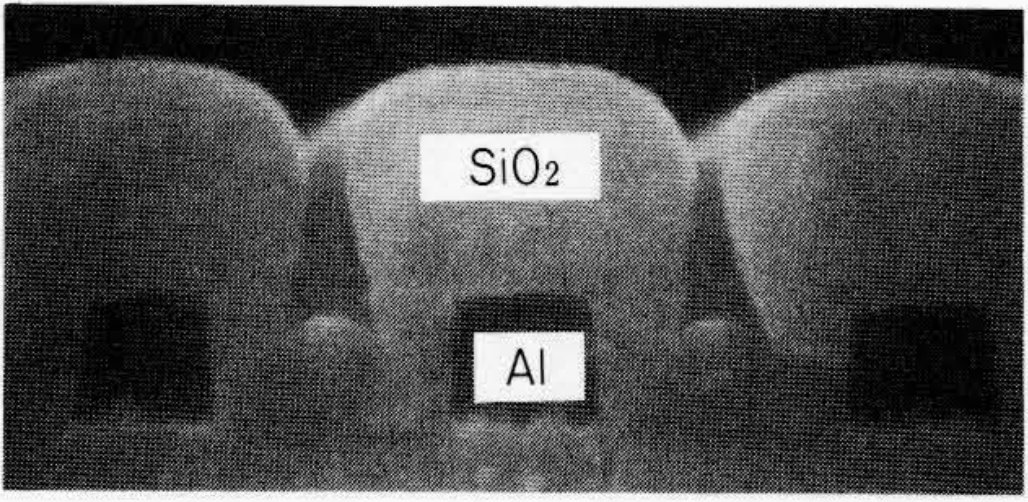
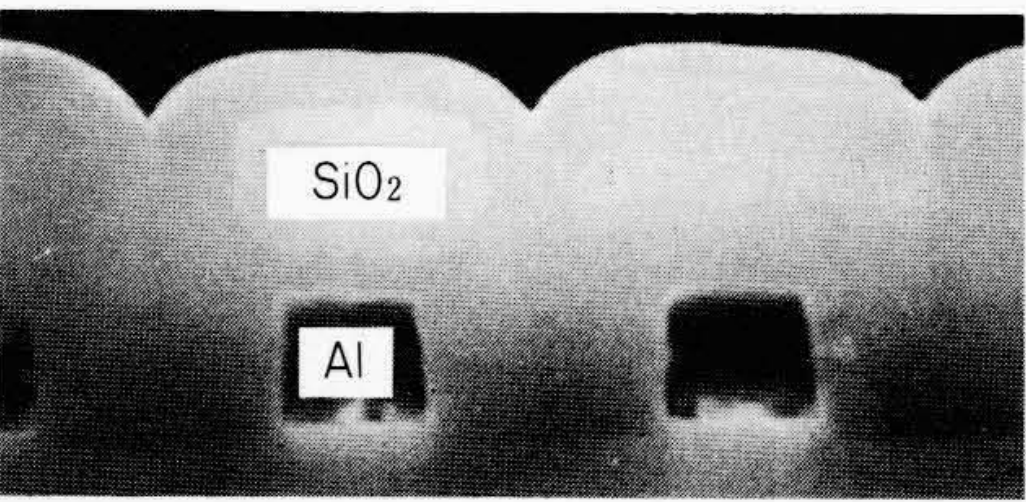


図8 プラズマCVD装置(WD-6100-P)の概略図
生成する装置である。

1枚ずつ処理してプラズマSiO₂, SiN膜を

ガ ス	SiH ₄ +N ₂ O	TEOS[Si(OC ₂ H ₅) ₄]
反 応	気相反応	表面反応
説明図		
SEM 写真		

注：略語説明
SEM (Scanning Electron Microscope)
TEOS (Tetraethoxysilane)

図 9 プラズマCVD膜の比較 TEOS(Si(OC₂H₅)₄)を用いて生成したプラズマCVD膜と、従来のSiH₄-N₂O系で生成した膜との比較を示した。

生も皆無であり、プロセス工程中でのガス発生がきわめて少ない点も大きな特長である。今後こうした新材料への置き換えが進むと思われる。

(d) PIQ技術

一方、層間絶縁膜を塗布性にきわめて優れて、平たんかつ十分な厚膜形成が可能である有機材料を用いる技術も現実のものとなっている。特に耐熱性の高いポリイミド系の材料を用いるのが主流で、やはり日立化成工業株式会社製のPIQと呼ばれる樹脂膜を用いた技術について述べることに

する。

すでにLSI製造での実績も大きいですが、一面では有機材料であるがゆえの信頼性に対する不安感もいまだに根強い。PIQの2層配線を用いたLSIの耐湿信頼性を調べた結果の一例を図11に示す。実使用環境での信頼度は数百年に達していると推定され、きわめて高い信頼性を持つ技術であると言える¹⁰⁾。

PIQは多層配線技術だけでなく、プラスチックパッケージLSIの表面コート、α線によるソフトエラーを防止するチップコートなど、LSIの高信頼化に広く適用されている。

3.2 ゲート絶縁膜技術

(1) ゲート絶縁膜の技術課題

MOS形サブミクロン素子では、動作状態で絶縁膜に加わる電界強度は数メガボルト毎センチメートルに達する。このような状況では、Siを熱酸化した10 nm近傍のきわめて薄い絶縁膜(熱酸化膜)が素子の特性、歩留まりおよび信頼性を支配する。

特に歩留まりに影響するのは、絶縁膜の欠陥である。ここで欠陥とはピンホールや局所的に膜厚の薄い場所などを示し、Si基板とゲート電極間のショートあるいは絶縁耐圧不良を引き起こす。

素子特性や素子信頼性を支配するのは、Si-SiO₂界面あるいはSiO₂膜内に存在する電子や正孔を捕獲する中心となる捕獲準位である。これらの捕獲準位は、MOS素子でSi表面での電子や正孔の走行を妨げ、素子の動作速度を低下させる。また

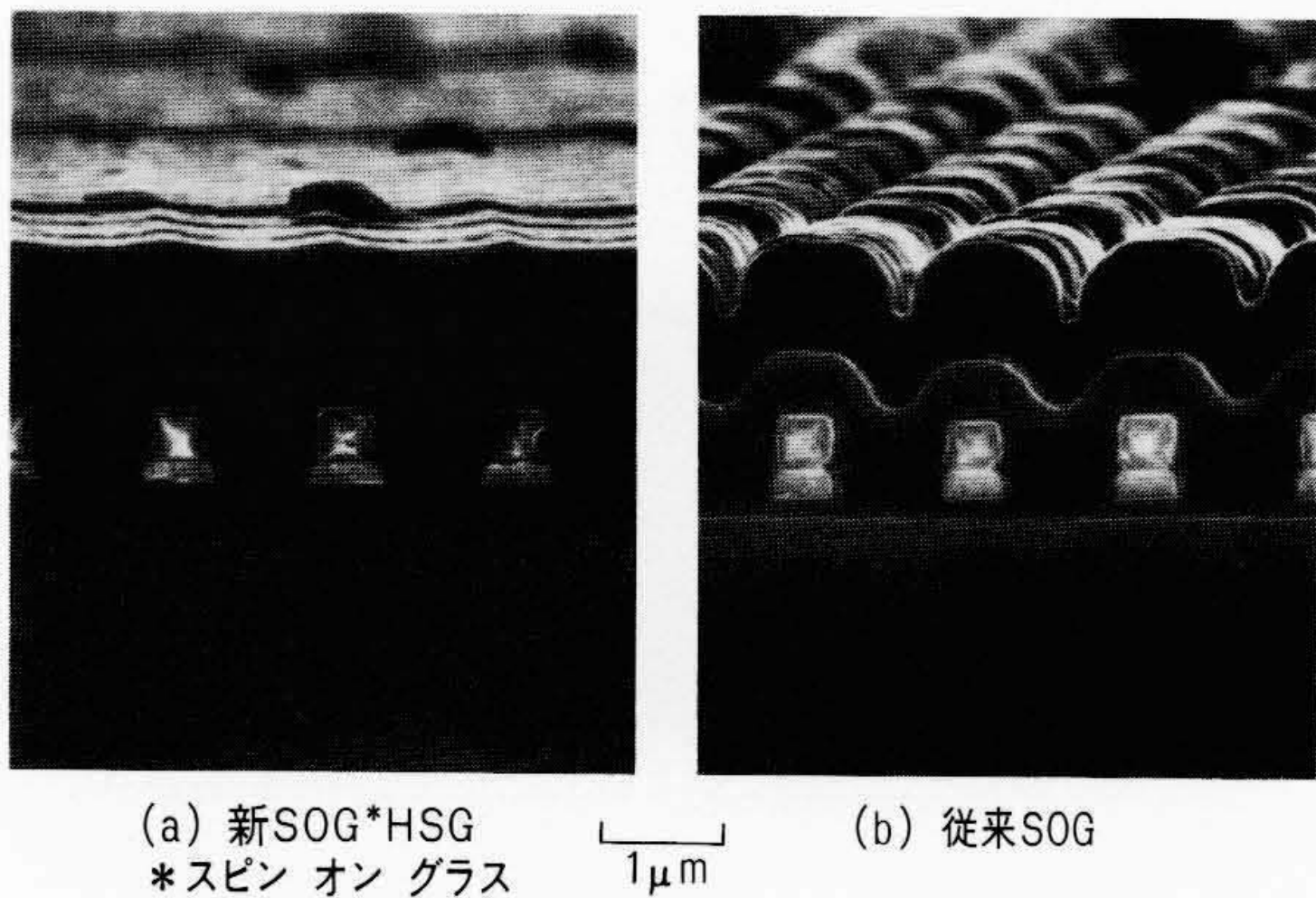


図10 塗布SiO₂膜を用いた層間絶縁膜平たん化技術 HSGは従来材料に比べ厚膜にしてもクラックは発生せず、平たん化が著しく改善される。

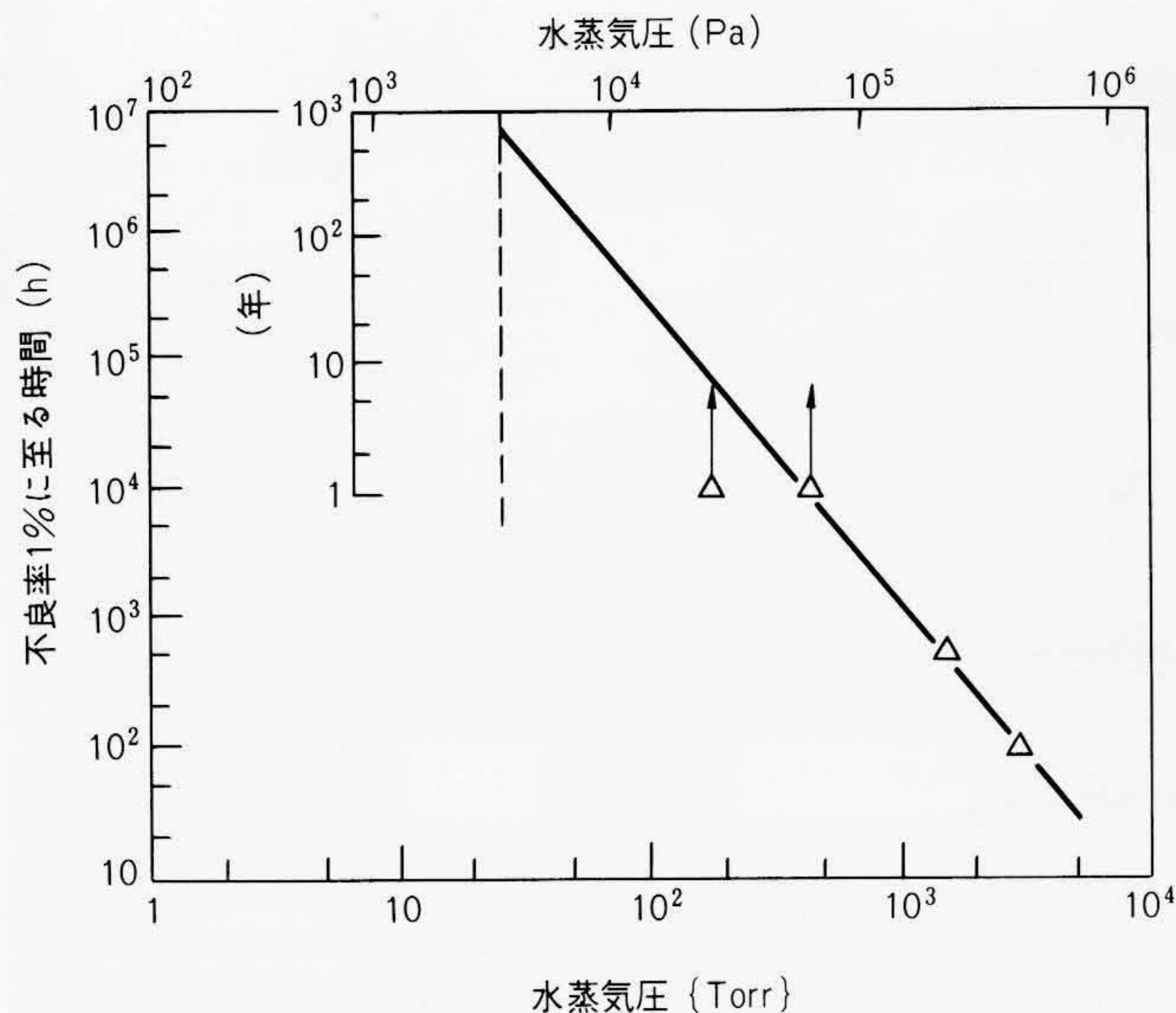


図11 PIQを層間絶縁膜に用いた2層配線の耐湿信頼性 実使用環境で100年を越える耐湿信頼性が得られている。

高電界下では、電荷の一部が捕獲準位に捕獲されるため、素子特性や絶縁膜の破壊耐圧が経時的に劣化する。したがって、ゲート絶縁膜技術では、欠陥密度の低減および界面、膜内の捕獲準位密度の制御が主要課題となる。

(2) 低欠陥技術

ゲート絶縁膜に用いられる熱酸化膜の低欠陥化は、MOSLSI技術の歴史で恒久課題の一つと言え、あらゆる角度からあくなき技術改良が進められてきた。Si結晶ウェーハ中の不純物低減技術、重金属などのSi表面を除去する洗浄技術、クリーンルーム内の塵埃(じんあい)低減技術などがいずれも低欠陥化の鍵(かぎ)となってきた。これらの分野の技術改良は今後も精力的に進められる。

近年、6インチから8インチへと進むウェーハの大口径化と両立させて低欠陥化を実現させる有力な酸化方法として、縦形酸化法が開発された。一例として国際電気株式会社製の縦形酸化炉を図12に示す。縦形炉では、従来の横形炉に比べて炉内の対流が小さく均熱性に優れているため大口径化に適しているばかりでなく、反応管とウェーハ搬送ポートが非接触であるため塵埃発生がきわめて少なく、低欠陥酸化が可能になる。今後の主流技術となっていくと考えられる。

(3) 新絶縁膜技術

(a) フッ素化酸化技術

前述した低欠陥化技術は、捕獲準位密度の低減にも有効に作用してきた。しかし、サブミクロン領域では、プラズマプロセス中の紫外光や高エネルギー粒子、あるいは素子動作中に発生するホットキャリアと呼ばれる高エネルギーの電子、正孔による新たな捕獲準位の生成が問題になってくる。これを抑制する酸化膜の形成技術が必要になってきた。

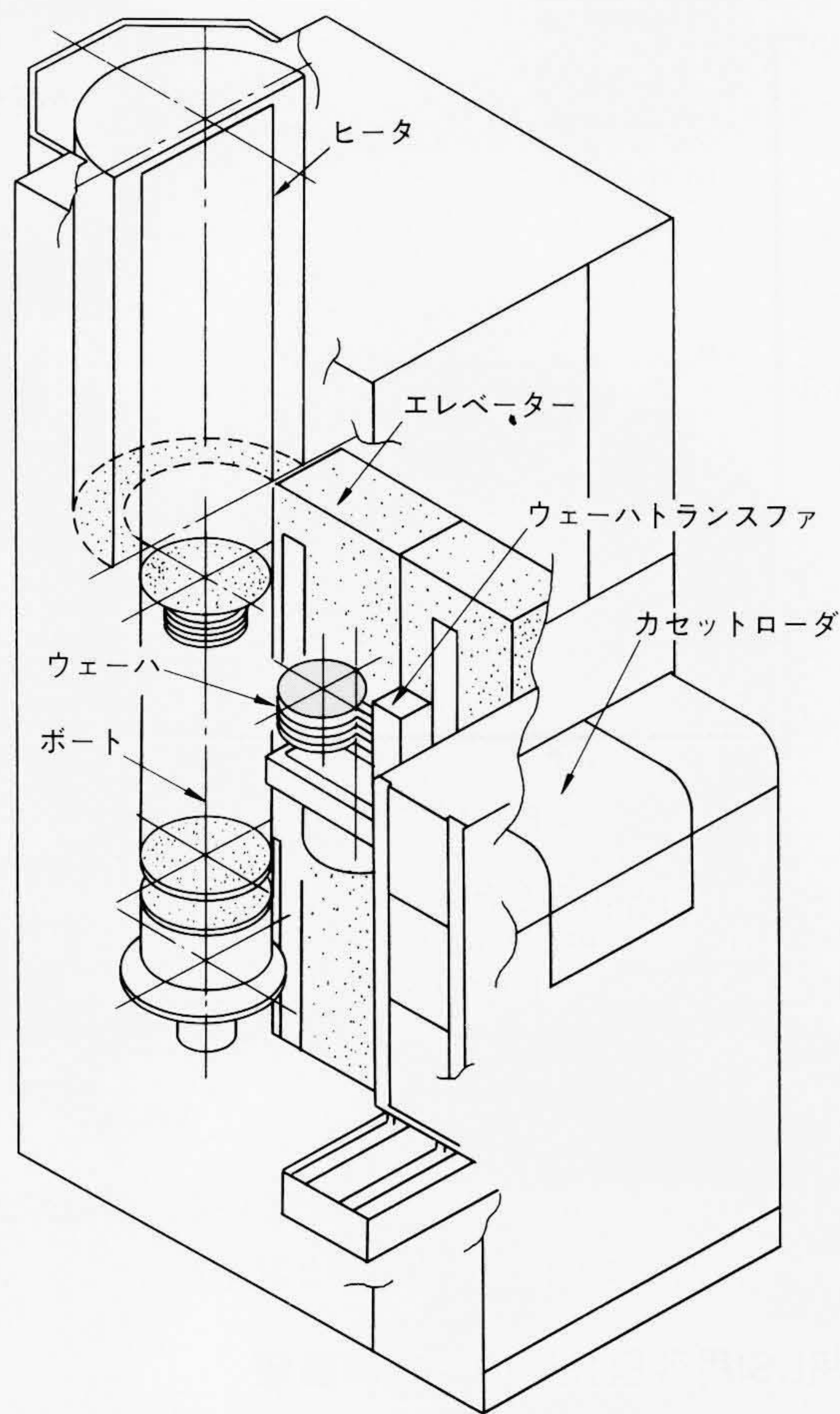


図12 縦形酸化炉の概略図 均熱性が優れており、大口径化に適している。また、非接触でウェーハを挿入できるため、低欠陥酸化も可能である。

光や電子、正孔などの広い意味での高エネルギー粒子による酸化膜の損傷抑制には、薄膜材料設計にこれまでにない新しい概念が必要となる。Si-SiO₂界面、SiO₂膜内へのフッ素の導入は、その新しい方向を指し示す提案と言える¹¹⁾。損傷の中心はSiの未結合部と考えられるが、ここにフッ素を導入してSi-F結合を形成させることにより、高エネルギー粒子による結合部の破壊を抑えるものである。その一例としてイオン打ち込み法によってフッ素を界面および膜内へ導入した際の、ホットキャリア注入時の対損傷効果を図13に示す。適度のフッ素量を導入したときの界面準位密度がきわめて小さく、安定度の高い酸化膜が実現されている¹²⁾。

(b) 高誘電率絶縁膜技術

MOS形素子では、高電界を印加することによって素子性能を向上させる。このために絶縁膜を薄膜化する技術が重要となるが、一方で誘電率の大きな絶縁材料を用いて、実効的に電界強度を高める技術が望まれてきた。特に、微小なコンデンサを記憶素子に用いるダイナミックメモリ(DRAM)でこの要請が強い。SiO₂の約5倍の誘電率を持つTa₂O₅薄膜をDRAMに適用した実験例を図14に示す¹³⁾。この例では、Ta₂O₅薄膜を用いると同じに、キャパシタを積層

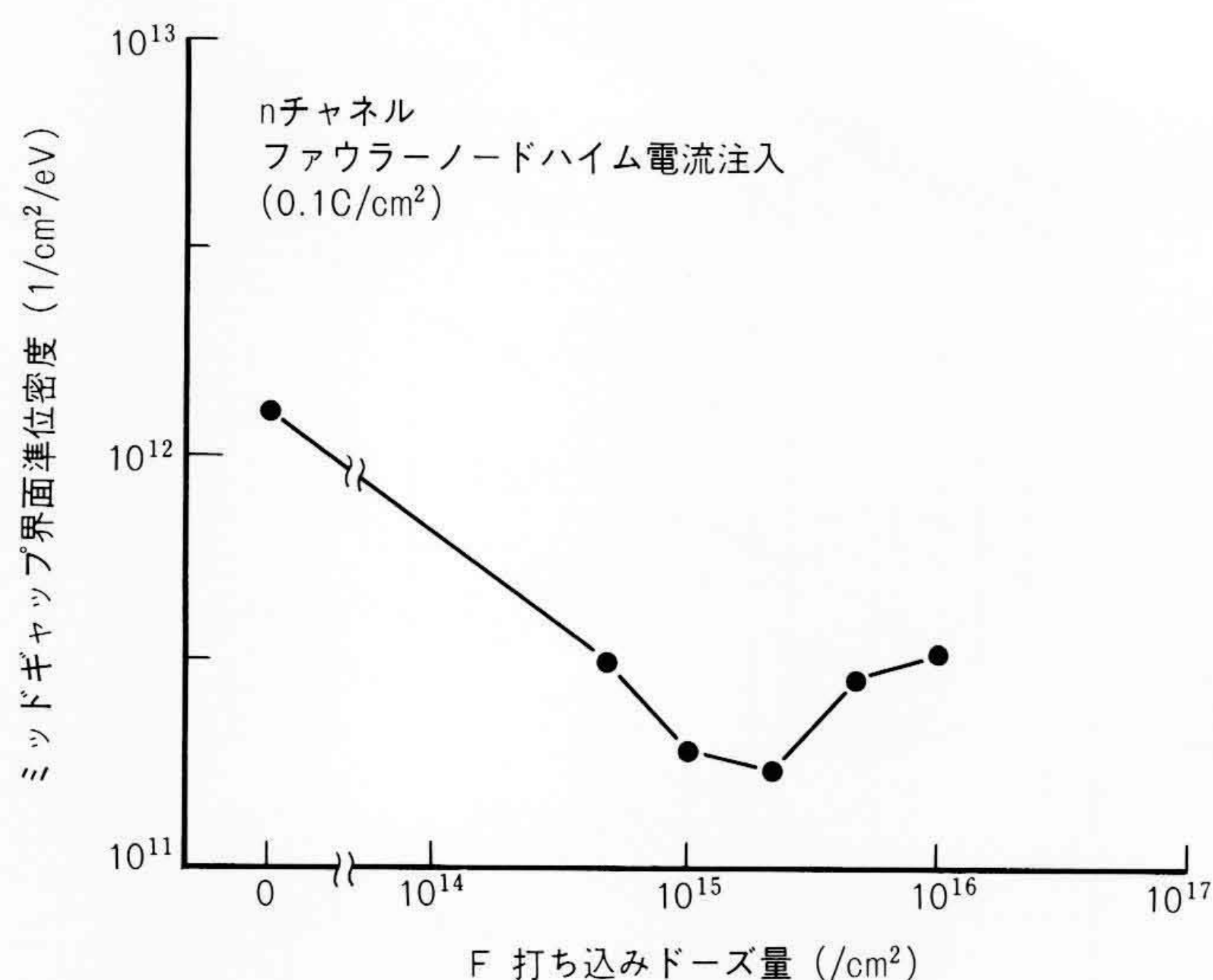


図13 Fイオン打ち込みしたMOS素子の耐放射線損傷効果
Si-SiO₂界面, SiO₂膜中ヘフッ素を打ち込み, Si-F結合を形成して界面準位密度を小さくし, きわめて安定な酸化膜を形成できる。

構造として素子面積を大幅に縮小している。今後の大容量メモリで, 大いに期待される技術と言える。

4 超LSI用薄膜技術の今後の展望

薄膜技術全体に対する展望を以下に述べる。

(1) 膜厚・膜質の精密制御

ますます高度化する要求仕様に対し最新技術を駆使し, 高スループット化, 高精度化が要請されている。薄膜評価も重要な技術である。薄膜を形成しながら行うインプロセス制御が最終のターゲットと考えている。

(2) スーパークリーン化技術の推進

超微小異物・重金属汚染が超LSI歩留まりに大きく影響している。0.1 μm の異物が発生しない厳しい薄膜形成条件の設定が要求される。

(3) 3次元化への対応

SOI(Si on Insulator)のような単結晶薄膜では結晶欠陥低減が最大の課題である。この解決があって新機能デバイスが開発可能となる。

5 結 言

以上, サブミクロン時代のメガビットMOSメモリを中心に, 半導体デバイス用薄膜形成技術の主要課題と対応策について述べてきた。この中でもっとも重要な多層配線技術, ゲート用薄膜に関し, 最近の研究成果を説明した。多層配線技術では, 微細化, 多層化を実現するため, 高密度電流に耐えられる高信頼配線としてAl材料・被着条件, 金属膜積層構造, 微細孔へのW埋込技術を研究した。また, 段差を緩和する平坦化に関しては, プラズマCVD, 塗布SiO₂膜, PIQ技術の例

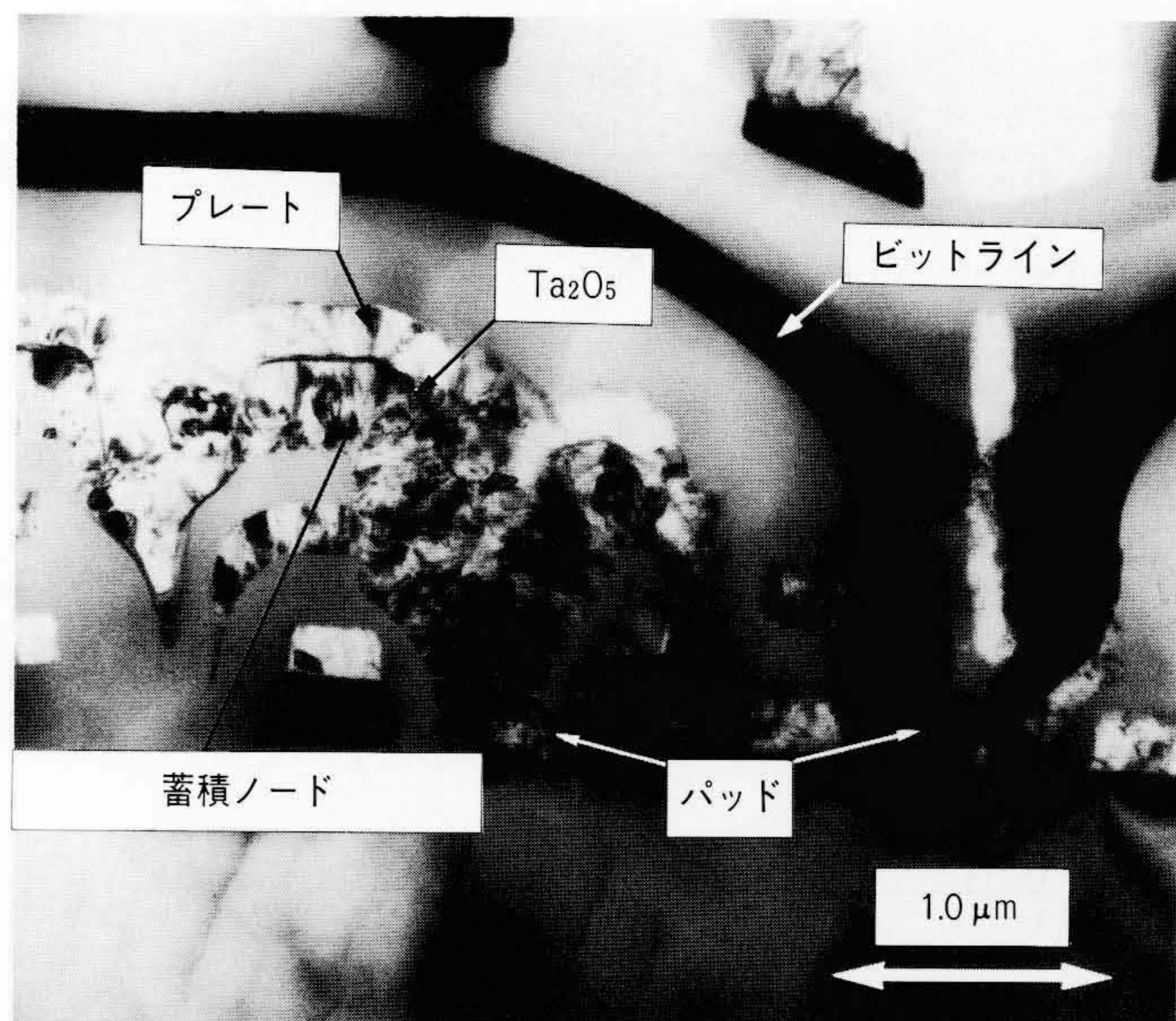


図14 Ta₂O₅薄膜を用いた積み上げ容量形DRAMセルの断面TEM像
透電率の大きいTa₂O₅薄膜を用いた積層構造で, 素子面積を大幅に縮小できる。

を紹介した。ゲート用薄膜ではメモリセルが平面形から立体的な積層形, トレンチ形に進むに従って, 使用されている絶縁膜の膜質向上が必須となり, 薄い絶縁膜の低欠陥化, フッソ化酸化膜などの新絶縁膜の研究成果を報告した。最後に薄膜全体に対する今後の展望について記述した。

参考文献

- 1) K. Hinode, et al.: Proc. VLSI Multilevel Interconnect Conf., 429(1988)
- 2) J.B. Black: IEEE Trans. on ED, ED-4, 338(1969)
- 3) I. Ames, et al.: IBM J. Res. Develop., 14, 416(1970)
- 4) Y. Homma, et al.: J. of Electrochem. Soc., 132, 1446(1985)
- 5) H. Shimamura, et al.: Proc. of AVS Annual Symp., p.9(1988)
- 6) J. Onuki, et al.: IEDM Tech. Dig., 454(1988)
- 7) N. Yokoyama, et al.: to be published.
- 8) N. Kobayashi, et al.: Ext. Abst. 20th Int. Conf. on Solid State Device and Mat., 85(1988)
- 9) S. Ito, et al.: ibid., 609(1988)
- 10) T. Nishida, et al.: Proc. of 23rd Int'l Rel. Phys. Symp., 148(1985)
- 11) E. F. da Silva, et al.: IEEE Trans. Nuci. Sci., NS-34, 1190(1987)
- 12) T. Ohyu, et al.: Ext. Abst. 20th Int. Conf. on Solid State Device and Mat., 607(1988)
- 13) H. Shinriki, et al.: 1988 Symp. on VLSI Tech., 29(1988)