

VLSIテクノロジー社ツールによるセルベースICの設計

Cell Base IC Design Methodology with VLSI Technology Tool

日立製作所と米国VLSIテクノロジー社との技術提携により、広く普及しているASIC(Application Specific IC)設計ツールによる1.0 μm セルベースICを製品化した。この設計ツールは、シリコンコンパイラ、統合化ソフトウェアによる同一設計環境での一貫設計などのユーザーフレンドリーな設計システムである。これにより、手軽に高性能なセルベースICが設計可能になり、これらは日立製作所、VLSIテクノロジー社の両社から提供が可能になった。

チェン イー チン* 陳 一清
原 英 夫** Hideo Hara

1 緒 言

昭和63年5月、日立製作所と米国のASIC(Application Specific IC)メーカーであるVLSIテクノロジー社(以下、VLSI社と言う。)との間で、ASICに関する技術提携が成立し、以来定評のあるVLSI社で開発されたASIC設計ツール(以下、VTIツールと略す。)の日立製作所への導入が進められている。一方、日立製作所からVLSI社に対して最新のASICプロセスに関する技術供与が行われている。さらに、両社で新しいセルライブラリの共同開発も行っている。本論文では、VTIツールの特長およびそれを用いたセルベースICの設計手法について述べる。

2 VTIツールの概要

VLSI社で開発されたVTIツールは、短期間で手軽に高性能のLSIを設計することを可能にしたASIC設計ツールである。VTIツールは、急速に拡大しつつあるASIC市場で広くユーザーに受け入れられており、現在もっとも普及しているASIC設計ツールの一つである。その代表的構成は表1に示すように、各種ライブラリおよびシリコンコンパイラに代表される設計ソフトウェアから成っている。これらは統合化されて、一つのソフトウェアシステムとなっているので、システムプランからチップレイアウトまで一貫した設計環境でLSI設計が行える。VTIツールは、ユーザーが独自のLSIを手軽に設計できるよう会話形のユーザーフレンドリーなツールとなっている。またこれらのソフトウェアは、汎(はん)用のワークステーション用記述言語であるMAINSAIL^{※1)}で記述されているため、異種のハードウェアへの移植性が優れており、SUN^{※2)}、Apollo^{※3)}など市販の多くのワークステーション、ミニコンピュータ上で使用できる。

ユーザーはシリコンコンパイラによりシステム設計イメージで半導体回路が得られるほかに急速に展開する半導体技術に対処するため、半導体プロセスに依存しない設計が可能であり(設計の最終段階でプロセス、セルライブラリの選択を行える。)、最新プロセスの適用、設計財産の蓄積が容易となっている。

なお、VTIツールはその設計サポートとして、現在VLSI社の2.0~1.0 μm プロセスのゲートアレー、セルベースICを対象製品としている。このうち日立製作所への導入はセルベースICであり、その中でも1.0 μm プロセスのセルライブラリを重点的に行っている。この1.0 μm のセルベースICは、日立製作所ではHG51シリーズとして製品化されている。

3 セルライブラリ

表1に示したように、VTIツールは各種のセルライブラリを持っているが、ここでは日立製作所が導入し、VLSI社と共通ライブラリとしている1.0 μm 、セルベースIC用のライブラリについて述べる。このセルライブラリは下記の3種から成っている。

VSC300…………ポータブルセルライブラリ

VDP300…………データパスセルライブラリ

VCC300…………コンパイルドセルライブラリ

これら3種のセルは同一チップ上に混在が可能であり、ユーザーは最適な選択をそれぞれの回路設計時に行える。

※1) MAINSAILは、米国Xidak社の登録商標である。

※2) 米国Sun Microsystems社の登録商標である。

※3) 米国Apollo Computer社の登録商標である。

表1 VTIツールの構成 VTIツールは下記の多数のツール、ライブラリで構成しているが、これらは一つの統合化されたソフトウェアとしてワークステーション上で動作するため、手軽にLSIの設計が行える。

分 類		名 称		内 容		
シリコンコンパイラ システムプラン 論理設計 レイアウト設計 検証 インタフェース その他	シリコンコンパイラ	セルコンパイラ		メモリ，乗算器などのモジュール生成		
		データパスコンパイラ		簡素化された論理回路入力によるモジュール生成		
		ロジックシンセサイザ		高位言語から論理回路の生成		
	システムプラン	デザインアシスタント		チップサイズ，消費電力の推定		
	論理設計	VTI Logic		論理図入力およびシミュレーション		
		タイミングベリファイヤ		静的状態でのタイミング解析		
	レイアウト設計	チップコンパイラ		自動配置・配線によるレイアウト設計		
		VTI Custom		カスタムセル用レイアウト設計		
		VTI Spice		MOS/バイポーラトランジスタ回路シミュレータ		
	検証	VTI Verify		デザインルールチェック，ネットリスト比較など		
	インタフェース	VTI Test		テストプログラムの生成		
		VTI Interface		マスクデータの生成		
	その他	――		実負荷抽出などの各種ユーティリティ		
ライブラリ	コンパイルドセル	VCC100(1.5 μm CMOS)		RAM，ROM，乗算器化		
		VCC300(1.0 μm CMOS)				
	データパスセル	VDP100(1.5 μm CMOS)		ALU，加減算器，乗算器，シフタ，パレルシフタ，レジスタファイル，ゲートほか		
		VDP300(1.0 μm CMOS)				
	ポータブルセル	セルベース	VSC100(1.5 μm CMOS)		基本ゲート，複合ゲート	
			VSC300(1.0 μm CMOS)		レジスタ，カウンタ	
		ゲートアレー	VGT100(1.5 μm CMOS)		マルチプレクサ，デコーダ	
			VGT300(1.0 μm CMOS)		入出力バッファ	
	メガセル	1.5 μmセルベースでDMAコントローラ，CRTコントローラなどを準備				

注：略語説明 DMA(Direct Memory Access), ALU(Arithmetic Logic Unit)

なお、この1.0 μ mライブラリは、高速動作が可能となるように、トランジスタの高性能化が図られている。基本ゲートでの遅延時間を図1に示す。さらに、最近のシステムでのクロック周波数の増加に対応するために、チップ内の配線にも改良を施している。これはクロック周波数の増加に伴い、一配線あたりに流れる電流が増加し、従来の配線では、マイグレーションが問題になってくるためである。今回の配線では従来の2倍以上の電流を流すことができ、結果として従来比2倍以上のクロック周波数を得ることが可能となった。

VSC300はポリセル形スタンダードセル用のセルライブラリで、ゲート、フリップフロップなどの基本論理セル、マルチプレクサ、デコーダ、カウンタなどのMSIセルおよび入出力バッファパッドなどの周辺セルなど約300種で構成している。これらのセルは、論理記述であるネットリストに従って自動配置・配線されるため、セルパターンの高さは同一となっている。VDP300, VCC300はそれぞれ後述のデータパスコンパイラ、セルコンパイラの基本エレメントであり、VDP300はALU (Arithmetic Logic Unit), シフタ, レジスタファイルなど約50種から成っており、VCC300はRAM, ROM, 乗算器の基本エレメントで構成している。

4 シリコンコンパイラ

VTIツールはその大きな特長として、下記の3種のシリコ

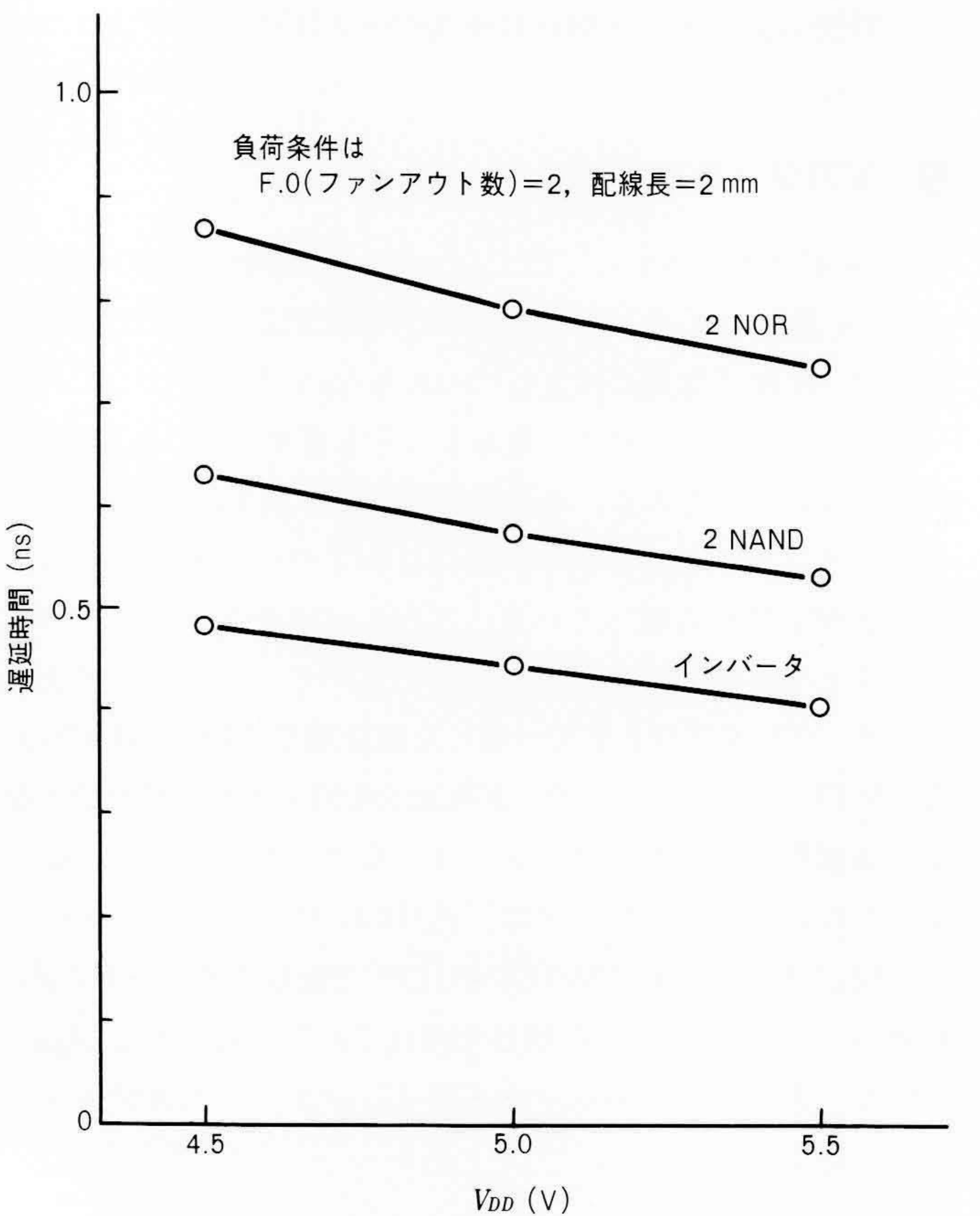


図1 ゲート遅延時間特性 1.0 μ mセルライブラリのうち、インバータ, 2入力NAND, 2入力NORゲートの遅延時間の電源電圧依存性を示す。2入力NANDで標準遅延時間は0.7 nsである。

ンコンパイラを持っている。

- (1) セルコンパイラ
- (2) データパスコンパイラ
- (3) ロジックシンセサイザ

以下にそれぞれについて述べる。

4.1 セルコンパイラ

RAM, ROM, 乗算器を生成するコンパイラである。これらの回路は、ビット数、ワード数あるいは乗数、被乗数ビット数をパラメータとして、一意的に定義できるパラメータライズドセルである。本セルコンパイラでは、下記最大容量内で図2に示す任意の形状のセルを、パラメータ指定によって瞬時に設計できる。

RAM最大容量……………16 kビット

ROM最大容量……………128 kビット

乗算器最大構成……………32×32ビット

もちろんこれらの生成されたセルは、アドレスデコード回路、センスアンプ回路などを持っており、一つのモジュールとして扱える。このため、セルベースICの中で最適形状のメモリなどが容易に得られ、設計の自由度が大きく増大する。

4.2 データパスコンパイラ

RISC(Reduced Instruction Set Computer)プロセッサや信号処理プロセッサのように、データパスを持つ並列処理回路の設計に適したコンパイラである。なお、設計の基本エレメントとしてデータパスセルライブラリが用いられるが、本

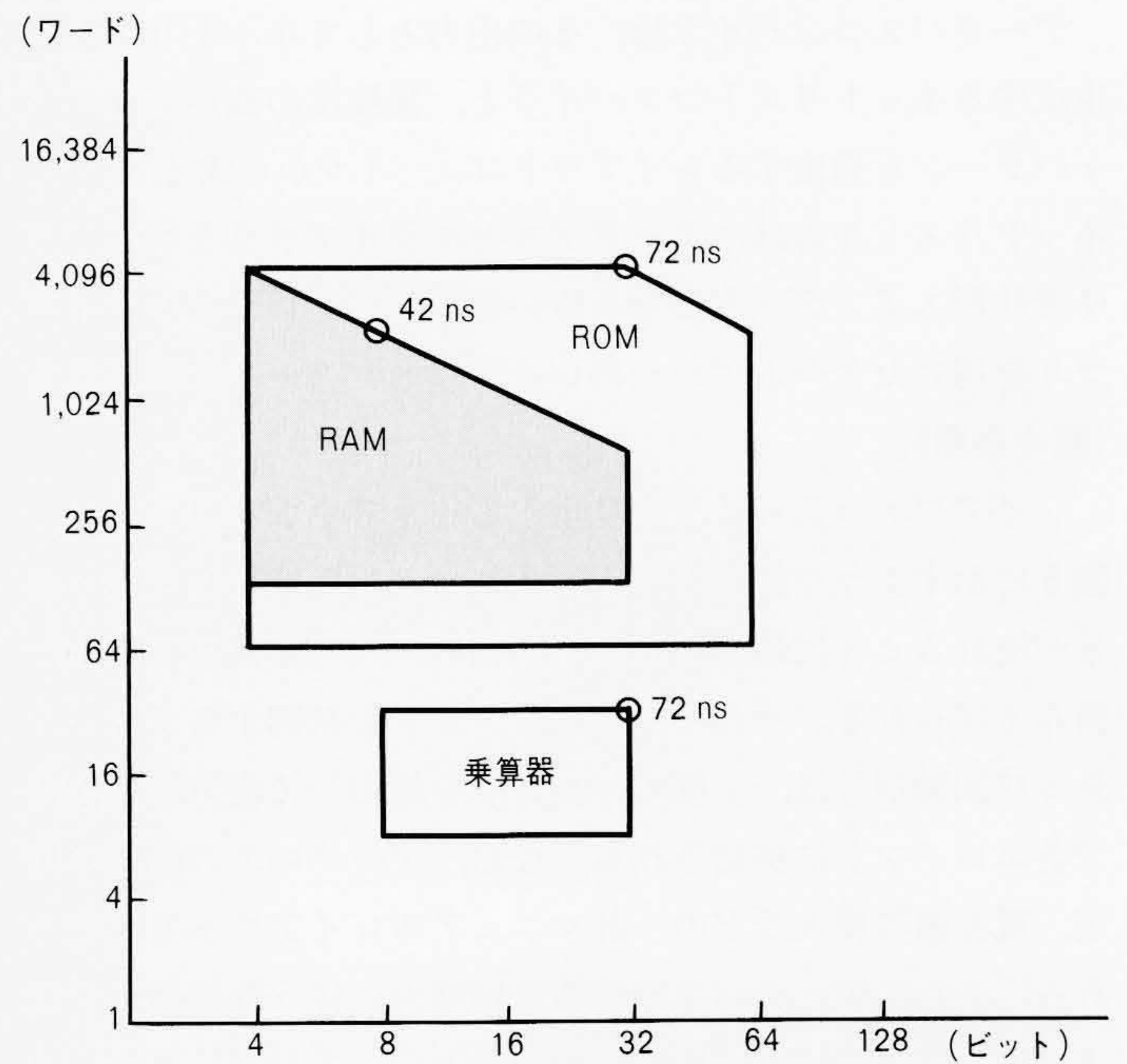
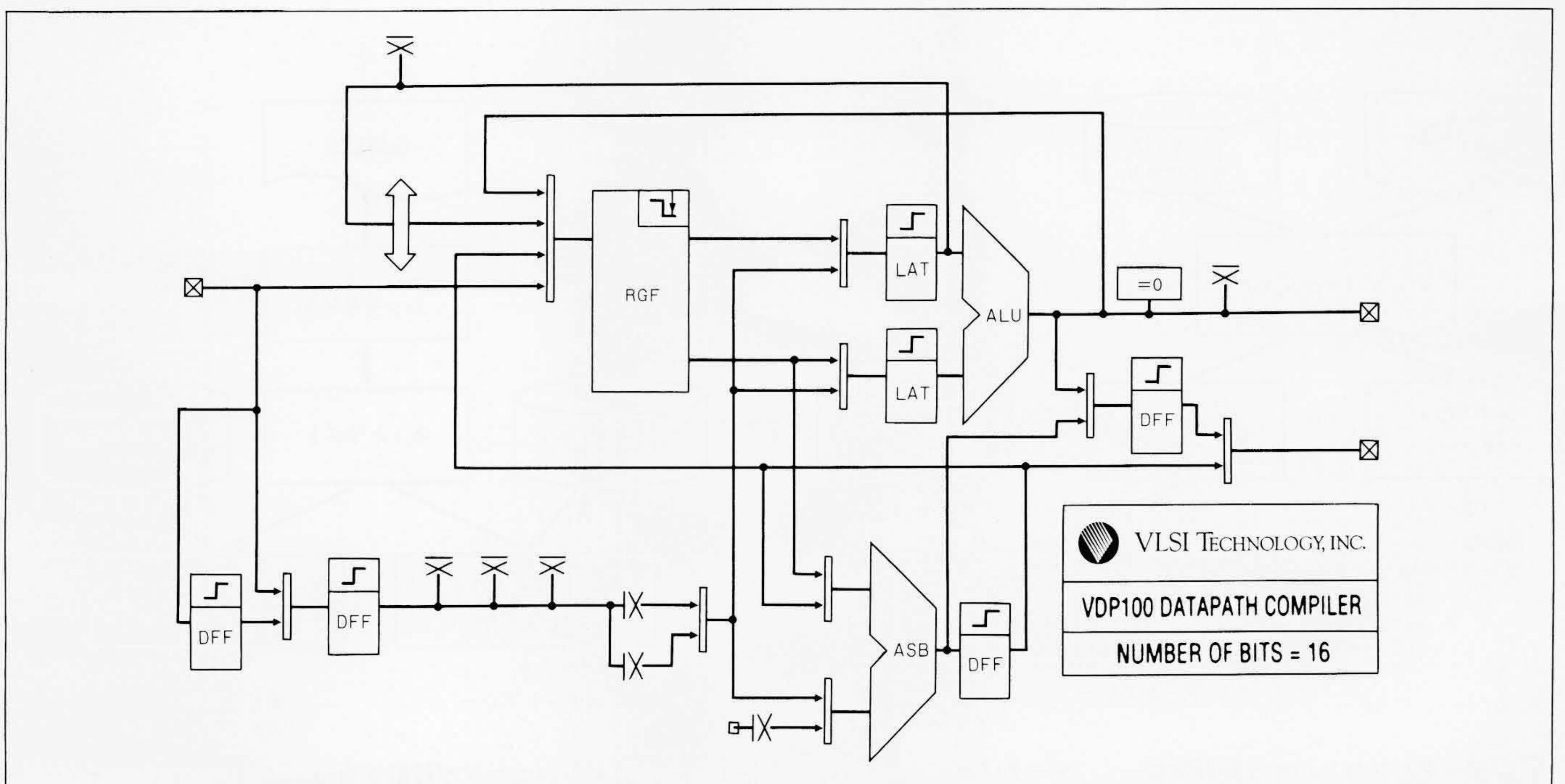


図2 セルコンパイラサポート範囲 セルコンパイラのビット、ワードのサポート範囲を示す。また、図中の数字はその構成での最大サイクルタイムを示す。

ライブラリはプロセッサの設計に対応するため、ALU、バレルシフタ、乗算器などの複雑なセルをも包含している。論理回路図入力は、図3に示すように、クロックや制御線が省略され簡素化されている。ユーザーは、ブロック図あるいは信号線図を記述するように論理設計が行える。



注：略語説明 DFF (Delayed Flip Flop), RGF (Register File), LAT (Latch), ASB (Adder Subtractor)

図3 データパスコンパイラ入力例 データパスコンパイラは、データパスセルライブラリを用い、クロック、制御信号を省略した簡素化された論理記述を入力とする。

データバスコンパイラは、その出力としてネットリストを生成するネットリストコンパイラと、集積度の高いレイアウトパターンを発生するレイアウトコンパイラから成っている。ネットリストからは、ポータブルセルライブラリを用いてポリセル形スタンダードセルあるいはゲートアレーセルライブラリを用いたゲートアレーのレイアウトパターンも得られる(図4参照)。

レイアウトコンパイラが発生するレイアウトパターンは、図5に示すような配置となる。各エレメントは左から右へ信号が流れるように配置され、バス幅(ビット数)は高さ方向に積み上げられる。それぞれのエレメントを制御するクロックおよび制御信号は、上部のバッファを経由して縦方向の配線で各エレメントに供給される。なお、データバスの配置の指定、電源線の挿入などの一部マニュアルレイアウトも可能である。また、データバスの回路規模増大に伴う性能劣化を防止するため、バッファはツリー構造となっており、クロックスキューによるトラブルの発生を防止している。

またデータバスコンパイラは、シミュレーション用モデルと階層論理設計用のシンボル(ICON)を生成する。これらは全体チップの中のモジュールとして扱われ、シミュレーションなどに使われる。

4.3 ロジックシンセサイザ

シーケンサやデコーダなどの論理回路の生成に適したコンパイラである。本コンパイラの入力である論理記述は、ブール関数方程式あるいは高位言語によって行われる。出力はポータブルセルによるネットリストであり、図6に示すとおり

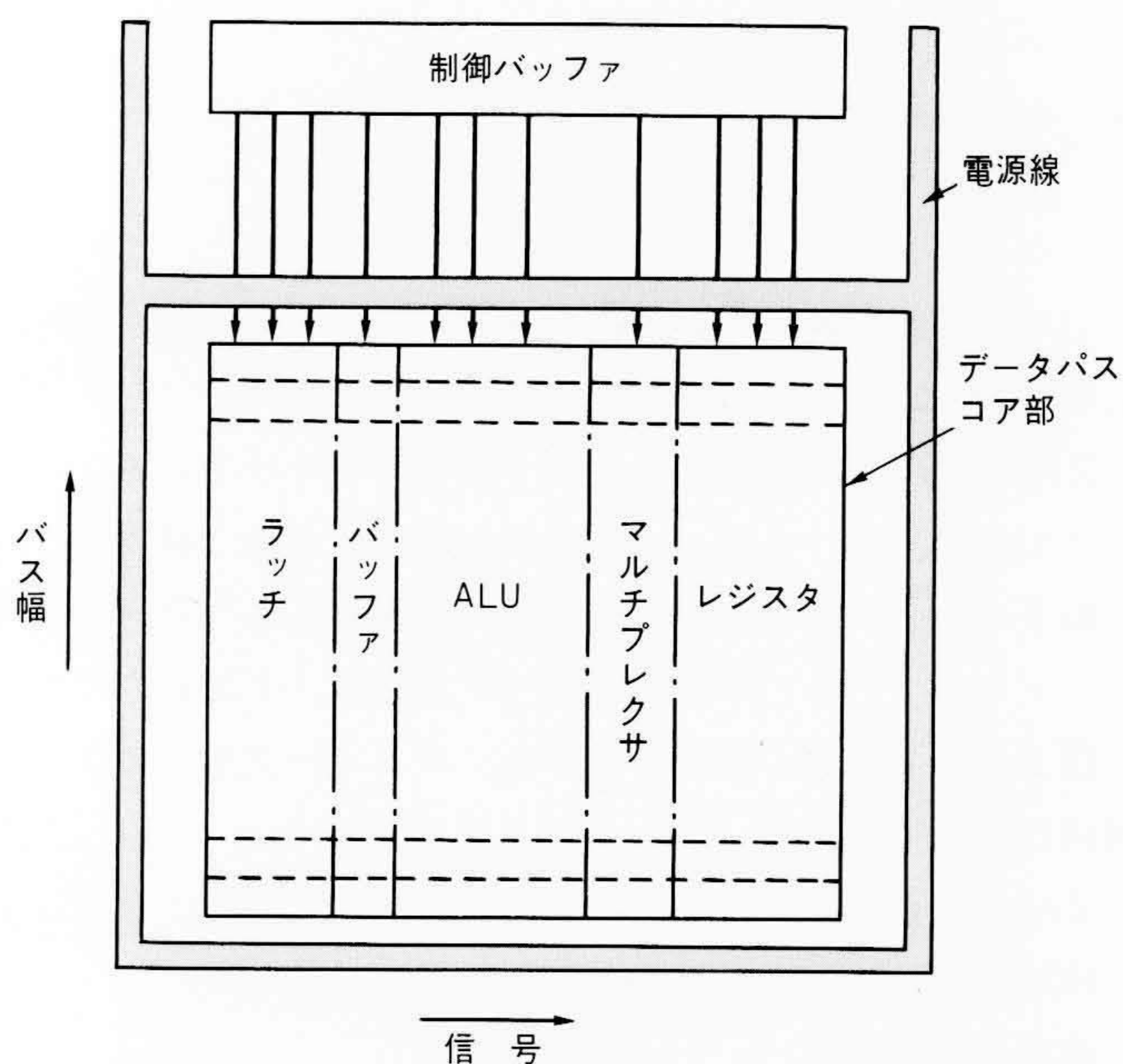


図5 データバスコンパイラ レイアウトモデル データバスコンパイラのレイアウトは、縦方向にバス幅(ビット数)、横方向に信号の流れに従ったファンクションエレメントを配置する。

ライブラリおよびレイアウト手法の選択により、ポリセル形スタンダードセルもしくはゲートアレーによるIC化ができる。ロジックシンセサイザは、状態遷移図などから論理合成によってネットリストを生成するものであるが、その際にクロック周波数、最大遅延時間をユーザーが指定することにより、性能も考慮された論理回路を得ることができる。

ロジックシンセサイザの代表的な応用回路であるステート

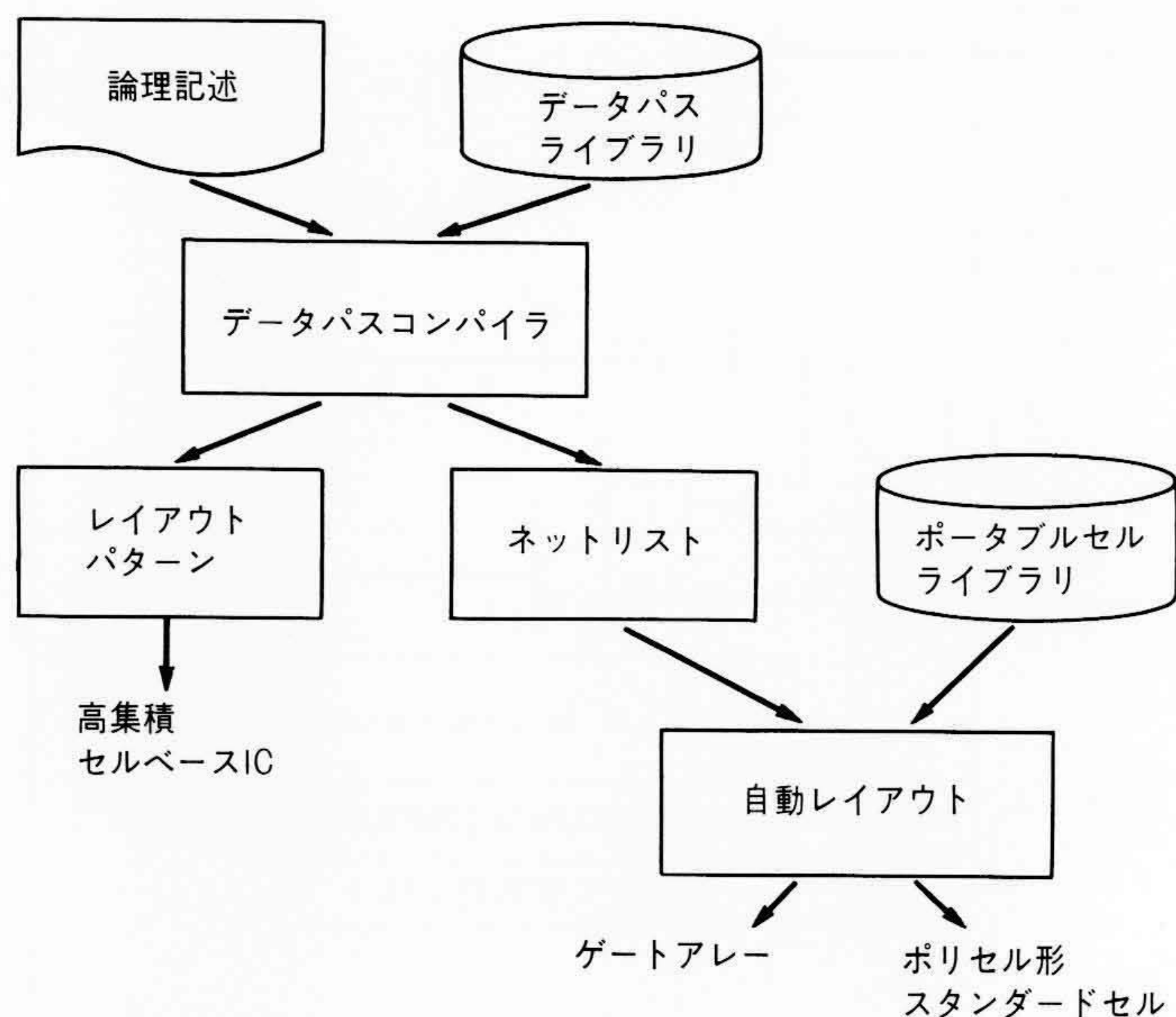


図4 データバスコンパイラ設計フロー データバスコンパイラは、その出力としてネットリストおよび高集積なレイアウトパターンがある。セルベースICの場合は、レイアウトパターンがそのままモジュールとしてLSIに適用されるが、ネットリストを使ってゲートアレーあるいはポリセル形スタンダードセルへの適用も可能である。

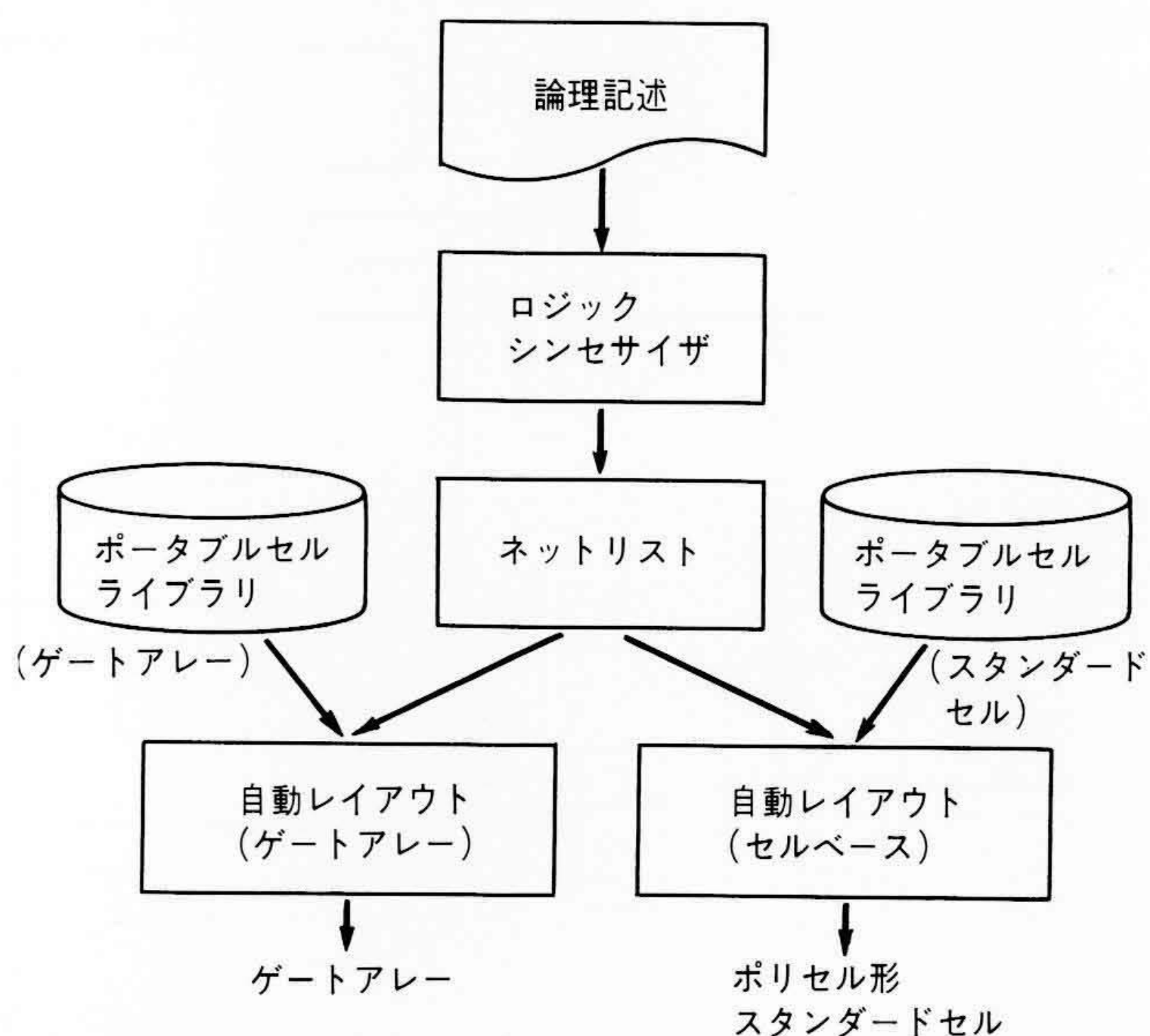


図6 ロジックシンセサイザ設計フロー ロジックシンセサイザは、ライブラリを意識することなく高位言語もしくはブール関数方程式で論理記述を行う。出力はポータブルライブラリによるネットリストであり、ゲートアレー、スタンダードセル両方でIC化できる。

マシンのブロック図を図7に示す。状態を表すレジスタと組み合わせ回路が主なブロックである。各状態に対して、ロジックシンセサイザはレジスタコードを割り当てる。状態の遷移は状態遷移図で定義され、組み合わせ回路内に論理回路が合成される。同様に各出力の回路もブーリアン代数などの高位言語に従って合成される。なお、本ステートマシンへの入出力信号は、ラッチを挿入することにより、クロックへ同期化することも可能である。

ロジックシンセサイザを用いた設計は、同一の機能を論理回路図ベースで設計を行うことに比べ、はるかに手軽で短期間で設計できるばかりでなく、ロジックシンセサイザの論理コンパクションの機能により、論理回路図ベースの設計と同等のゲート数規模、すなわちブロックサイズを得ることができる。

なお、ロジックシンセサイザは、前述のデータパスコンパイラと同様に、シミュレーションモデルおよび論理シンボルを発生する。ロジックシンセサイザは、データパスコンパイラと組み合わせられ、その制御信号の生成用に使われることが多い。

以上、3種のシリコンコンパイラについて述べてきたが、これらのコンパイラを使用することにより、大幅な面積効率の向上が得られている。一例として、ゲートアレー、従来形スタンダードセル、シリコンコンパイラによるセルベースICで同一機能を面積比1:0.7:0.3で実現したものもある。

5 ASIC設計手順

以上紹介したVTIツールを用いたセルベースICを、設計手順について以下に述べる。セルベースICの標準的な設計工程は次の4工程から成る。

(1) システムプラン

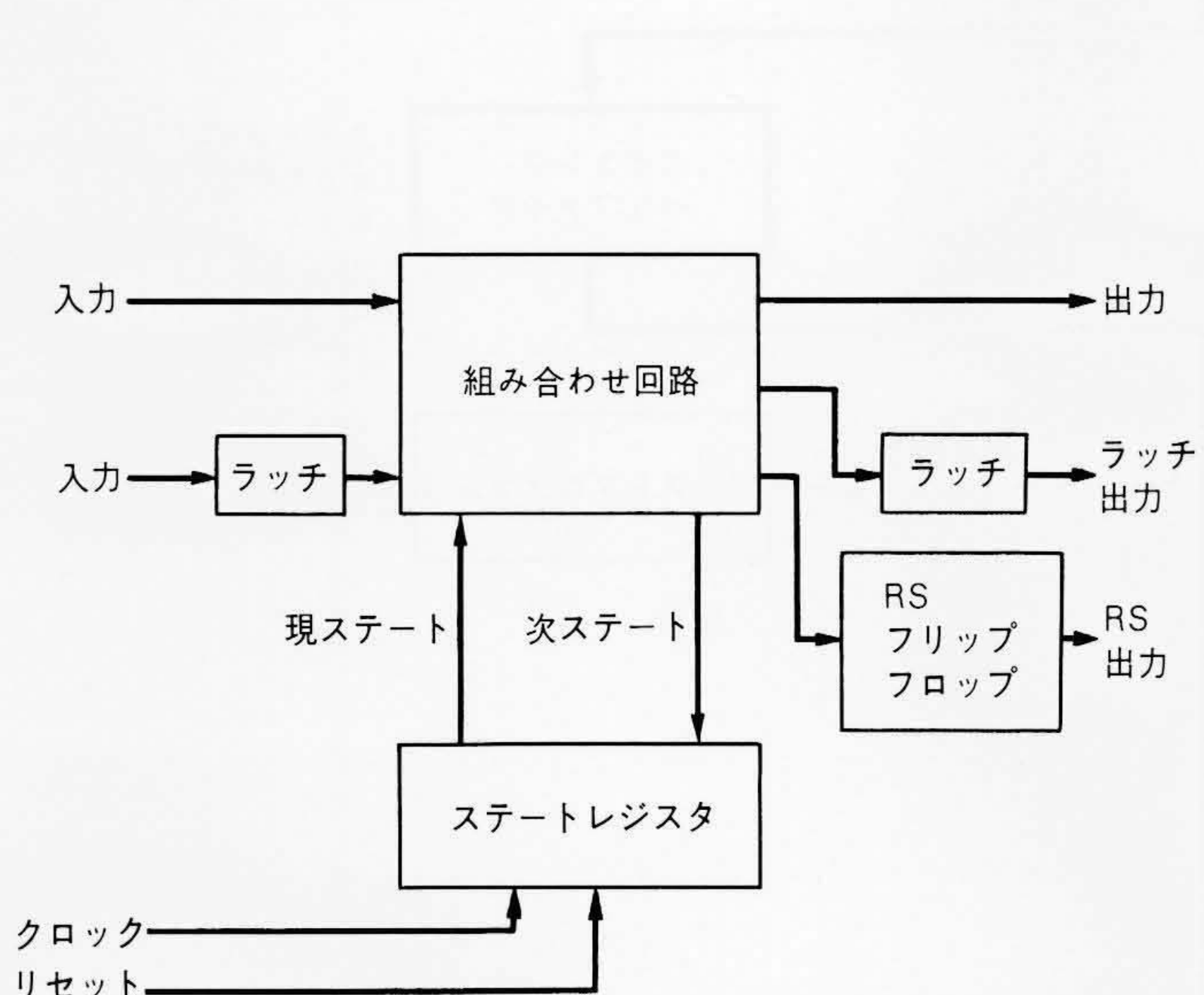


図7 ステートマシンブロック図 ロジックシンセサイザの代表的な応用回路であるステートマシンのブロック図を示す。入出力はラッチの有無の選択が可能である。

- (2) 論理設計(回路入力とシミュレーション)
- (3) レイアウト設計
- (4) 設計検証

VTIツールでは、これらの設計作業が同一ワークステーション上で行える。なお、LSIの開発としては、上記のツールによる設計工程のほかに、サンプル作成やその評価などが必要であるが、それらは他のLSIでも同様であり本稿では省略する。

5.1 システムプラン

セルベースICの設計に当たり、どのようなLSI構成にするかについて検討する必要がある。すなわち、全体システムの中のどの部分をLSI化するか、そのときにゲート規模、消費電力などでLSI化が可能かどうかを見極める必要がある。この事前検討をサポートするために、デザインアシスタントと呼ばれるツールがある。図8に示すように、LSIをブロック図ベース(ゲート数、メモリ容量、入出力端子数、ブロック間配線数)で入力し、また動作周波数を規定することによって各種ライブラリ(1.0 μm , 1.5 μm など)でのチップサイズ、消費電力が瞬時に推定される。この結果をもとに適合パッケージについてもリポートされる。ユーザーはこれらに基づき、ライブラリの選択、システム分割の最適化を行える。

なお、デザインアシスタントは、ブロック間の配線領域などを考慮してチップサイズを推定しているため、シリコンコンパイラによってブロック設計がなされる場合は、あらかじめブロック定義をしておくことにより、推定精度の向上が図れる。

5.2 論理設計

LSIの仕様が確定し論理設計が行われる。論理設計で、回路

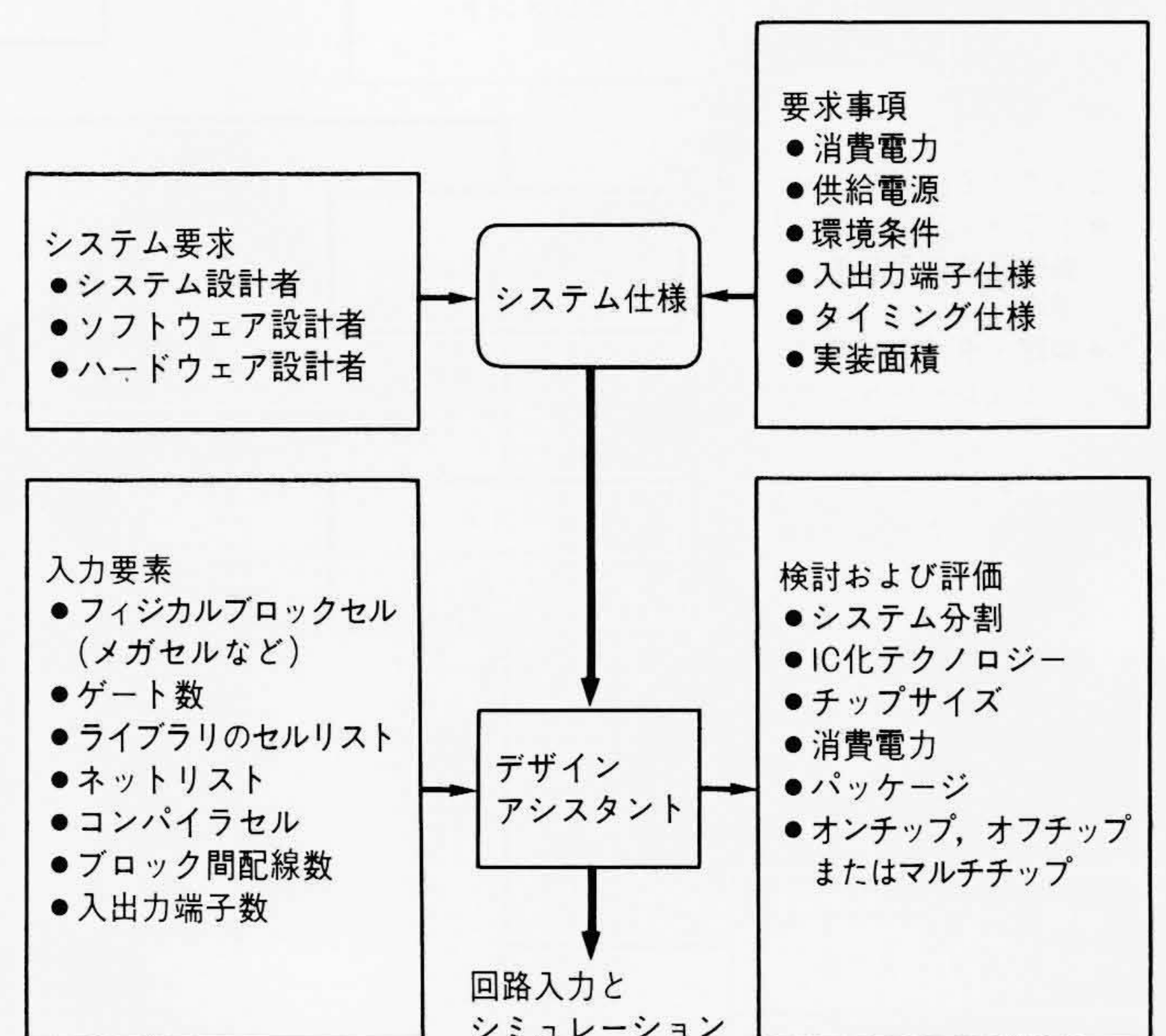


図8 システムプラン システムプランの段階でLSIの仕様が検討される。デザインアシスタントはLSIのブロックイメージの情報から、チップサイズなどを瞬時に推定するツールである。

入力および論理回路シミュレーションがVTIツールでサポートされる。スキマティック(Schematic)による論理入力は、ポータブルセルを用いた図面入力あるいはシリコンコンパイラによる論理記述が可能であり、階層論理設計がサポートされている。なお、シリコンコンパイラを用いて設計されたブロックは、あらかじめブロックセルとして生成しておく必要がある。ほかにユーザー定義のセルも使用でき、この場合はICONを用いて独自のシンボルを定義する。これらのセルはカスタムセルとしシミュレーションモデルやレイアウトパターンを持ち、ユーザー独自のライブラリとして扱える。

入力された回路はスクリーナ(Screener)でゲート数、使用セルリストなどの回路情報を得ることができる。また、タイミングベリファイア(Timing Verifier)でシミュレーション前に回路の静的状態でクリティカルパスの解析、クロックスキュー、セットアップホールドタイムのチェックあるいは指定パスの遅延時間の算出などのタイミング解析を行える。シミュレーションはトランジスタ、ゲート、動作記述モデルが混在した回路の論理シミュレーションを行う。その結果は波形表示されるとともに、トレースファイルとして保存され、LSI

テスト時のテストパターンとして使用される。また各セルライブラリは、それぞれについて、精度の良い遅延時間特性(スイッチングタイムおよびドライブビリティ)および入出力端子の容量が規定されているため、精度の高いタイミングでシミュレーションが可能である。ただし、ここでは論理回路図ベースであるため配線の容量は仮想されたものであり、後述のチップレイアウト後に実配線長から配線容量を抽出して行う実負荷シミュレーションにより、実チップベースのシミュレーションが行える。

故障シミュレーションとしては、現在VTIツール上では直接サポートされていないが、市販の故障シミュレータへのインタフェースソフトが準備されている。また、LSIテスト用のテストプログラムの自動生成も行える。

論理設計での各ツールの役割について図9に示す。

5.3 レイアウト設計

ツール上に論理回路(ネットリスト)が完成すると、レイアウト設計へ移行する。シリコンコンパイラで設計されたブロックは、あらかじめコンパイルされレイアウトブロックとして準備され、他のポータブルセルとともにネットリストから

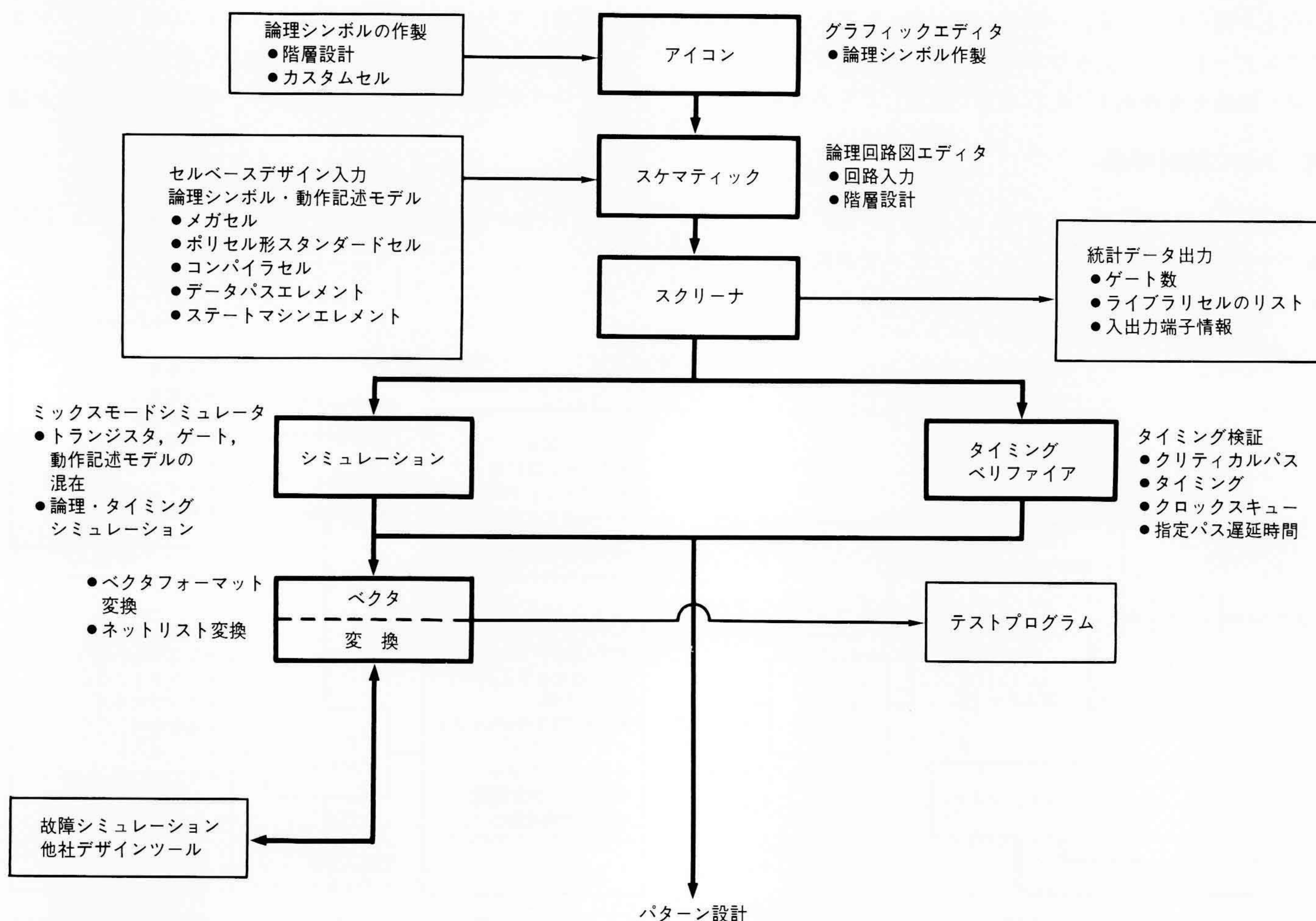


図9 論理設計ツール 論理設計ツールとしては、回路入力のためのエディタ、シミュレータのほかにタイミング検証やテストなど、他のシステムへのインタフェースがある。

チップコンパイラで自動配置・配線される。チップコンパイラによる配置・配線時はその処理の簡易化のため、セルはファントムと呼ばれる中身の無い端子だけ規定されたブラックボックスを使用している。

チップコンパイラによるレイアウトに際しては、フロアプランニングと言われるブロックの配置をあらかじめ決めておく必要がある。最適のブロック配置のために、各ブロック間の配線評価を行うツールが準備されている。これを用いてブロックの移動、回転を行い最適のブロック配置を決定することができる。

ポータブルセルのブロックは複数個に分割でき、形状指定や内部セルの配置法について設定できる。ポータブルネットリストはその設定に従い、分割・結合が行われる。チップコンパイラ実行時のブロック内のポータブルセル配置に際しては、ネットの重み付けを考慮しながらの最適配置が行われている。また、配線後にデザインルール許容限界まで配線チャンネル部を縮小するコンパクション機能があり、これにより10～20%程度のブロックサイズ縮小ができる。

ブロック間の自動配線に当たり、電源、グラウンド、クロック

などの重要な配線について、配線経路のガイダンス(概略な指定)や線幅指定が行える。また、ブロック間の配線チャンネルのコンパクションも行える。

チップのコア部のレイアウト後、ボンディングパッドが論理入力時に指定したピン番号に従い配置・配線される。これらのパッド配置はボンディングに最適な配置とされているが、対象パッケージのリードフレームとの整合性が最後にチェックされてチップ設計完了となる。

また、ユーザーの応用回路によっては、標準に準備されているセルライブラリ以外の特殊セルが必要な場合もある。これらはカスタムセルとしてシンボル化されたレイアウトエディタであるスティック、汎(はん)用レイアウトエディタであるレイアウトで設計が可能である。カスタムセルとして設計されたセルパターンからトランジスタサイズ、寄生容量、抵抗が抽出され、手軽にMOS回路解析が行える。

レイアウト設計での各ツールの位置づけを図10に示す。なお、高性能化を図るために、会話形式でマニュアル修正、配置・配線指定も可能になっている。

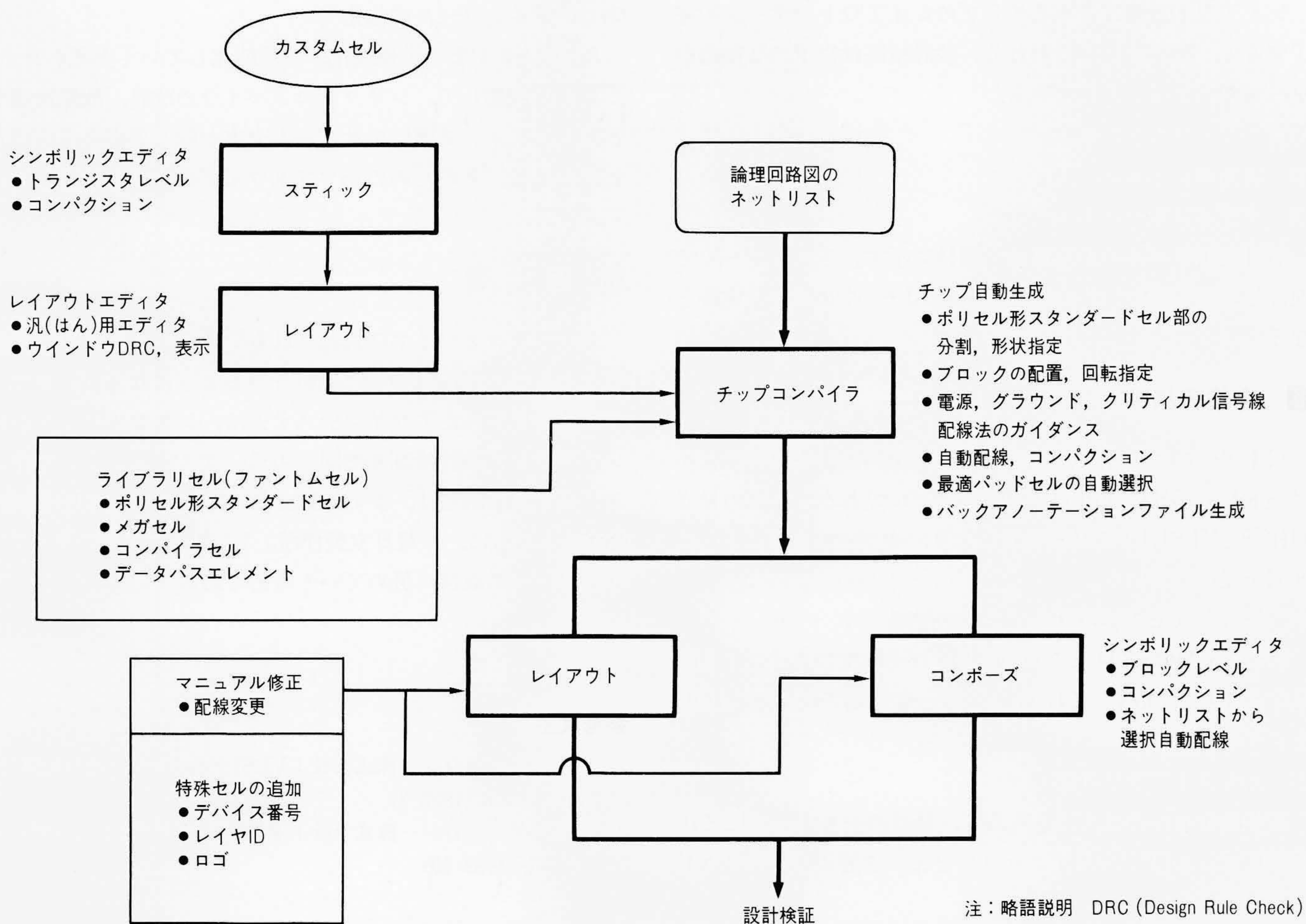


図10 レイアウト設計ツール レイアウト設計ツールとしては、自動配置・配線ツールのほかにユーザー専用のセル(カスタムセル)の設計サポートツールがある。

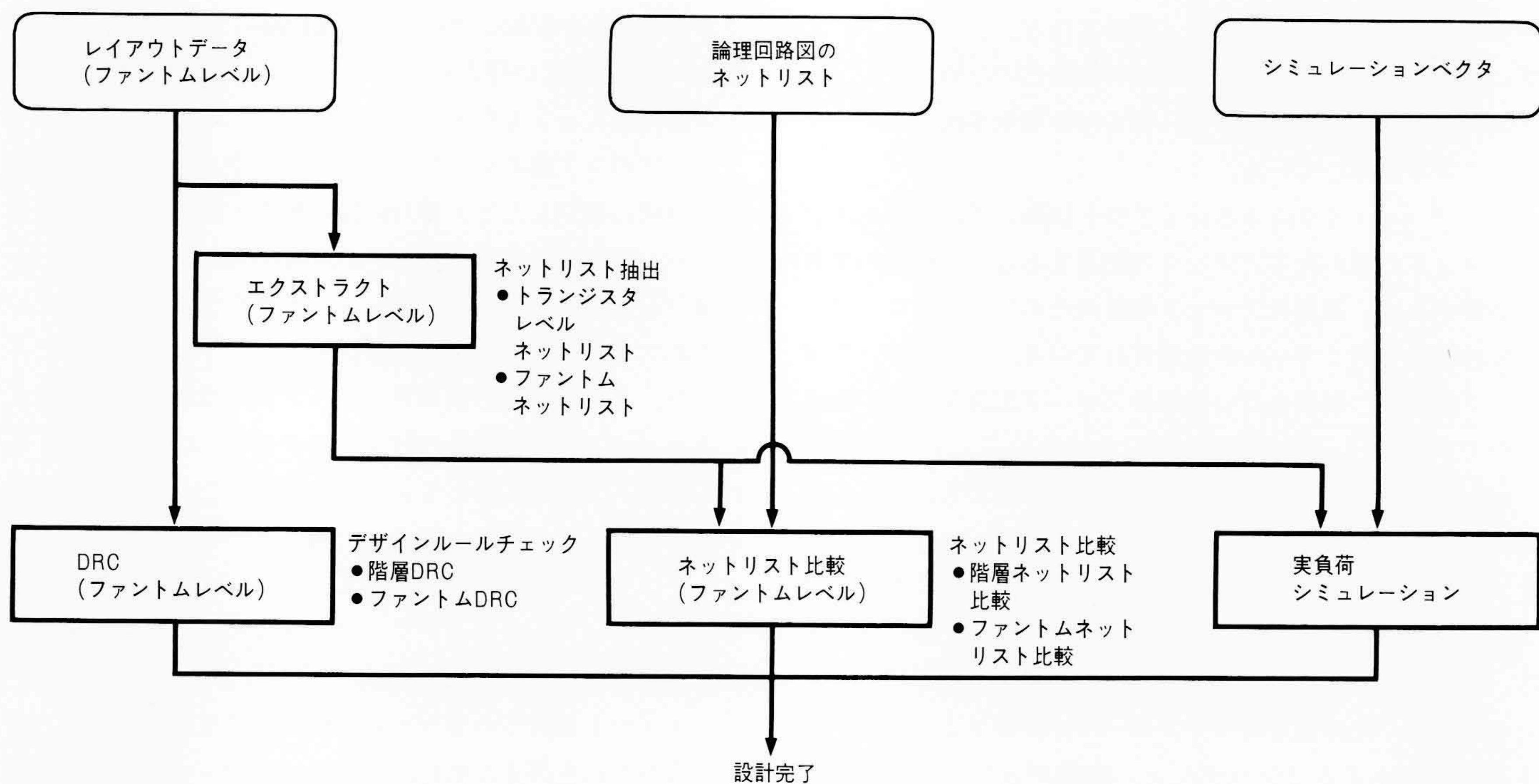


図11 設計検証ツール 設計検証ツールとしては、ネットリスト比較、実負荷シミュレーション、デザインルールチェックがある。

5.4 設計検証

レイアウト設計によってチップのレイアウトパターンが完了すると、設計検証が行われる。設計検証は以下の3種類がツールでサポートされている。

- (1) ネットリスト比較
- (2) 実負荷シミュレーション
- (3) デザインルールチェック

設計検証ツールの相互関係を図11に示す。これらツールで検証しエラーがなくなった時点で、LSIチップの設計は完成となる。

6 今後の展開

以上述べたように、VTIツールはASICの設計を包括的にサポートし、手軽に使用できる設計ツールである。今回の日立製作所とVLSI社との技術提携により、本ツールを基にさらに展開を促進していく。

- ## (1) 先端プロセスへのライブラリの展開

0.8 μ m CMOS プロセスの開発およびそれでのライブラリ開発などはすでに始まっており、ユーザーに先端プロセスの ASIC をより早く届けていく。

- ## (2) セルライブラリの拡大

基本的なセルの拡大はもちろん、最近のセルベースICで注目されているCPU、マイクロコンピュータ周辺などのメガセ

ル(モジュール)を両社で開発しライブラリ化していく。

- ### (3) デザインツールの強化

ASICはますます大規模化、高性能化していくと思われる。これらに対応して、シリコンコンパイラの改良、故障診断などのテスト関係のサポート充実が強く要求されてくると思われる。そのための新ソフトウェアの開発を推進していく。

7 結 言

シリコンコンパイラに代表されるVTIツールにより、高性能なセルベースICが容易に設計できるようになった。また、その統合化されたデザインシステムは、システムプランからレイアウト、設計検証まで同一のワークステーションで行える。日立製作所では、まず1.0 μm CMOSセルベースICを製品化するとともに、今後日立製作所、VLSI社で共同でライブラリ、ツールの改良に努めていく考えである。

参考文献

- 1) VLSIテクノロジー株式会社：VLSIテクノロジー社のASIC設計システム(1988-2)
- 2) VLSIテクノロジー株式会社：セルベースデザインユーザー・ガイド(1989-10)