

# ASIC用パッケージ技術

## Package Technology for ASIC

電子機器の多様化に伴い使用されるASIC(Application Specific IC)用パッケージも多様化してきている。顧客要求に迅速に対応したパッケージ設計開発を行うために、パッケージ使用環境を前提として信頼度寿命予想をした構造決定、それに耐えられる材料・プロセスの開発を行っている。パッケージ開発時間の短縮のため、各種設計支援プログラムを開発して、ASICパッケージ設計開発に適用している。ASIC対応のパッケージ技術としてQFP(Quad Flat Package)のリードピッチ狭小化のための溶融はんだ接合技術、TAB(Tape Automated Bonding)技術、プリント基板実装での放熱設計技術などを開発し、また顧客での新製品立上げ設計への支援技術も開発した。また製作時間短縮のため、はんだ先付けリードフレーム技術を業界に先駆けて4 MマスクROMに適用した。

村上 元\*  
星 彰郎\*  
小丸 健\*\*  
森田俊哉\*  
河合末男\*\*\*

Gen Murakami  
Akio Hoshi  
Takeshi Komaru  
Toshiya Morita  
Sueo Kawai

### 1 緒 言

近年の電子機器は、高機能化・高容量化・小形化の傾向にあり、使用される半導体部品には、多様化・多ピン化・高速化が要求される。これらの電子デバイスを収納するパッケージには電子機器に合うような形状が望まれ、大形素子を薄肉パッケージに入れることや、電子機器の実装が高密度になるようにくふうされたカスタム対応パッケージが要求されるようになってきている。ASIC(Application Specific IC)対応パッケージの技術には、パッケージ設計開発時間短縮のためコンピュータシミュレーションを駆使し構造の最適化設計を行うこと、新材料・新プロセスを同時開発し、合わせて顧客での設計が短縮できるように実装上のテーマについて検討することなどが要求されている。以下に、最近開発したASIC対応パッケージ新技術について報告する。

### 2 ASICパッケージの課題と対応

ASICパッケージに要求される項目には、電子機器の使用用途拡大のためパッケージ形状の多様化や設計・製作時間の短縮、開発したパッケージのプリント基板実装への迅速な対応などがある。これらの要求項目に対し、技術課題や具体的対応例について表1に示す。ニーズの多様化に対処するためパッケージ基本形状の設計概念の標準化を行い、設計されたパッケージが他社製品との互換性を高めることも要求されている。日立製作所はパッケージの基本概念の標準化を行うため、積極的に各種委員会に参加し国際間協調による規格作りを行

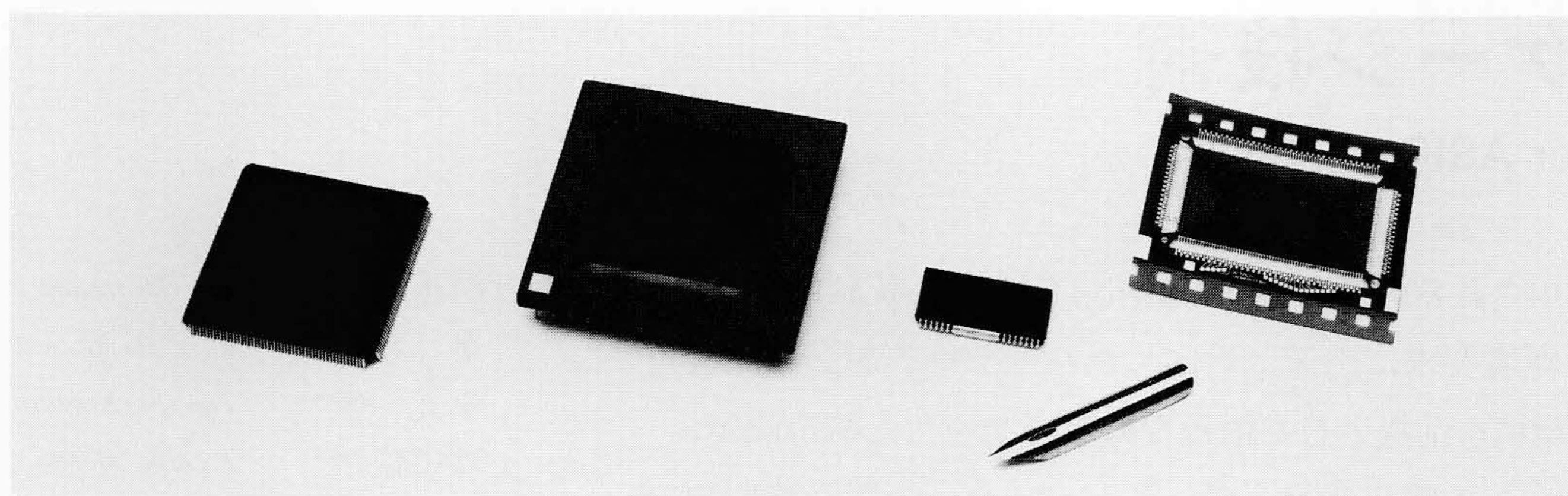
表1 ASICパッケージの課題と対応 ASICパッケージには、電子機器の小形・軽量化に伴い、さまざまな要求が生じているが、日立製作所ではこれらに対応した新技術を開発している。

| 要 求 項 目        |     | 技 術 課 題              | 具 体 例                 |
|----------------|-----|----------------------|-----------------------|
| ニーズ多様化への対応     |     | 基本パッケージ形状設計概念の標準化    | 国際標準化会議に積極参加          |
|                |     | 形状の自由度化              | TABパッケージ              |
|                |     | システムの小形化             | マルチチップのワンパッケージ外形化     |
| 時間短縮への対応       | 設 計 | 最適パッケージ形状設計と材料選定の迅速化 | 設計シミュレーション技術導入        |
|                | 製 作 | 新技術導入                | 被覆線技術、はんだ先付けリードフレーム導入 |
|                |     | 工程時間短縮               | 工程一貫化による段取り時間短縮       |
| プリント基板実装条件への対応 |     | はんだ接合条件の設定           | 0.5 mmピッチ対応技術サービス     |
|                |     | 実装の熱設計               | 放熱設計サービス              |
|                |     | 機器寿命予測               | はんだ接合寿命予想             |

注：略語説明 TAB(Tape Automated Bonding)

っている<sup>1),2)</sup>。一方、電子機器の機能を最大限に引き出すため、形状に自由度を持たせたTAB(Tape Automated Bonding)パッケージや、一つのパッケージの中に複数のチップを搭載し

\* 日立製作所 半導体設計開発センタ    \*\* 日立製作所 半導体設計開発センタ 理学博士    \*\*\* 日立製作所 機械研究所 工学博士



注：略語説明

QFP (Quad Flat Package)

PGA (Pin Grid Array Package)

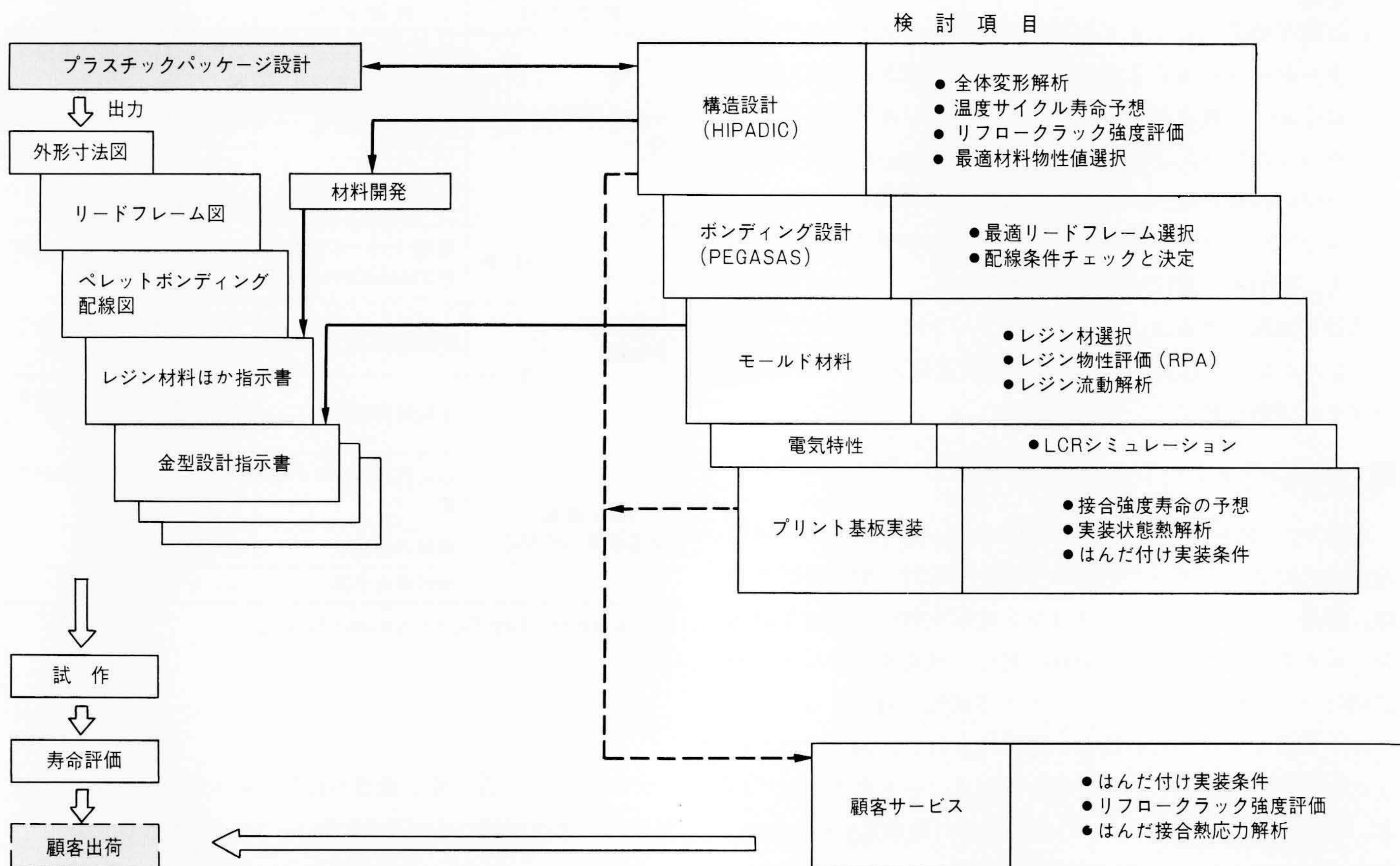
HSOI (Small Outline I Lead Package with Heat Sink)

図1 ASICパッケージ代表例 ASIC用パッケージには多ピン、薄形であること、さらに放熱性に優れていることなどが要求される。

たパッケージ、熱放散をくふうしたものなどがある。ASICパッケージの代表的なものを図1に示す。左から多ピン化ニーズ対応のQFP(Quad Flat Package)、プラスチックPGA(Pin Grid Array Package)、放熱性を考慮したHSOI(Small Outline I Lead Package with Heat Sink)、TABである。

時間短縮の要求に対しては、設計・製作時間短縮のために設計シミュレーション技術導入や新技術導入など合わせて行っている。前者は試作評価時間短縮、後者はパッケージの品

質向上、工程短縮を目的とする。開発したパッケージを顧客先で迅速に使用してもらえるようにプリント基板などに実装する技術など、はんだ接合の技術サービスも要求されている。特にゲートアレイ素子などに使う多ピンのQFPでは、使用個数も少なくプリント基板への実装条件出しを顧客先で行うことが難しくなっている。



注：略語説明 HIPADIC (Hitachi Package Design Analysis for IC), RPA (Resin Rheological Parameter Analysis)  
PEGASAS (Package Evaluation Guidance Simulation of Affinity with Chip Design System)

図2 パッケージ設計手順 ASIC用パッケージには、顧客ニーズに対応できるパッケージ設計技術と、プリント基板接合の実装条件サポート力が要求される。

### 3 パッケージ設計

### 3.1 パッケージ設計手順

主として使われているプラスチックパッケージは、図2の  
手順に従い開発している。パッケージの構成材質とLSI素子は、  
線膨張係数や各種材料物性が大きく異なるため、パッケージ  
形状とのバランスを最適化させて厳しい使用環境に耐えられ  
るように設計しておくことが重要である。日立製作所では、  
構造の最適化設計のためパッケージ設計支援システム  
HIPADIC (Hitachi Package Design Analysis for IC) を駆使  
し、パッケージ構成材料物性値を計算しその物性値を持った  
パッケージ材料の開発や、設計されたパッケージの使用環境  
下でのパッケージ寿命予測を行う。

LSI素子と適用パッケージの接続は、金線などの極細線で接合しモールド樹脂で固定化される。このときの結線は、誤配線のないこと、樹脂で固定する場合の樹脂の流動による結線位置の変位によってパッケージ品質の劣化などを発生させないことなどが必要となる。このための設計には、PEGASAS (Package Evaluation Guidance Simulation of Affinity with Chip Design System)を用いる。このシステムによってリードフレームの選択や設計などの支援を行う。

設計されたパッケージは、LSIチップを搭載した試作を行い信頼性寿命を確認したうえで顧客に出荷される。顧客ではプリント基板などにはんだ接続して使用されるので、はんだ接合の条件出し、熱設計、接合寿命予想なども行い市場で問題が生じないようにしている。

### 3.2 プラスチックパッケージ構造解析

機械的強度に関する技術課題について図3に示す。顧客先

使用条件下での熱応力によって、パッケージのレジクラックやチップクラック、金線の疲労破断などの問題がある。これらの問題を発生しないようにパッケージ構造を決定する。構造決定の手順はHIPADICシステムによって行う。顧客の要求仕様に基づく構造案について形状をモデル化し、寸法形状や材料物性情報などを入力し構造の信頼性評価を行う。信頼性評価判定は、過去の実力値との比較判定法によって行う。判定が不合格の場合には、構造の改良や新材料の開発を行う。この解析によってパッケージの設計開発をスピード化することができ、顧客要求に迅速に応じたパッケージを市場に出せるようになっている。

パッケージ厚さが1.0 mmと薄いTSOP (Thin Small Outline Package) の吸湿水分によるパッケージ品質を、HIPADICを用いて解析した例を図4に示す。厚さ1.0 mmの中にリードフレーム(厚さ0.15 mm)とペレット(厚さ0.4 mm)を搭載しワイヤボンダする構造で、リードフレームとパッケージ下面までの寸法が薄く、リードフレーム下面の水分が飽和状態になるのに85℃/65%の条件下で約6時間かかり、逆に飽和水分を脱湿するのに125℃、2時間でよいことがわかる。

### 3.3 PEGASASシミュレーション

構造が決定されると、チップとリードフレームの接続設計を行う。プラスチックパッケージの接続は、 $\phi 30\text{ }\mu\text{m}$ 前後の極細線を超音波熱圧着法によって1ワイヤ約0.1~0.2秒程度的高速ボンダを用いて行う。配線接続の設計には、高速ボンダで接合する場合の金線ループの挙動と、エポキシモールド樹脂のトランスファ成形工程での金線ループの変形挙動などを考慮した設計が要求される。日立製作所で開発したPEGASASはこの接続配線設計を最適化するものである。PEGASASシ

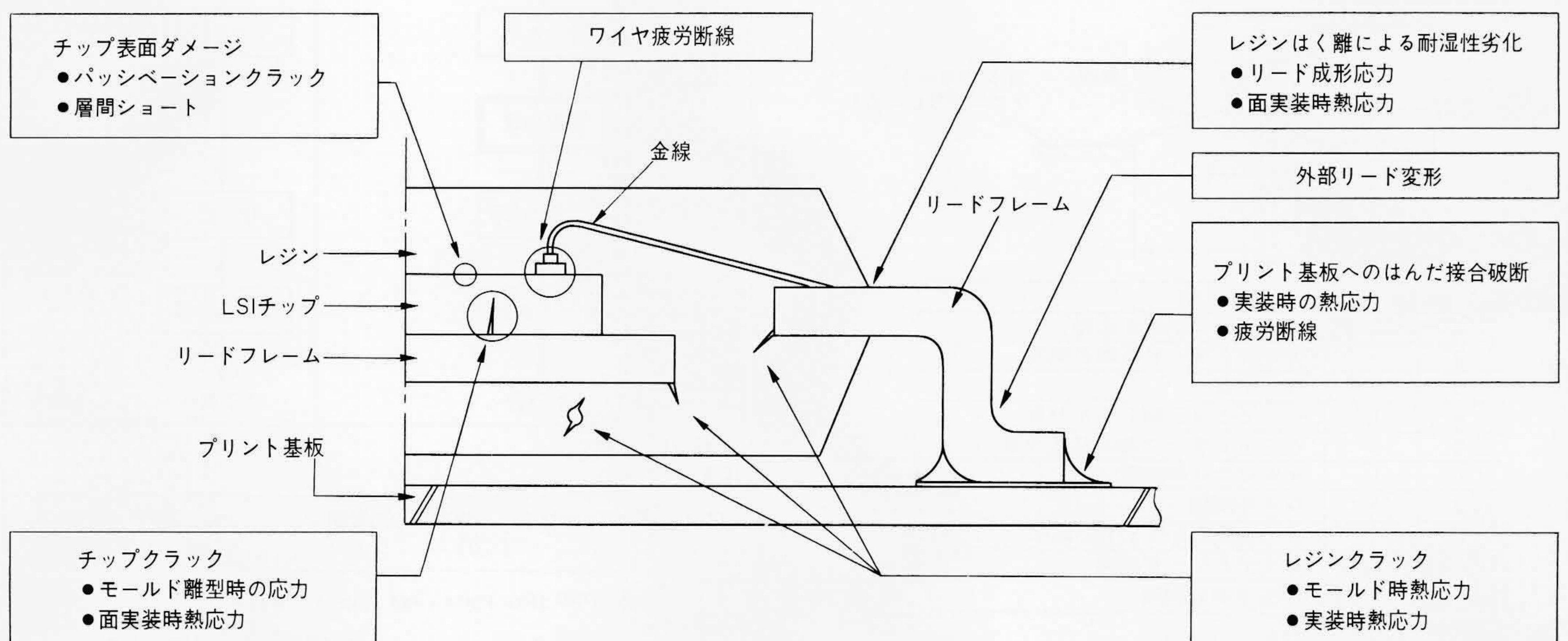


図3 LSIパッケージ機械的強度の技術課題 LSIパッケージは厳しい使用環境で受けるさまざまな機械的、熱的なストレスに耐えることのできる形状、材質であることが必要である。

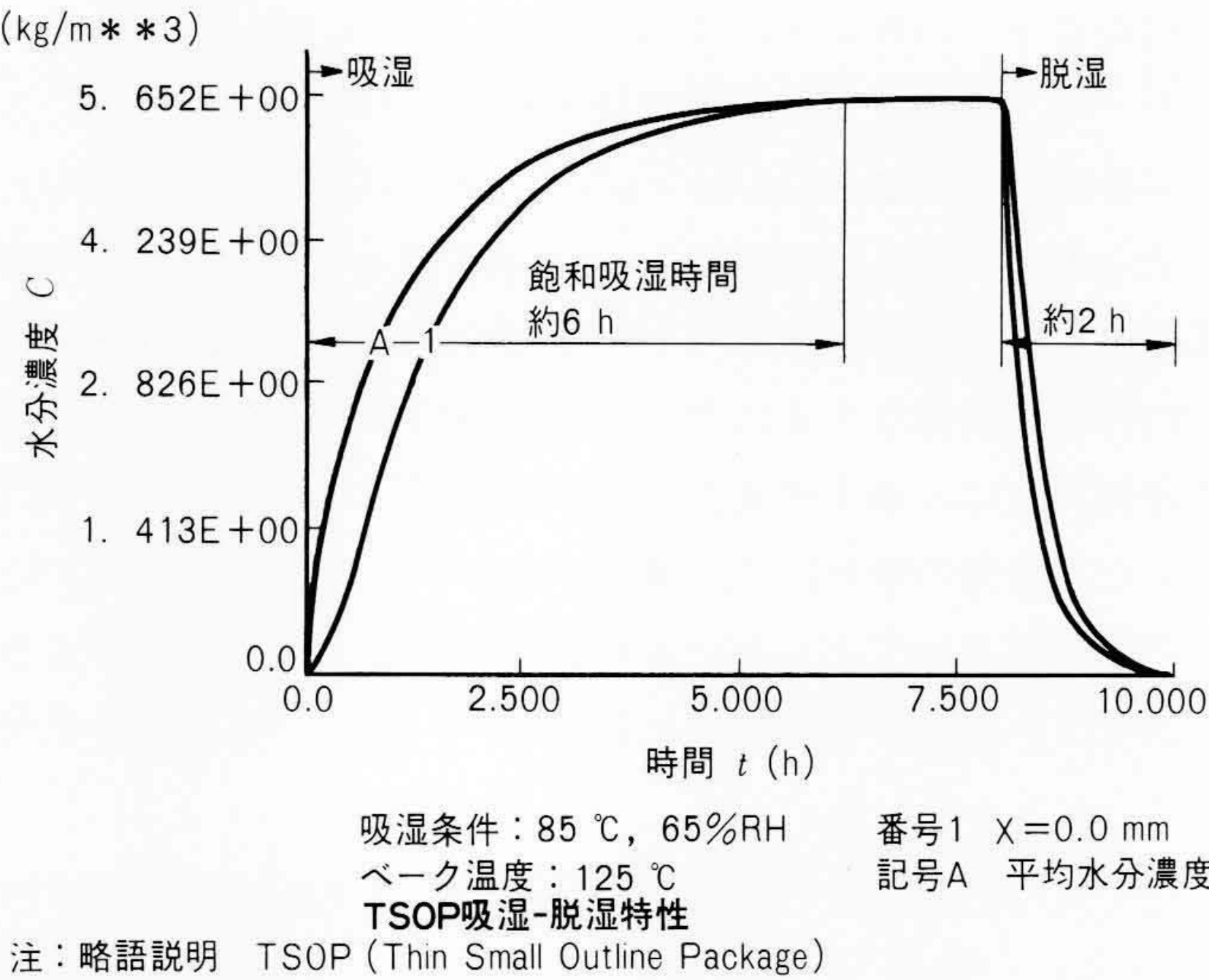
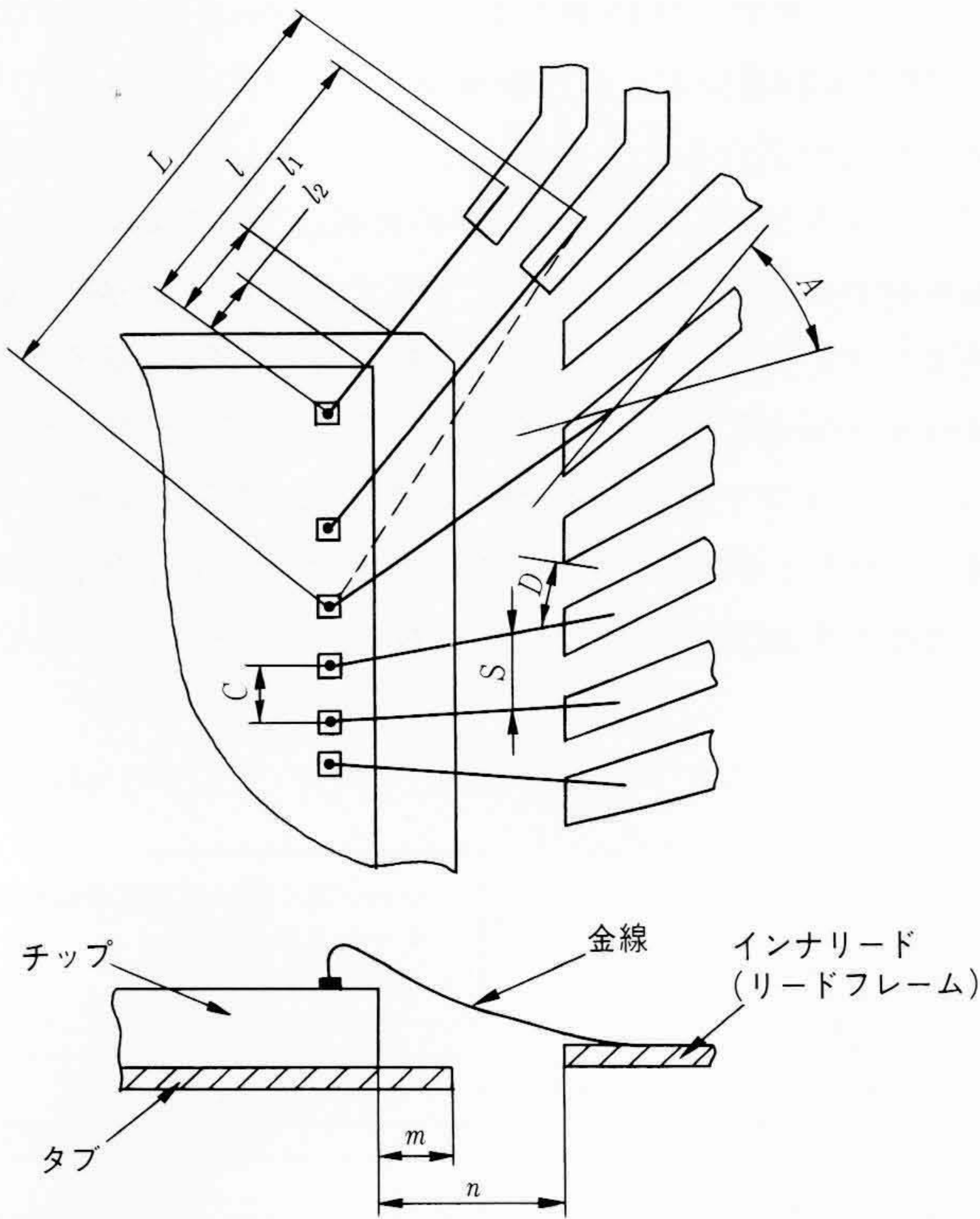


図4 HIPADICによるパッケージ吸湿-脱湿特性計算例 日立製作所が開発したパッケージの構造設計シミュレーション法により、実使用はんだ付け実装条件をパラメータにして、パッケージへのダメージなどを推定することができる。



| No. | 記号    | 説明            |
|-----|-------|---------------|
| 1   | $m$   | チップとタブの寸法差    |
| 2   | $n$   | チップとリード先端の間隔  |
| 3   | $l$   | ワイヤ長          |
| 4   | $h_1$ | パッドとタブ端のワイヤ長  |
| 5   | $h_2$ | パッドとチップ端のワイヤ長 |
| 6   | $L$   | キャピラリ移動量      |
| 7   | $S$   | ワイヤ間隔         |
| 8   | $A$   | リード先端とワイヤの関係  |
| 9   | $D$   | ワイヤとリード間隔     |
| 10  | $C$   | パッド中心間隔       |

図5 ボンディング配線設計システムPEGASAS 日立製作所開発のペレットとリードフレームの結線チェックシステムにより、短時間に誤配線の無いAu線接続設計が可能である。

ミュレーションの機能は、最適リードフレームの選択・配線設計された接続配置関係の良否判定・適用リードフレームでのチップのボンディングパッド配置指定などを行う。

図5は、PEGASAS機能での接続配置設計の配置位置関係が正しいかどうかを判定するものである。配線位置のチェックは金線長、金線とチップ端、金線とリードフレーム端の関係、金線とリードフレーム間隔など、量産データをもとに決めた判定基準に従って行う。この判定で不合格になった場合には、新しいリードフレームを設計したり、チップのパッド配置位置の変更などを行う。

PEGASASは、ゲートアレイ素子等多ピン素子の配線や、小形パッケージに大形チップを搭載するDRAMなど大容量メモリ用小形パッケージなどASIC用パッケージの設計にきわめて有効な武器になっている。

3.4 新技術導入による時間短縮

パッケージの組立工程での時間短縮は、工程一貫化による

| 項目       | 従来構造                                                                                                                                               | PPFリードフレーム                                                                                                                      |
|----------|----------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------|
| 表面処理工程   | モールド後                                                                                                                                              | リードフレーム製作時                                                                                                                      |
| LSI組立工程  | <div>ウェーハ受け入れ<br/>↓<br/>ペレタイズ<br/>↓<br/>ダイボンド<br/>↓<br/>ボンディング<br/>↓<br/>モールド<br/>↓<br/>表面処理<br/>↓<br/>捺(なつ)印<br/>↓<br/>リード成形<br/>↓<br/>次工程へ</div> | <div>ウェーハ受け入れ<br/>↓<br/>ペレタイズ<br/>↓<br/>ダイボンド<br/>↓<br/>ボンディング<br/>↓<br/>モールド<br/>↓<br/>捺印<br/>↓<br/>リード成形<br/>↓<br/>次工程へ</div> |
| 工程一貫自動化  | ×                                                                                                                                                  | ○                                                                                                                               |
| 時間短縮(比率) | ダイボンドから捺印までの時間(1.0)                                                                                                                                | 同左(0.5)                                                                                                                         |

注: 略語説明 PPF (Pre Plate Lead Flame)

図6 はんだ先付けリードフレーム採用による時間短縮比較 PPFリードフレームを使うことにより、工程の一貫化が可能となり大幅な工程短縮ができた。

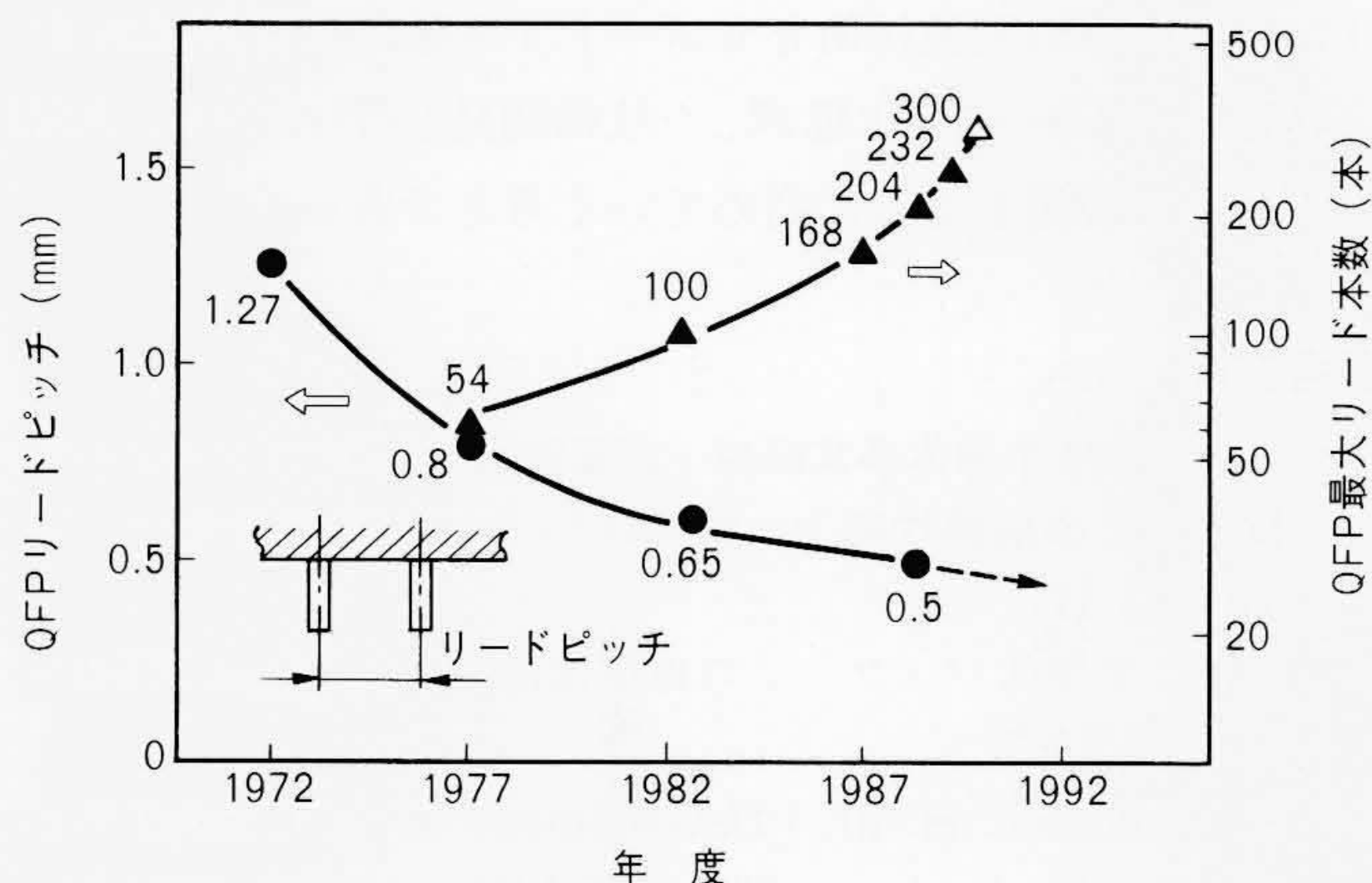
段取り時間の短縮を行う合理化装置の適用とともに、工程数の短縮を行う技術が開発され製品に適用されるようになっていく。図6は、工程時間のもっとも長いモールド後にリード表面にすず-銅めっきを施す工程を、組立工程から排除するPPF(Pre Plate Lead Frame)リードを適用した場合の時間短縮比率を従来構造のモールドタイプパッケージと比較した例である。PPFは、リードフレームメーカーであらかじめ所定部分にめっきを施しておく方法のため、LSI素子を組み立てた後でのめっき工程を省略できる。この工程フローを用いることによって従来の工程時間を約半分に短縮でき、またダイボンド工程からリード成形工程までの工程一貫自動化へも対処できるものになる可能性も秘めている。工程時間の短縮は、顧客への迅速な納入を必要とするASIC用LSIにとって有効であり、日立製作所ではマスクROMから適用を開始した。

また、パッケージの多様化ニーズに迅速に対処していくうえで障害となっていたリードフレームの設計製作時間を短縮する方法として、金線にあらかじめ樹脂を塗布した被覆金線の技術も開発した<sup>3)</sup>。この技術を使用すると、金線の相互干渉、チップやリードフレームへの接触をさせた設計ができるため、リードフレームとチップの接続配線に自由度が増す。このため、ASICパッケージの基本技術として期待できる。

## 4 プリント基板実装技術

### 4.1 QFP多ピン化対応技術

QFPは、アウトリードピッチを狭ピッチ化することで、多ピン化処理を実現できる構造のパッケージであり、日立製作所が開発して世界的に使用されるようになり、世界標準パッケージとして認知され多ピン表面実装パッケージの代表的パッケージになっている。このパッケージのリードピッチは、1.0 mm→0.8 mm→0.65 mm→0.5 mmと約5年ごとに80%



注：略語説明 QFP (Quad Flat Package)

図7 QFPの多ピン化とリードピッチの狭小化 QFPの多ピン化は、リードピッチの狭小化技術やパッケージ大形化に伴うインダクタンス成分低減化技術などとともに進展している。

程度の縮小化技術とともに進展しており、現在0.5 mmピッチのはんだ溶融接合が量産化できるようになっていて(図7参照)現在200ピンを超えるものも使われている。リードピッチが0.5 mmの製品をプリント基板上で一括処理ではんだ接合するためには、プリント基板はんだペースト、スクリーン印刷機、部品搭載機、リフロー装置などの総合技術の向上と合わせて達成される。図8は、はんだ粒子形状とスクリーン印刷性の関係を調査したものである<sup>4)</sup>。通常使用されている不定形形状のはんだ粒をブレンドした不定形ペーストでは、連続印刷できる可能枚数が少ないが、0.5 mmピッチ対応のはんだ粒子形状を球形とし、粒子コントロールした球形ペーストによって0.65 mmピッチと同程度の印刷性にすることができる。しかし、0.4 mmではスクリーン印刷性が極端に悪化するため、もう一段の技術改良が必要となっている。はんだ接合技術はじみ�な技術であるが、実装技術の基本技術の一つとして開発が進んでおり、近い将来0.3 mm程度のリードピッチのはんだ溶融接合技術が開発されるものと思われる。

### 4.2 放熱設計技術

LSIの高速化に伴いチップ自体の発熱による素子特性の変動を抑えるため、パッケージからの放熱性を高めることが必要になっている。図9は、パッケージの熱抵抗 $\theta_{ja}$ を低くする手法について調べたものである。パッケージに放熱のための外付けフィンを取り付けることによって半分の抵抗にできること、また放熱ファンによる風を送風させることによって初期に比べて $\frac{1}{10}$ 程度までに低くすることができる。

日立製作所では実装状態での熱設計をサポートする技術として、熱抵抗計算のための解析プログラム(日立製作所機械研究所開発) THERNAP (Thermal Resistance Network Analysis Program) がある。この解析プログラムは、各種パッケージ構造の基板実装条件、風や周囲温度の環境条件の効果を短時間に計算できるものである。図9は、THERNAPによって計算したものである。

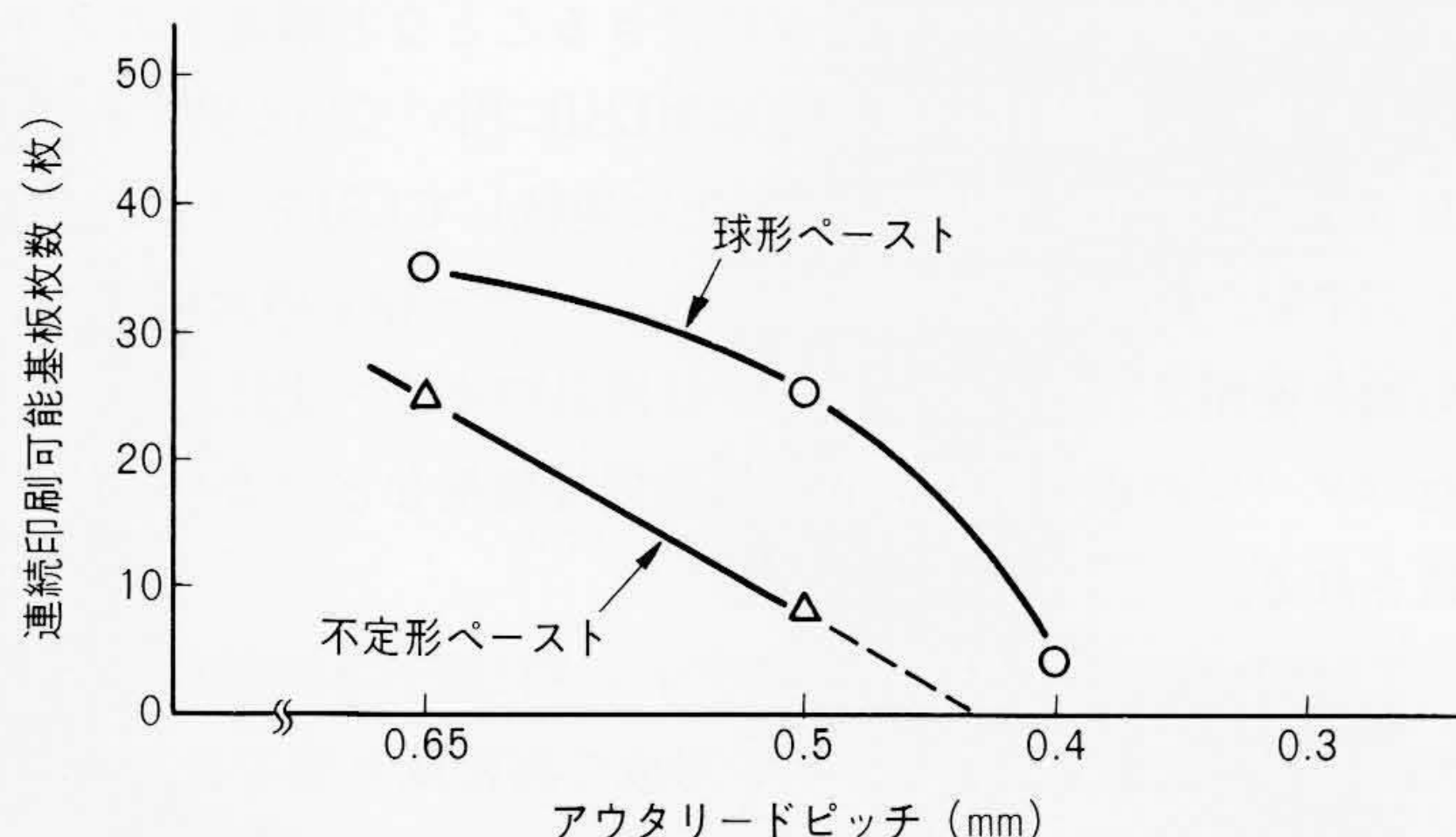
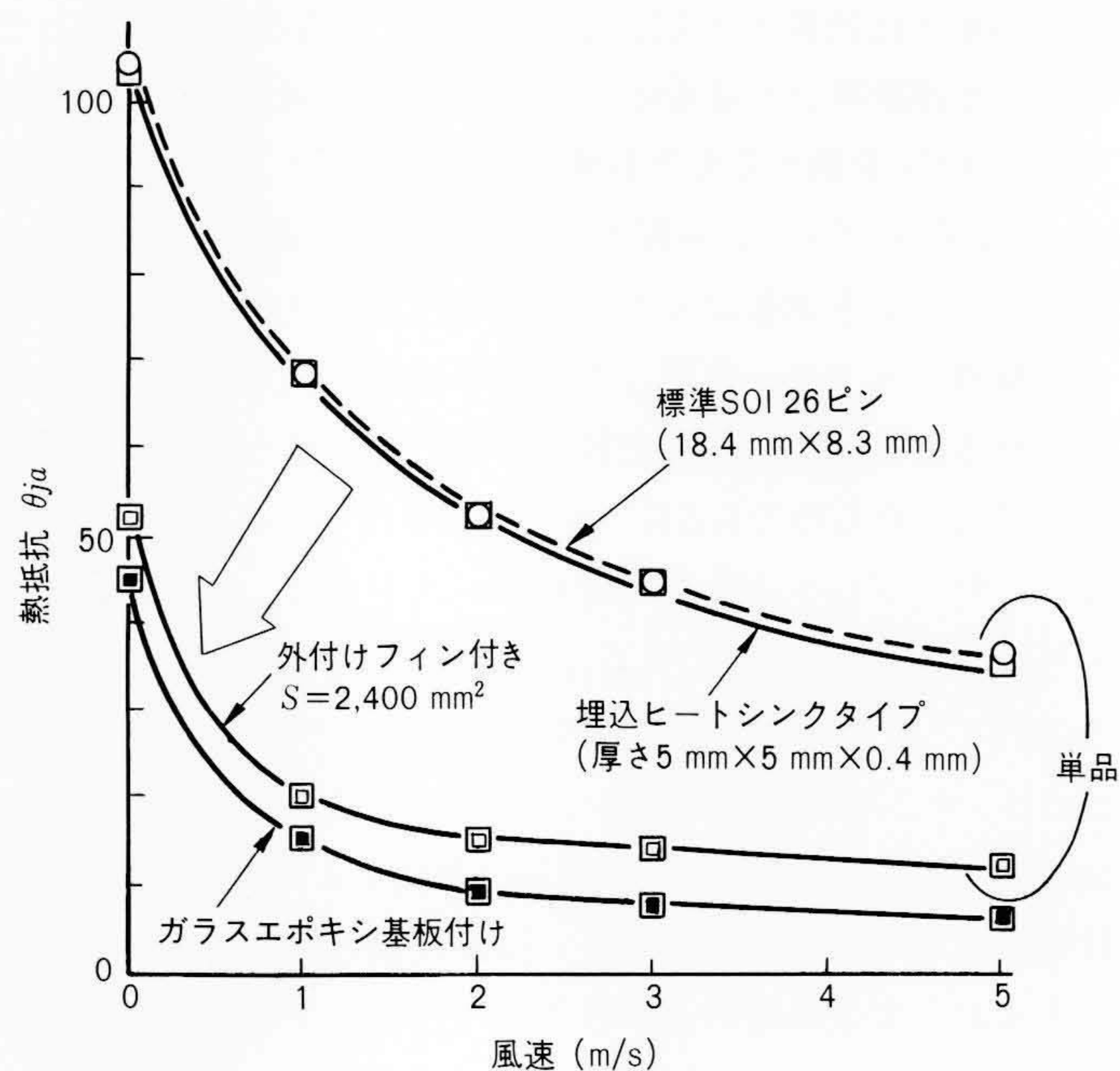


図8 はんだ粒子形状と印刷性 QFPのリードピッチが狭くなるに従い、スクリーン印刷法による印刷性が悪くなるが、はんだペースト粒子を球形化することによって改善される。



注：略語説明 SOI (Small Outline I Lead Package)

図9 プリント基板実装の実装条件と放熱性 チップの発熱による特性変動を抑えるため、パッケージに外付けフィンを取り付けることと、ファンによって風を送ると抵抗を大幅に下げられる。

ASIC化によってLSIの多様化が進んでいるので、個別製品で実装条件を実験で求めることが難しくなりつつあり、はんだ付け実装条件や実装熱設計を支援して顧客の新製品立上げ時間の短縮に協力していくことが求められている。日立製作所のパッケージ設計製作グループでは、この種の実装のサポート技術に対しても業界に先駆けて準備している<sup>5),6)</sup>。

5 TABパッケージ

顧客の電子機器にパッケージ形状を合わせるASICパッケージとしてTABパッケージがある。TABパッケージの特徴は、モールドパッケージに比較して表2に示すような特徴がある。TABパッケージは、チップの保護を液状樹脂で行うこと、配線パターンを薄膜銅はくのエッチング加工で製作するため狭ピッチ化の多ピンパッケージにできることなど構造上のメリットが多い。同表は、液晶表示用LSIに用いている例である。35 mm幅のポリイミドフィルム上に連続してLSIをパッケージングする。LSIの電気特性評価後、ユーザー指定の大きさに打ち抜き使用される。パッケージは液晶のガラス上に形成されたパターンのネサ膜上に異方性導電接着剤などにより直接接続される。

TABの技術は、ワイヤボンディングに変わる接続技術として開発されてきたが、パターン形成で高密度実装できること、パッケージの厚みを薄くできること、多ピン接合を一括熱圧着接合できることなどにより、多ピンニーズの強い液晶表示駆動用LSIの基本パッケージとなりつつある。TABの実装技

表2 TABパッケージの特徴 TABパッケージは、形状を自由にとれること、リードピッチが狭小ピッチにできるため多ピンにでき、カスタムパッケージとして代表的なパッケージである。

|          |           | モールドパッケージ | TABパッケージ |
|----------|-----------|-----------|----------|
| 構造       | 自由度       | △         | ○        |
|          | 狭ピッチ化     | △         | ○        |
|          | 強度        | ○         | △        |
| 信頼性      | 温度サイクル性   | ○         | △        |
|          | 耐湿性       | ○         | ○        |
| プリント基板接合 | はんだ付け一括処理 | ○         | △        |
|          | 異方性導電接合   | △         | ○        |

術は、アウトリード接合の狭ピッチ化と同時にチップとインナリードパターンの接合ピッチも狭ピッチ化できるメリットがある。日立製作所では、チップのパッドピッチ100 μm以下のワイヤボンディングできない領域のLSIに対し、TAB接合をして200ピン以上のLSIを量産中である。

6 結 言

ASICパッケージ技術は、顧客ニーズの多様化に伴います難しいものになってきており、パッケージ技術の成否がLSIの使命を制すると言われるように重要になってきている。日立製作所では、パッケージ設計開発を迅速に行うために、パッケージの使用環境下での材料物性挙動解析や信頼度寿命予測解析手法を充実させて、信頼度の高いパッケージを市場に送り出してきた。ASICパッケージ開発には、これら設計手法が大きな武器となっている。また、製品の寿命サイクルが短くなって顧客の新製品立上げスピードも速くなっており、プリント基板への実装技術をサポートする技術も好評である。

顧客、メーカーなどと協調した技術開発を行いながら、ASICパッケージ技術をさらに高めていく考えである。

参考文献

1) 日立製作所半導体事業部編：表面実装形LSIパッケージの実装技術とその信頼性向上-第2章パッケージの標準化-, 38~53(昭63-11)

2) 柴田：半導体パッケージの標準化活動, Semicon NEWS, 84~88(平1-7)

3) S. Okikawa, et al.: Development of a Coated-Wire-Bonding Technology, 39th ECC 1989, pp.736~742(平1-5)

4) 大塚, 外：多ピン対応のQFPパッケージ技術動向, Semicon NEWS, 15~23(1989-10)

5) 日立製作所半導体事業部編：日立面実装形パッケージマニュアル(平1-3)