

最近のDRAM技術

Recent DRAM Technology

MOS DRAM(Dynamic RAM)は、応用機器の高性能化に伴い、高速・大容量化が引き続き求められている。これらの要求に対し、 $0.8\mu\text{m}$ CMOSプロセス、 $1.3\mu\text{m}$ BiCMOS(Bipolar CMOS)プロセス技術および高速・低消費電力回路技術を開発し、これらの技術を駆使した4 MビットDRAM、1 MビットBiCMOS DRAMを実現した。4 MビットDRAMでは、STC(Stacked Capacitor)メモリセル構造、多層配線技術、交差駆動形センス方式などの採用により、高速・高信頼性を実現した。1 MビットBiCMOS DRAMでは、BiCMOS化するメリットを生かし、世界最高速のアクセス時間35 nsを達成した。

飯島 肇* *Hajime Iijima*
堀 陵一* *Ryōichi Hori*
松本哲郎** *Tetsurō Matsumoto*
石原政道** *Masamichi Ishihara*

1 緒 言

MOS DRAM(Dynamic RAM)は、大形計算機からパーソナルコンピュータ、エンジニアリングワークステーションに至るまで幅広く使用され、その記憶容量は、3年で4倍の割合で増加してきた。これらの用途には、現在、主として1 MビットDRAMが使用されているが、応用機器の高性能化に伴い、さらに高速・大容量のDRAMが求められている。

このような市場のニーズにこたえて、4 MビットDRAM、1 MビットBiCMOS(Bipolar CMOS) DRAMを製品化した。さらに、次世代の高速・大容量メモリとして16 MビットDRAMを開発中である。

4 MビットDRAMは、 $0.8\mu\text{m}$ CMOSプロセス技術を用い、第一世代品でアクセス時間80 ns、第二世代品シュリンク版でアクセス時間60 nsを実現した。

1 MビットBiCMOS DRAMでは、デバイス技術や高速化回路技術により、世界最高速のアクセス時間35 nsを実現した。

また、16 MビットDRAMでは、消費電力、デバイス信頼性の面より、新たに内部電源降圧技術を採用した。本論文では、これらの製品仕様、プロセス技術および回路技術について述べる。

2 4 MビットDRAM^{1), 2)}

2.1 仕 様

製品概要を表1に、主要電気的特性を表2に示す。アクセス時間は、第一世代品で80 ns、100 ns、第二世代品で60 ns、70 ns、80 nsの3種類がある。特に60 nsは、CMOS DRAMでは世界最高速である。動作時電流は、CMOS回路の採用によ

って80 mA typ. を実現した。また、データリテンション電流 $300\mu\text{A}$ を保証した低消費電力版も製品化した。仕様を表3に示す。高速動作機能としては、高速ページモード(HM514100・HM514400)、ニブルモード(HM514101)、スタティックコラムモード(HM514102・HM514402)の3モード以外に、新たにライトパービットモード(HM514410)を製品化した。ライトパービットモードのタイミング波形を図1に示す。 $\overline{\text{RAS}}$ (Row Address Strobe)の立ち下がり時に $\overline{\text{WB}}$ (Write per Bit)/ $\overline{\text{WE}}$ (Write Enable) = “H”であれば、従来の全I/Oへの書き込み動作となり、 $\overline{\text{WB}}/\overline{\text{WE}}$ = “L”であれば、ライトパービットモードとなり、書き込むI/Oを任意に選択できる。書き込むI/Oの選択は、各I/Oの“H”/“L”の状態を参照する。 W/IO = “H”のI/Oに関しては、同一 $\overline{\text{RAS}}$ サイクル中の動作で書き込みが可能となり、 W/IO = “L”のI/Oに関しては、そのI/Oだけ書き込みが禁止される。このように、I/Oごとの書き込みが可能になり、パリティビットへの応用が考えられる。

2.2 プロセス技術

(1) $0.8\mu\text{m}$ CMOSプロセス技術

1 MビットDRAM同様、Al 2層配線技術を用い、ワード線遅延を最小にするとともに、周辺回路の高速化も図っている。配線パターンの微細化に伴うエレクトロマイグレーション、ストレスマイグレーションの問題に対しては、積層Al配線構造の採用によって、従来以上のレベルを確保した。また、平坦化技術面では、BPSG(Boron Phospho Silicate Glass)、SOG(Spin On Glass)のほかに、新材料TEOS(Tetra Ethyloxy Silane)の採用により、各層間の段差を大幅に低減した。

* 日立製作所 半導体設計開発センタ ** 日立製作所 デバイス開発センタ

表1 4 MビットDRAM 製品概要 0.8 μm CMOSプロセス技術および新回路技術により、高速・高性能・高信頼度メモリが実現できた。

項 目		第 一 世 代		第 二 世 代	
機 能	メ モ リ 構 成	4 M×1	1 M×1	4 M×1	1 M×4
		高速ページ	高速ページ	高速ページ	高速ページ
		ニブル	ライトパービット	ニブル	ライトパービット
		スタティックカラム	スタティックカラム	スタティックカラム	スタティックカラム
ア ク セ ス 時 間 (ns)		80・100		60・70・80	
パ ッ ケ ー ジ		350 mil SOJ 400 mil ZLP		300/350 mil SOJ 400 mil ZiP TSOP	
チ ッ プ サ イ ズ (mm ²)		5.91×15.22(89.9)		5.63×12.72(71.6)	
メ モ リ セ ル	セ ル サ イ ズ (μm ²)	2.0×5.7(11.4)		1.85×4.31(7.97)	
	セ ル 容 量 (fF)	25		同左	
プ ロ セ ス	プ ロ セ ス	0.8 μm CMOS		同左	
	ポ リ シ リ コ ン	3 層		同左	
	Al	2 層		同左	
	Al 層 間 絶 縁 膜	P-SiO		P-TEOS	
メ モ リ セ ル ア レ ー 分 割		32分割		16分割	
セ ン ス ア ン プ 回 路		交差駆動形センス方式		同左	

注：略語説明 SOJ(Small Outline J-Lead Package), ZIP(Zigzag In-line Package)
P-SiO(Plasma SiO₂), P-TEOS(Plasma Tetra Ethyloxy Silane)

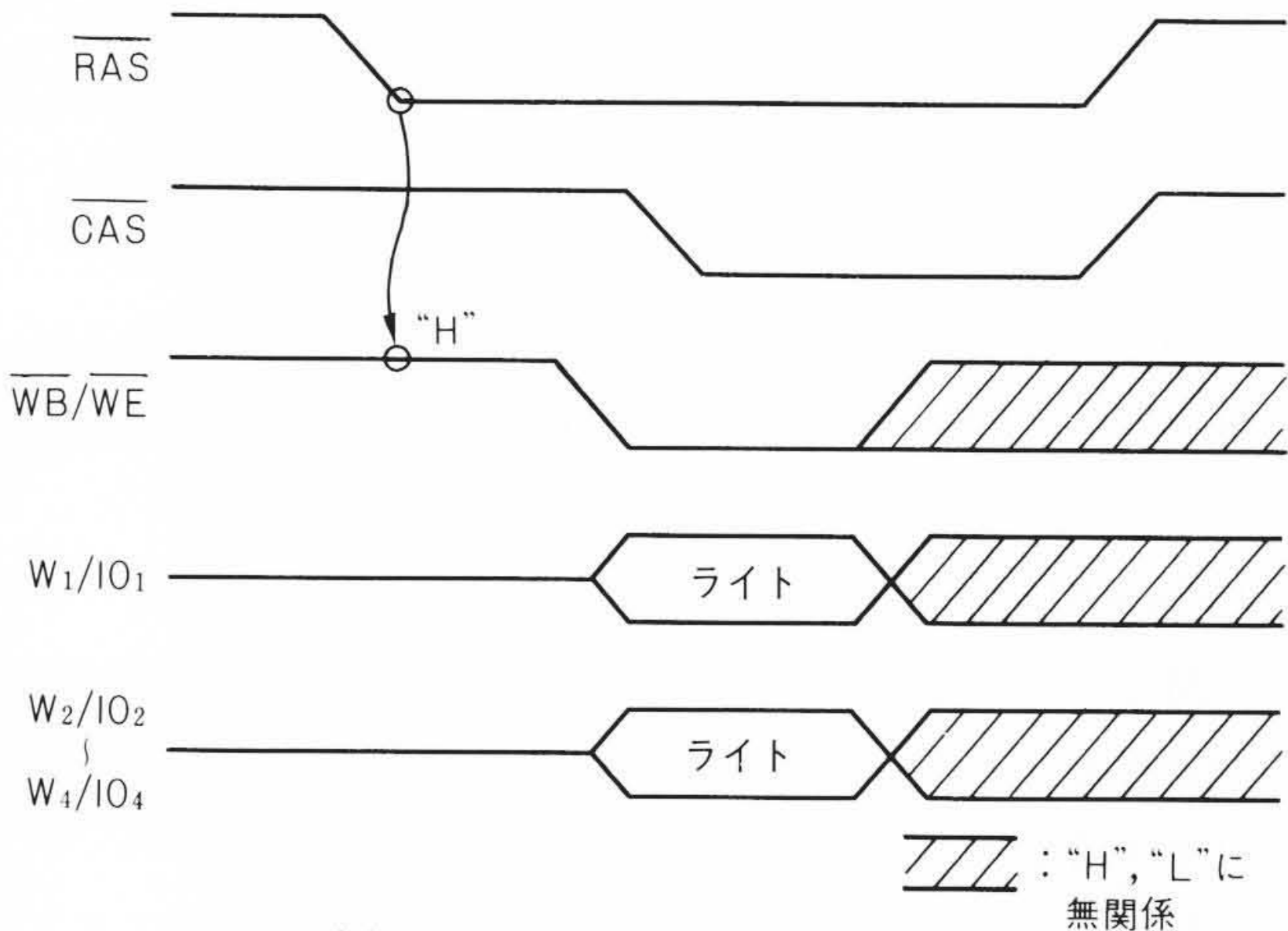
表2 4 MビットDRAM主要電気的特性 4 MビットDRAM第二世代品でアクセス時間60 ns，動作時電流110 mA，スタンバイ電流 2 mAと高速・低消費電力が実現できた。

項 目		記号	第 一 世 代	第二世代
電 源 電 圧 (V)		V _{CC}	5.0±10%	同左
ア ク セ ス 時 間 (ns)	RASアクセス時間	t _{RAC}	80・100	60・70・80
	CASアクセス時間	t _{CAC}	25・25	15・20・20
	アドレスアクセス時間	t _{AA}	40・45	30・35・40
サ イ ク ル 時 間 (ns)		t _{RC}	150・180	110・130・150
リ フ レ ッ シ ュ 周 期		t _{REF}	16 ms/1,024サイクル	同左
消 費 電 流	動 作 時 (mA)	I _{CC1}	90・80	110・100・90
	待 機 時			
	TTLレベル (mA)	I _{CC2}	2	同左
入 カ レ ベ ル (V)				
	CMOSレベル (mA)		1	同左
入 カ レ ベ ル (V)	V _{IH}	2.4 Min./6.5 Max.	同左	
	V _{IL}	-2.0 Min./0.8 Max.		
出 カ レ ベ ル (V)	V _{OH}	2.4(I _{OH} =-5 mA)	同左	
	V _{OL}	0.4(I _{OL} =4.2 mA)		

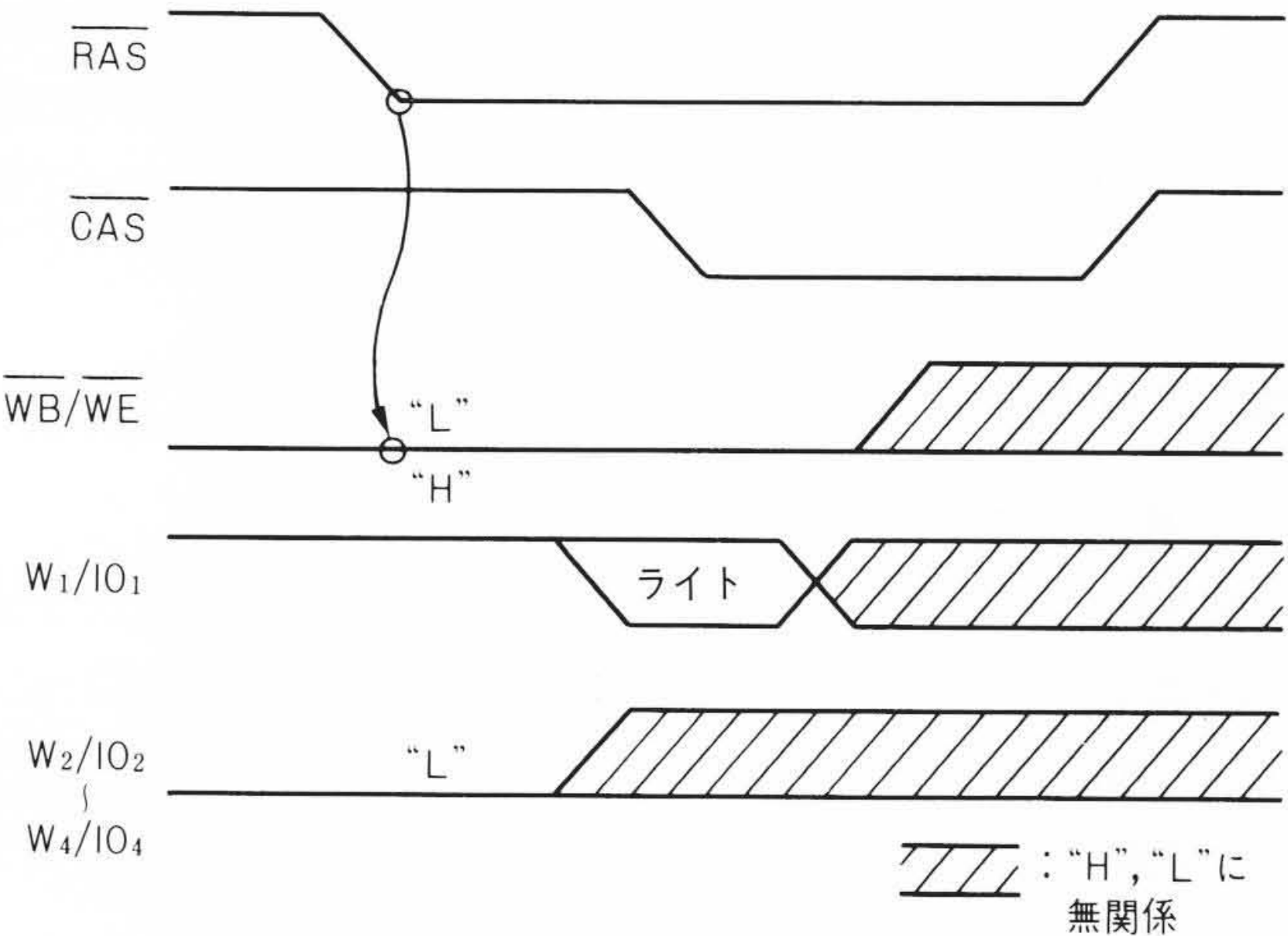
注：略語説明 RAS(Row Address Strobe), CAS(Column Address Strobe)
TTL(Transistor Transistor Logic)
WE(Write Enable), CBR(CAS Before RAS)

表3 低消費電力版仕様 データリテンション電流300 μAを保証した低消費電力版を製品化した。

項 目	仕 様	備 考
製 品 名	HM514100LJP	4 M×1
	HM514400LJP	1 M×4
スタンバイ電流 (CMOSインタフェース)	200 μA Max.	RAS, CAS, WE ≥ V _{CC} -0.2 V
データリテンション電流	300 μA Max.	t _{RC} = 125 μs t _{REF} = 128 ms V _{IH} ≥ V _{CC} -0.2 V CBR リフレッシュ
リ フ レ ッ シ ュ 周 期	128 ms	1,024サイクル



(a) 従来モード



(b) ライトパービットモード

図1 ライトパービットモードのタイミング 4 MビットDRAMライトパービットモードの動作原理を示す。

(2) STCメモリセル構造

ソフトウェア耐性に優れ、かつ高集積化に適したSTC (Stacked Capacitor) メモリセル構造の採用によって、高信頼性、小チップ面積(71.6 mm^2)が実現できた。チップ写真を図2に示す。また、STCメモリセル構造を図3に示す。SG(第2ゲート電極)とTG(第3ゲート電極)間に絶縁膜を形成することによってメモリセル容量とし、メモリセル容量部の接合面積を小さくした。そのため、外部からの α 線でSi基板中に発生する電子-正孔対の影響を受けにくく、ソフトウェア耐性に優れた構造とすることができた。

2.3 回路技術

(1) メモリアレー分割

第一世代品のメモリアレーおよび周辺回路ブロックを図4に示す。4 MビットDRAMでは、高速化のためAl2層配線を用いた。また、ワード線にポリSiとAl(2層目)の裏打ち構造を用い、ワード線遅延を最小に抑えた。また、ワード線のチップ長辺方向を $\frac{1}{2}$ に分割して、中央から駆動することによってワード線遅延を最小とした。ビット線には、Al(1層目)を用い、16分割することによってビット線容量を低減し、読出し信号量マージンを確保した。以上の結果、高速かつ動作マージンのあるメモリアレーが実現できた。

(2) 交差駆動形センス方式

大容量化に伴い、高速性を維持するためには、センスアンプを駆動する共通ドライブラインの寄生容量を低減させることが必要である。そこで、センスアンプの半数が逆バイアスとなって、オフ状態となり、同時に動作するセンスアンプ数を半分にできる交差駆動形センス方式を採用した。これによ

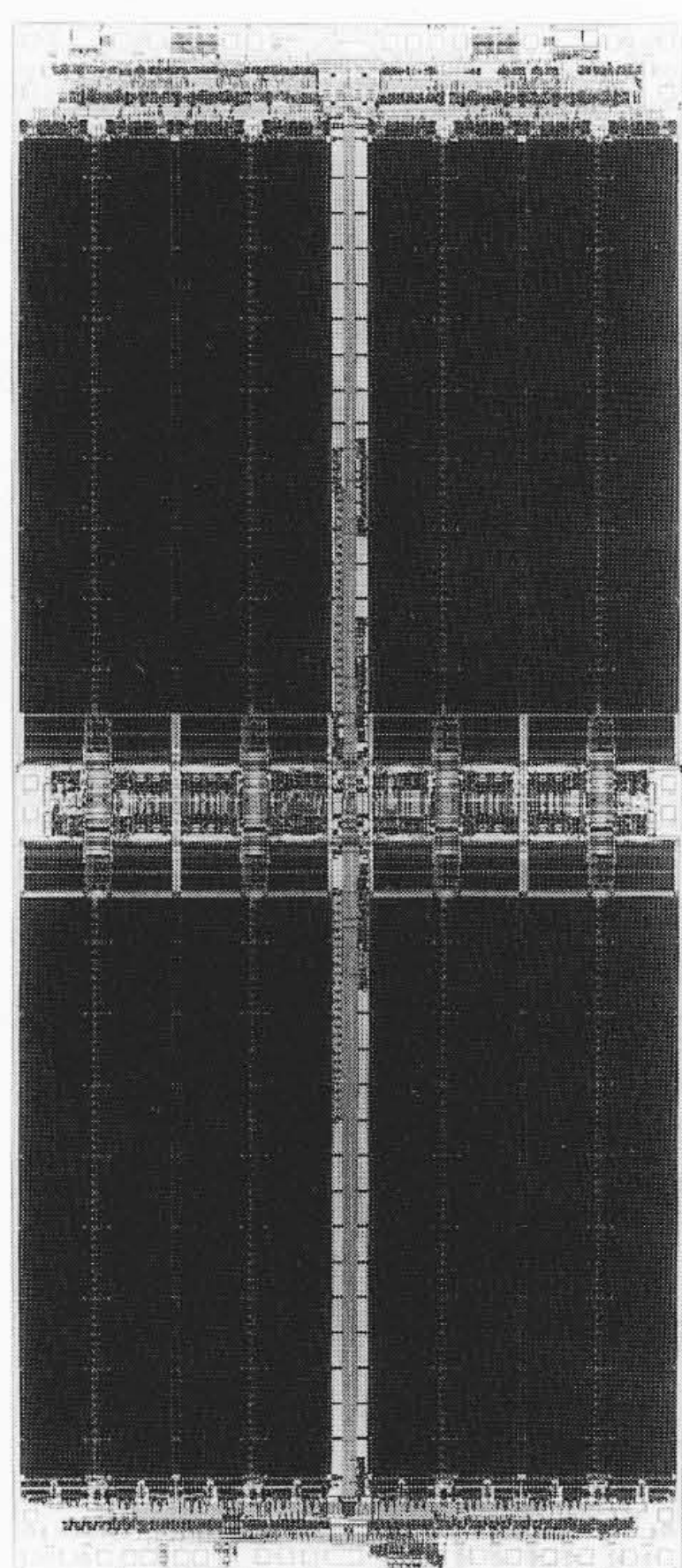


図2 チップ写真 チップサイズは、 $5.63 \text{ mm} \times 12.72 \text{ mm}$ である。

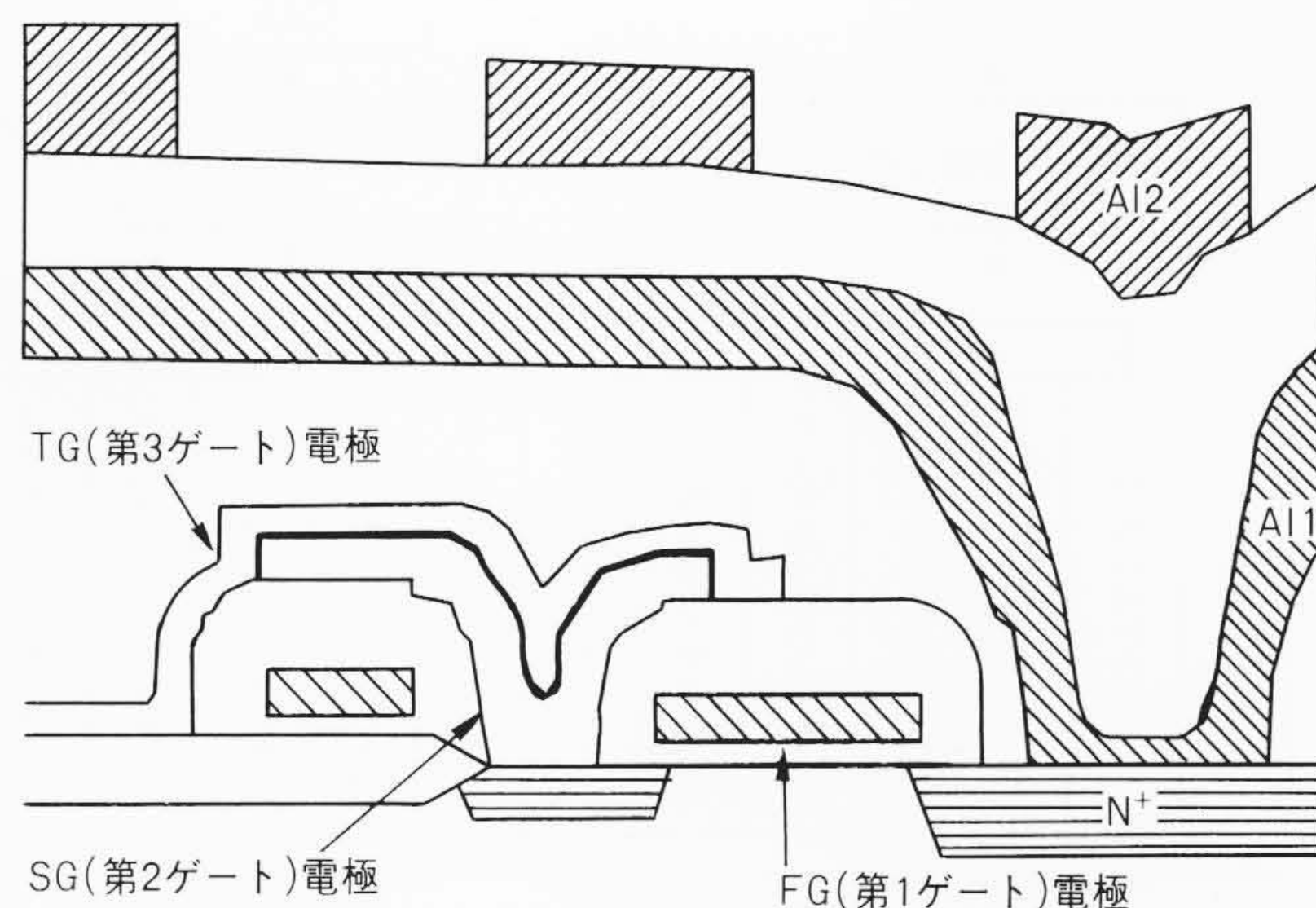


図3 STCメモリセル構造 4 MビットDRAM STC(Stacked Capacitor)メモリセル構造を示す。ソフトウェア耐性に優れかつ高集積化に適した構造であり、高信頼性、小チップ面積が実現できた。

り、駆動回路の全負荷容量を $\frac{1}{2}$ にすることができ、従来方式に比べてアクセス時間で10 ns、サイクル時間で20 ns高速化することができた。センス方式および高速化の概念を図5、6に示す。

(3) 周辺回路の最適分散配置

第二世代品のチップレイアウトを図7に示す。本製品では、周辺回路をチップ上辺、中辺、下辺および中央部に分散配置した。XおよびYアドレスバッファは、入力パッドに近い下辺に、入出力系は、入出力パッドに近い上辺に配置した。また、ワード系回路はすべてXデコーダ、ドライバ回路に近い中辺に配置し、ワード線の立ち上がり速度を5 ns高速化した。さらに、ゲート寸法の最適化、アクセスパスの論理段数の最適化などによって、第一世代品よりも13 ns高速化し、アクセス時間60 nsを実現した。

3 1 MビットBiCMOS DRAM^(3)~7)

3.1 仕様

製品概要を表4に、主要電気的特性を表5に示す。ビット構成は1 Mワード×1ビット(HM571000)と256 kワード×4ビット(HM574256)の2種類を製品化した。アクセス時間は、35 ns、40 ns、45 nsの3種類である。ピン配置を図8に示す。従来のアドレスマルチプレクス方式では、アドレスの切替が困難になり、超高速DRAMの性能を生かしきれなくなるため、非アドレスマルチプレクス方式を採用した。そのため、アドレスピンがCMOS DRAMの2倍となった。パッケージは、28ピンSOJに収納した。リフレッシュサイクルは、汎(はん)用1 MビットDRAMと同じ512サイクルである。リフレッシュ方式は、CEオンリーリフレッシュとオートリフレッシュの2種類がある。これは、それぞれ汎用DRAMのRASオンリーリフレッシュおよびCASビフォRASリフレッシュに相当するもの

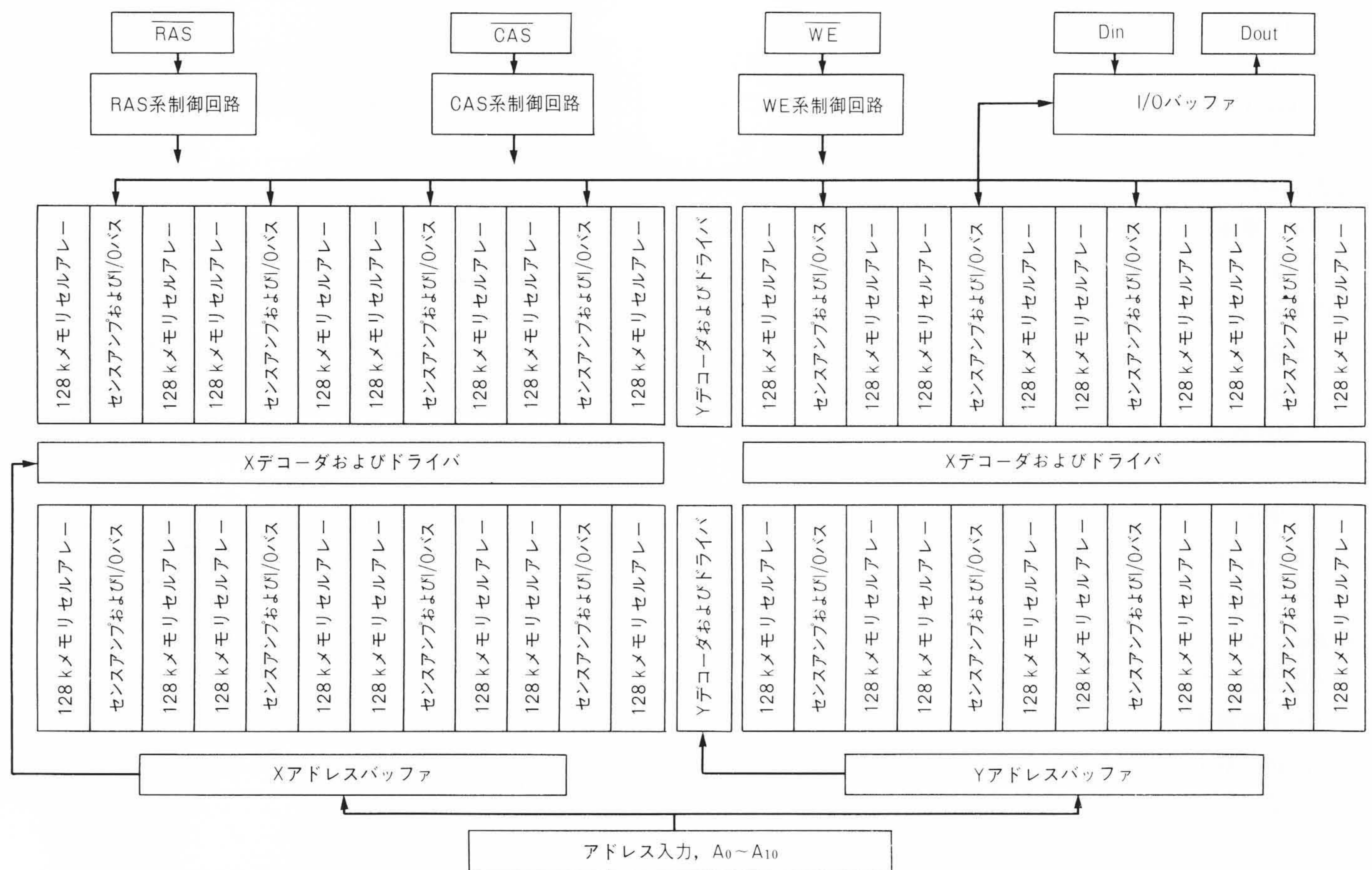
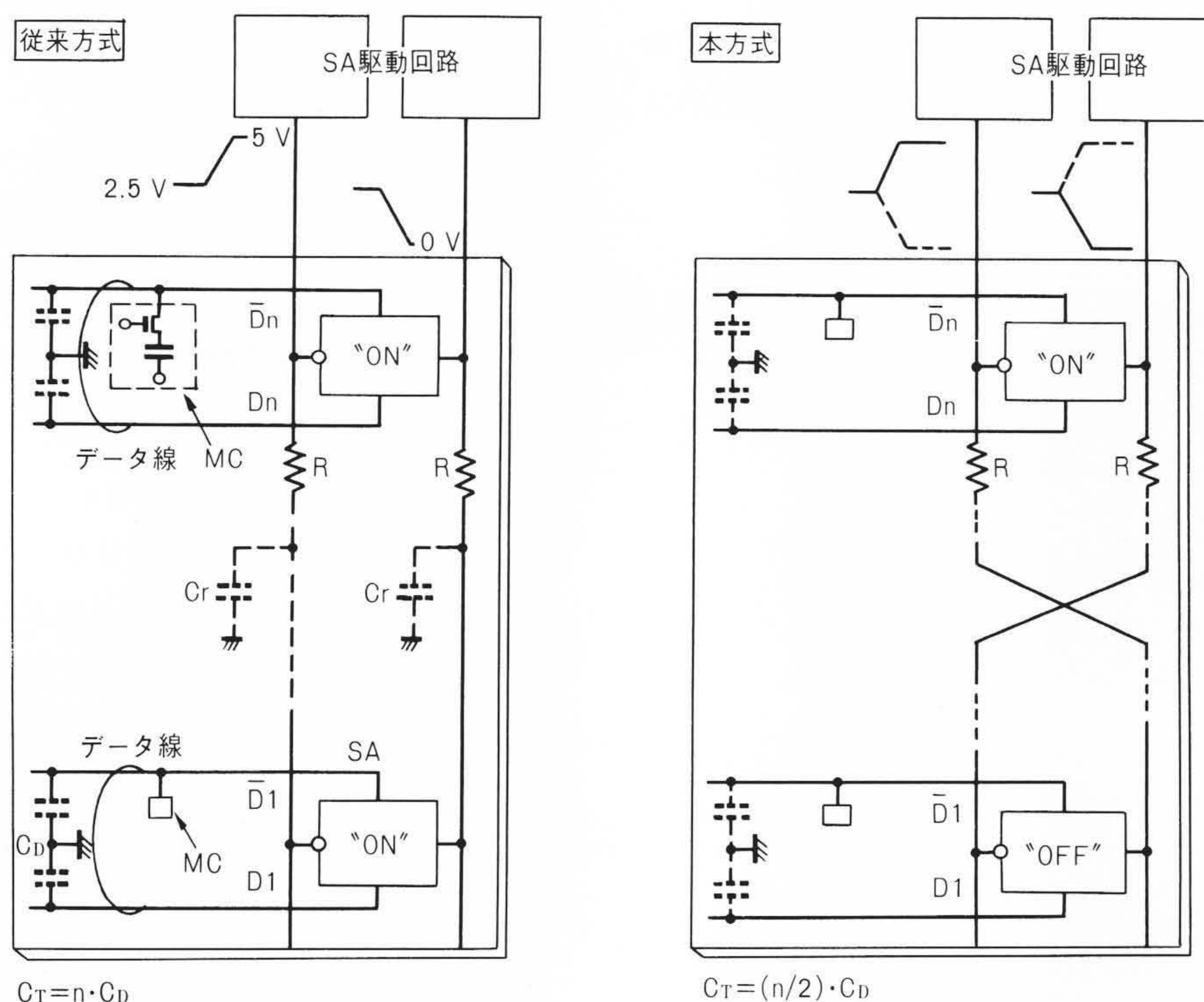


図4 第一世代品のブロックダイヤグラム(4M×1) 4MビットDRAMの構成を示す。128kメモリアレーで32分割し、中辺にXデコーダ、中央にYデコーダが配列されており、高速かつ広い動作マージンを実現している。



注：略語説明 SA (センスアンプ), MC (メモリセル), CD (データ線容量)

図5 交差駆動形センス方式概念図 本センス方式では、センスアンプの半数が逆バイアスとなりオフ状態となるため、同時に動作するセンスアンプ数を半分にできる。これにより、駆動回路の全負荷容量を $\frac{1}{2}$ にすることができた。

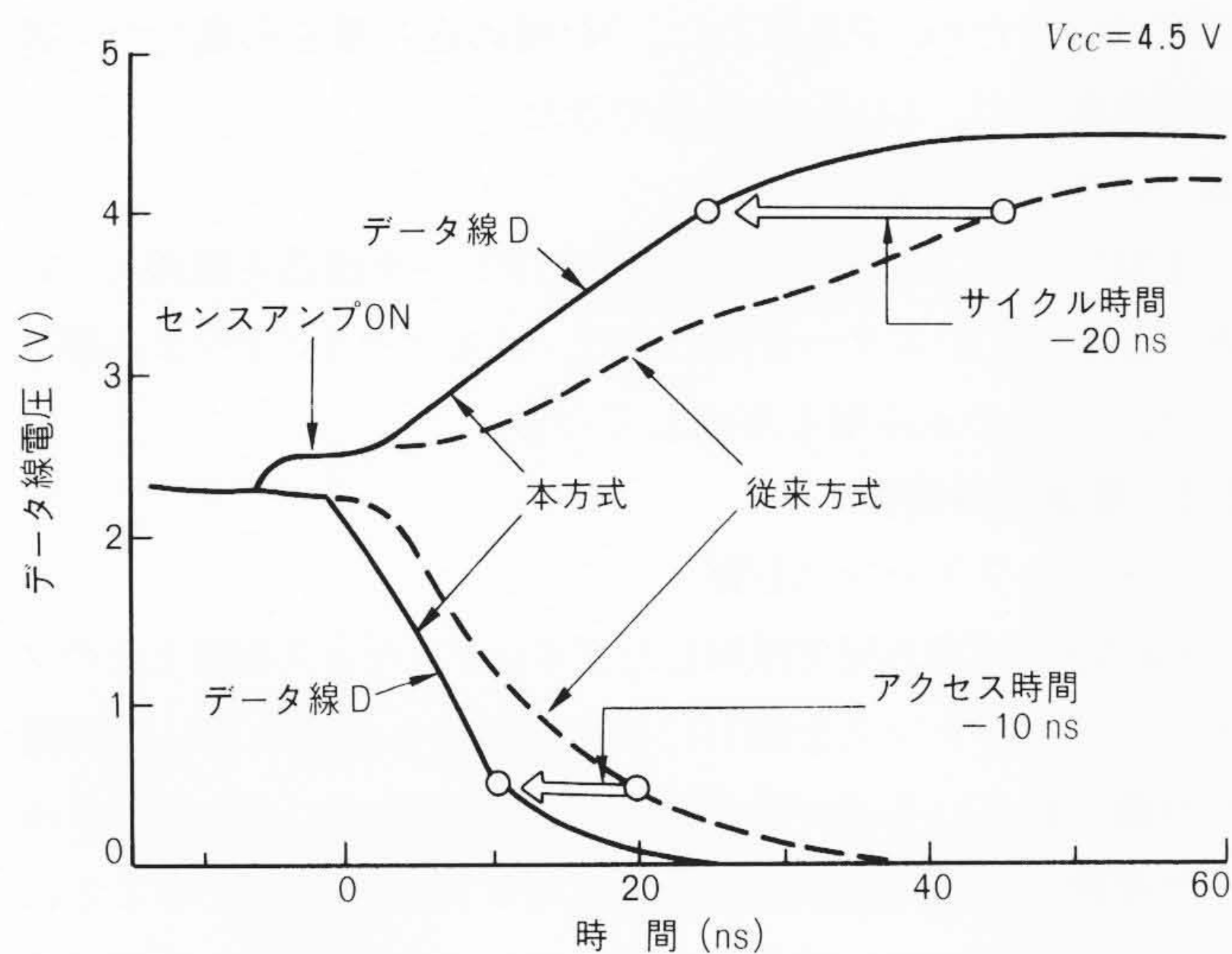


図6 交差駆動形センス方式による高速化 本センス方式により、従来方式に比べアクセス時間で10 ns、サイクル時間で20 ns高速化することができた。

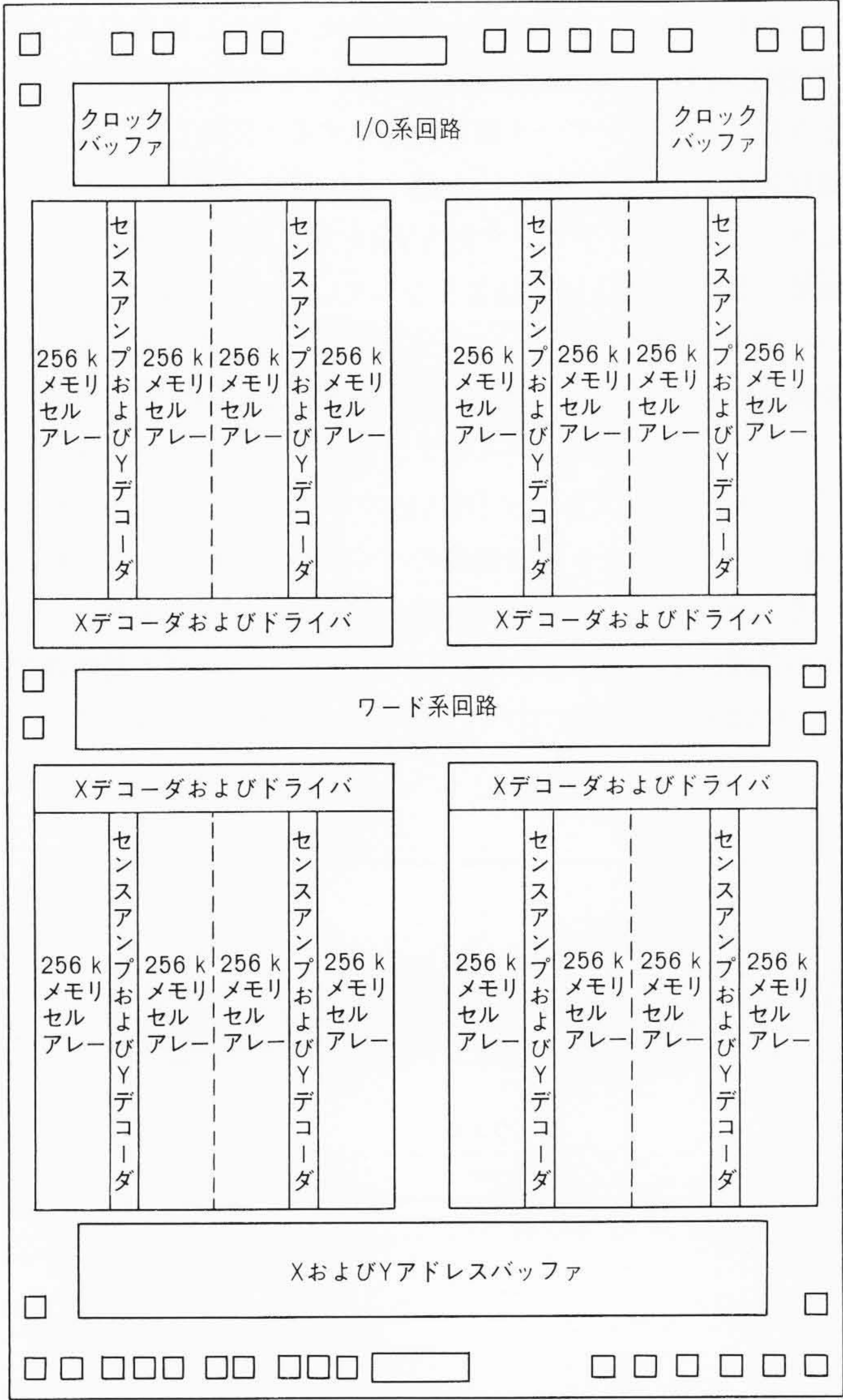


図7 第二世代4 MビットDRAMチップレイアウト 4 MビットDRAMの構成を示す。256 kメモリアレーで16分割し、周辺回路を上辺、中辺、下辺および中央部に分散配置し、高速化を実現した。

表4 1 MビットBiCMOS DRAM製品概要 1.3 μm BiCMOSプロセス技術およびBiCMOS回路技術の採用により、高速、高性能、高信頼度メモリが実現できた。

項 目			仕 様						
メ	モ	リ	構 成	1 M×1	256 k×4				
機			能	8ビットスタティックカラム オートリフレッシュ					
ア			ド	レ	ス	入	カ	非マルチプレックス (×1…A0～A19, ×4…A0～A17)	
ア			ク	セ	ス	時 間 (ns)	35・40・45		
パ			ッ	ケ	ー	ジ	300 mil 28ピン SOJ		
チ			ッ	プ	サ	イ	ズ (mm ²)	5.03×12.37(62.2)	
メモリ		セ			ル	サ	イ	ズ (μm ²)	3.09×7.41(22.9)
セル		セ			ル	容	量 (fF)	33	
プ ロ セ ス		プ			ロ	セ	ス	1.3 μm BiCMOS	
		バ イ ポーラ		エミッタ寸法(μm ²)			3.2×6.1		
				遮断周波数 f _r			4 GHz		
				h _{FE}			40		
		配 線		ポ リ シ リ コ ン			1 層		
				ポ リ サ イ ド			1 層		
Al				2 層					

表5 1 MビットBiCMOS DRAM主要電気的特性 アクセス時間世界最高速35 nsを実現できた。

項 目		記号	仕 様
電 源 電 圧 (V)		<i>V_{CC}</i>	5.0 ± 10%
		<i>t_{ACS}</i>	35・40・45
ア ク セ ス 時 間 (ns)	C E ア ク セ ス 時 間	<i>t_{AA}</i>	25・30・30
	ア ド レ ス ア ク セ ス 時 間	<i>t_{CC}</i>	70・80・85
リ フ レ ッ シ ュ 周 期		<i>t_{REF}</i>	4 ms/512サイクル
入 力 レ ベ ル (V)		<i>V_{IH}</i>	2.4 Min./6.5 Max.
		<i>V_{IL}</i>	-1.0 Min./0.8 Max.
出 力 レ ベ ル (V)		<i>V_{OH}</i>	2.4 (<i>I_{OH}</i> = -4 mA)
		<i>V_{OL}</i>	0.4 (<i>I_{OL}</i> = 8 mA)

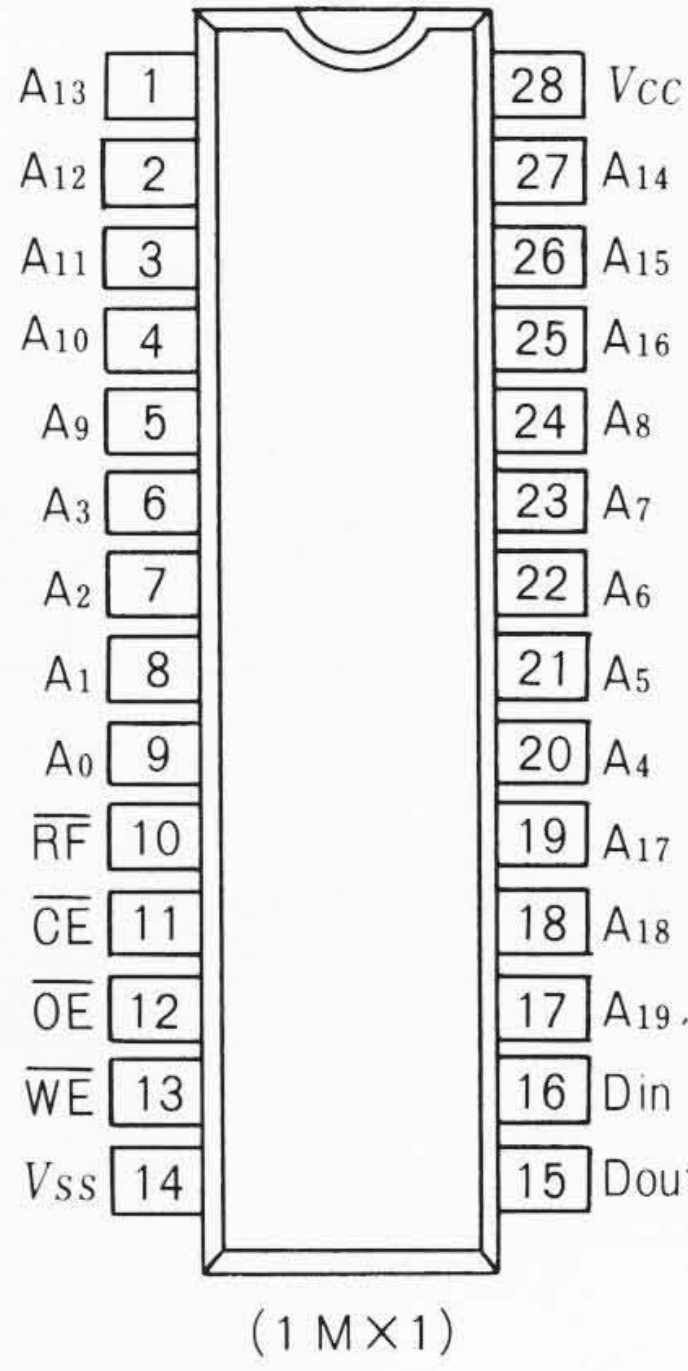


図8 ピン配置(SOJ) 1 MビットBiCMOS DRAMのピン配置を示す。非アドレスマルチプレックス方式採用のため、アドレスピン数がCMOS DRAMに比べ2倍となった。

である。オートリフレッシュは、専用のRF(リフレッシュ端子)を使用することにより、オンチップのリフレッシュカウンタが動作し、自動的にリフレッシュを行えるようにした。チップ写真を図9に示す。

3.2 プロセス技術

(1) 1.3 μm BiCMOSプロセス技術

BiCMOS DRAMの断面図を図10に示す。周辺回路に使用されるバイポーラトランジスタ、PMOS/NMOSトランジスタおよびメモリセルを、P形基板上的エピタキシャル層に形成した。ここで、表4に示すようにバイポーラトランジスタは、エミッタ寸法 $3.2 \times 6.1 \mu\text{m}^2$ 、簡単なエミッタ構造を持つNPN形トランジスタだけを使用することにした。また、コレクタ

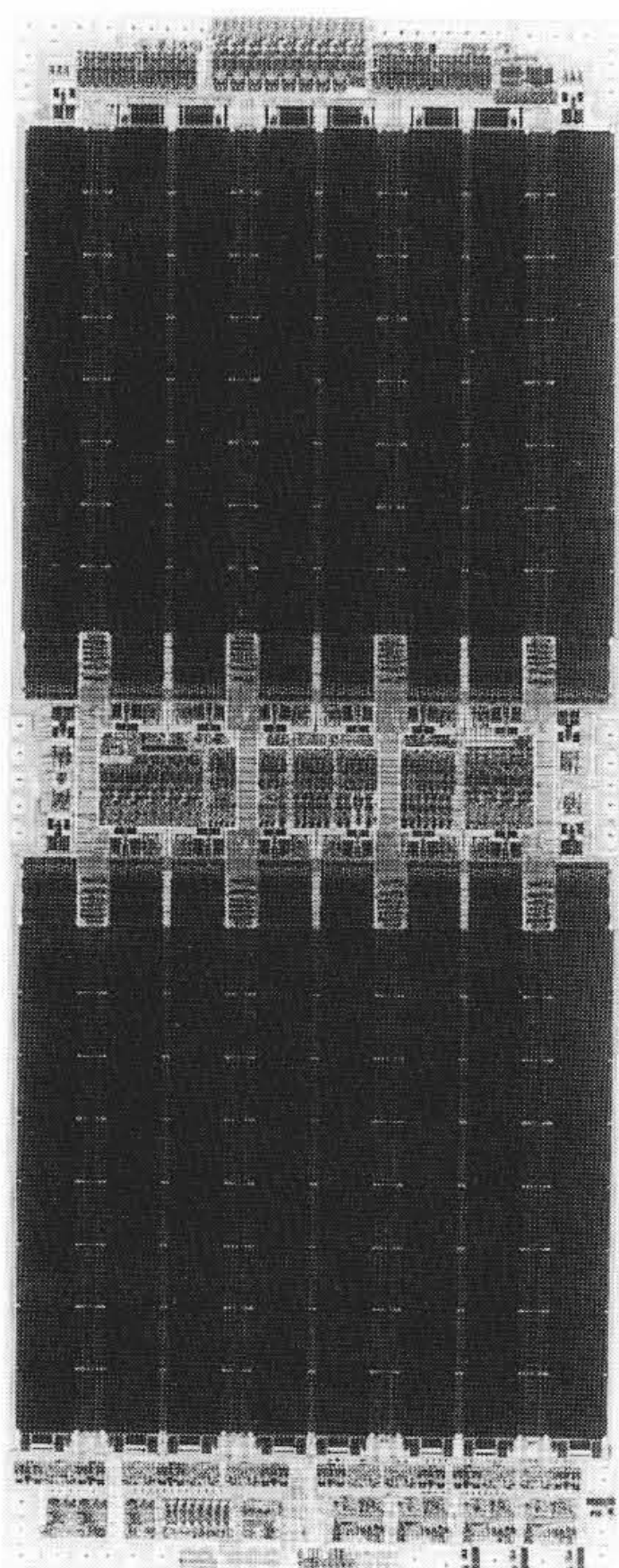


図9 チップ写真 チップサイズは、 $5.03 \text{ mm} \times 12.37 \text{ mm}$ である。

抵抗低減のため、P基板上に、 N^+ 埋め込み層を形成した。遮断周波数 f_T は、4 GHzを実現できた。

(2) メモリセル構造

1 MビットCMOS DRAMと同じプレーナ構造を採用している。 α 線ソフトエラー対策のため、メモリセルのPウェル層下には、 P^+ 埋め込み層を形成している。

3.3 高速回路技術

(1) ダイレクトセンス回路

BiCMOS DRAMで採用したダイレクトセンス回路とそのタイミングシーケンスを図11に示す。読出し回路と書込み回路が分離されている点が従来のDRAMと異なり、さらにバイポーラ差動アンプで構成されたメインアンプを採用することによって、高速読出し動作を実現した。その動作は、まずメモリセルからデータ線対(D, $\bar{D}$)に読み出された微小電圧差は、読出し回路のMOSトランジスタ Q_1 , Q_2 のゲート電極にダイレクトに入力されるため、 Q_1 , Q_2 の相互コンダクタンス(gm)間に差が発生する。このgmの差は、 Q_1 , Q_2 に流れる電流の差として現れるので、前述の微小電圧差は、読出し回路の出力線対(RO, $\bar{RO}$)の微小電流差(約 $50 \mu\text{A}$)として検出できる。このとき微小電圧差がデータ線対に発生すると同時に、この微小電圧差を検出するためには、遅くともワード線Wが立ち上がるタイミングでYデコーダ出力YRを立ち上げればよい。この結果、従来のDRAMで必要となっていたワード線WからYデコーダ出力YRまでのタイミング遅延は不要となるので高速化を図ることができた。次に、微小電流差は、バイポーラカスコードアンプを経由しメインアンプに入力する。このメインアンプを、従来のCMOS DRAMのメインアンプよりも増幅率が約一けた以上大きい高感度のバイポーラ差動アンプで構成することによって、高速化が図れた。本ダイレクトセンス回路の採用によって、センスアンプ、メインアンプの動作速度は、CMOS DRAMに比べて約2.5倍の高速化を実現できた。

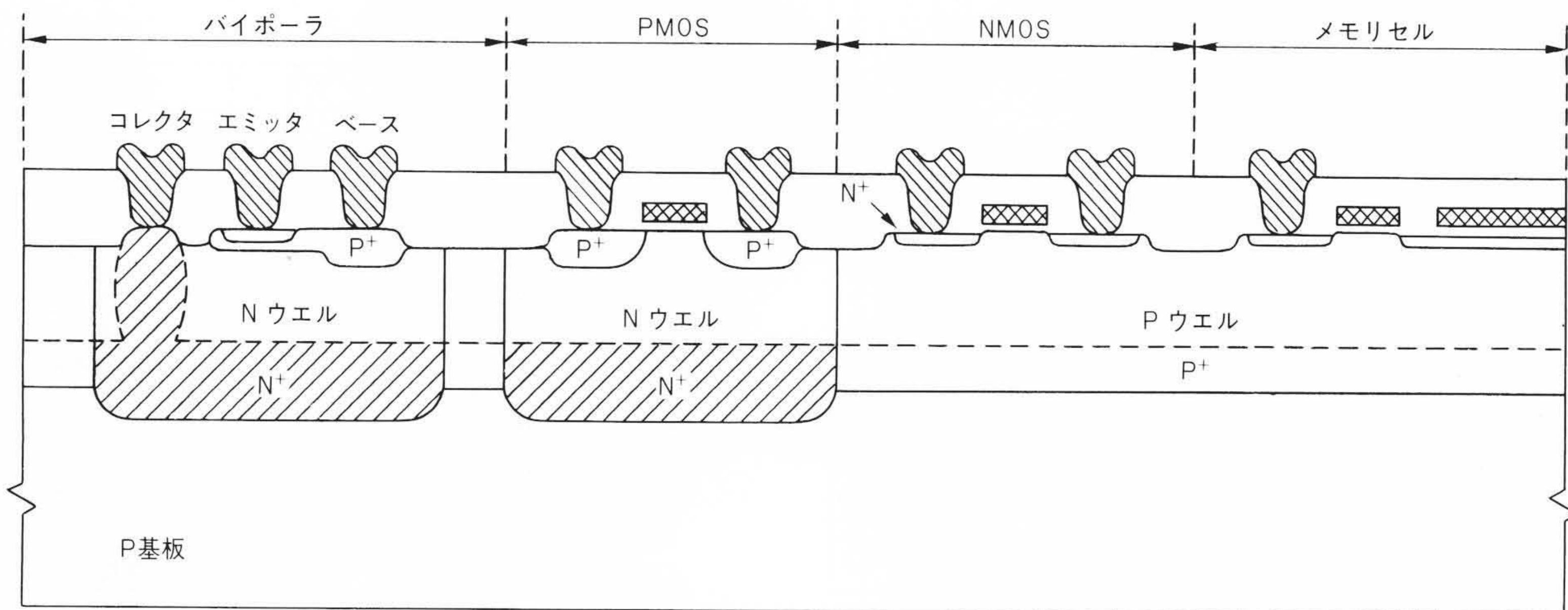


図10 BiCMOS DRAM断面図 周辺回路に使用されるバイポーラトランジスタ、PMOSトランジスタ、NMOSトランジスタおよびメモリセルを、P形基板上的エピタキシャル層に形成した。

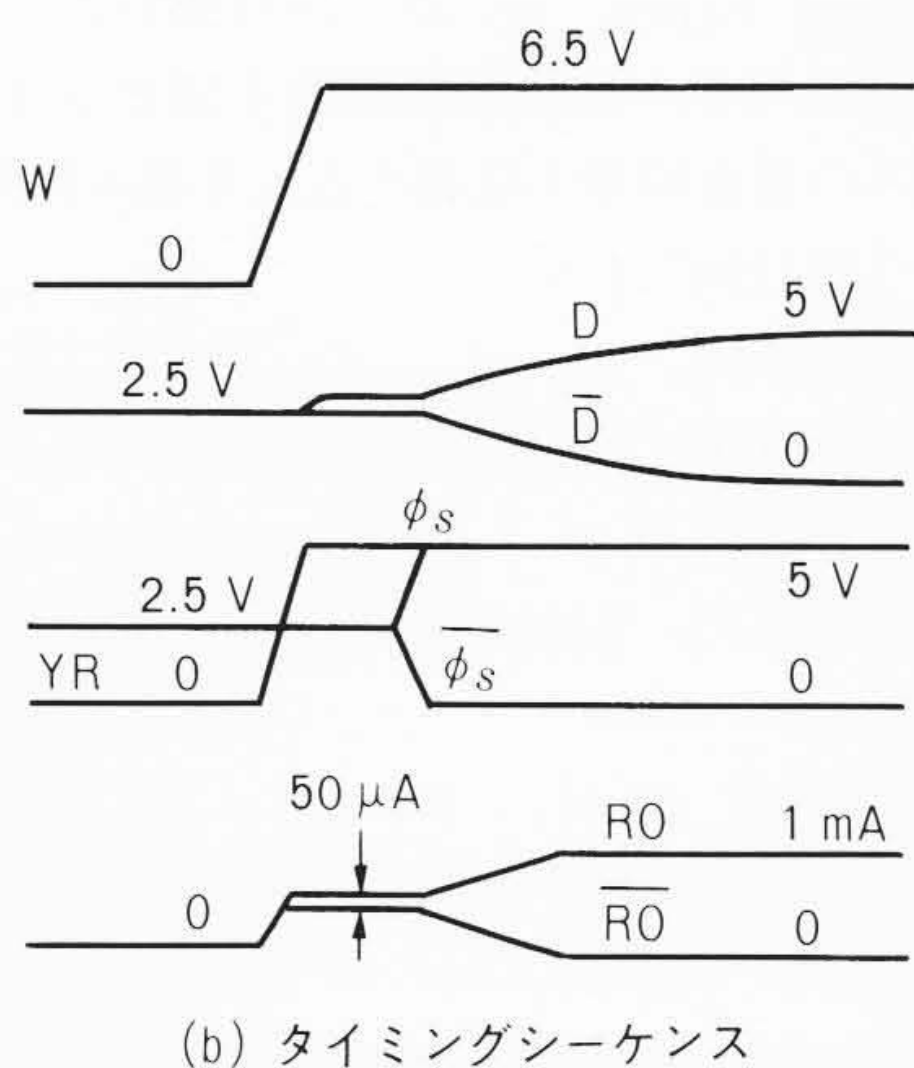
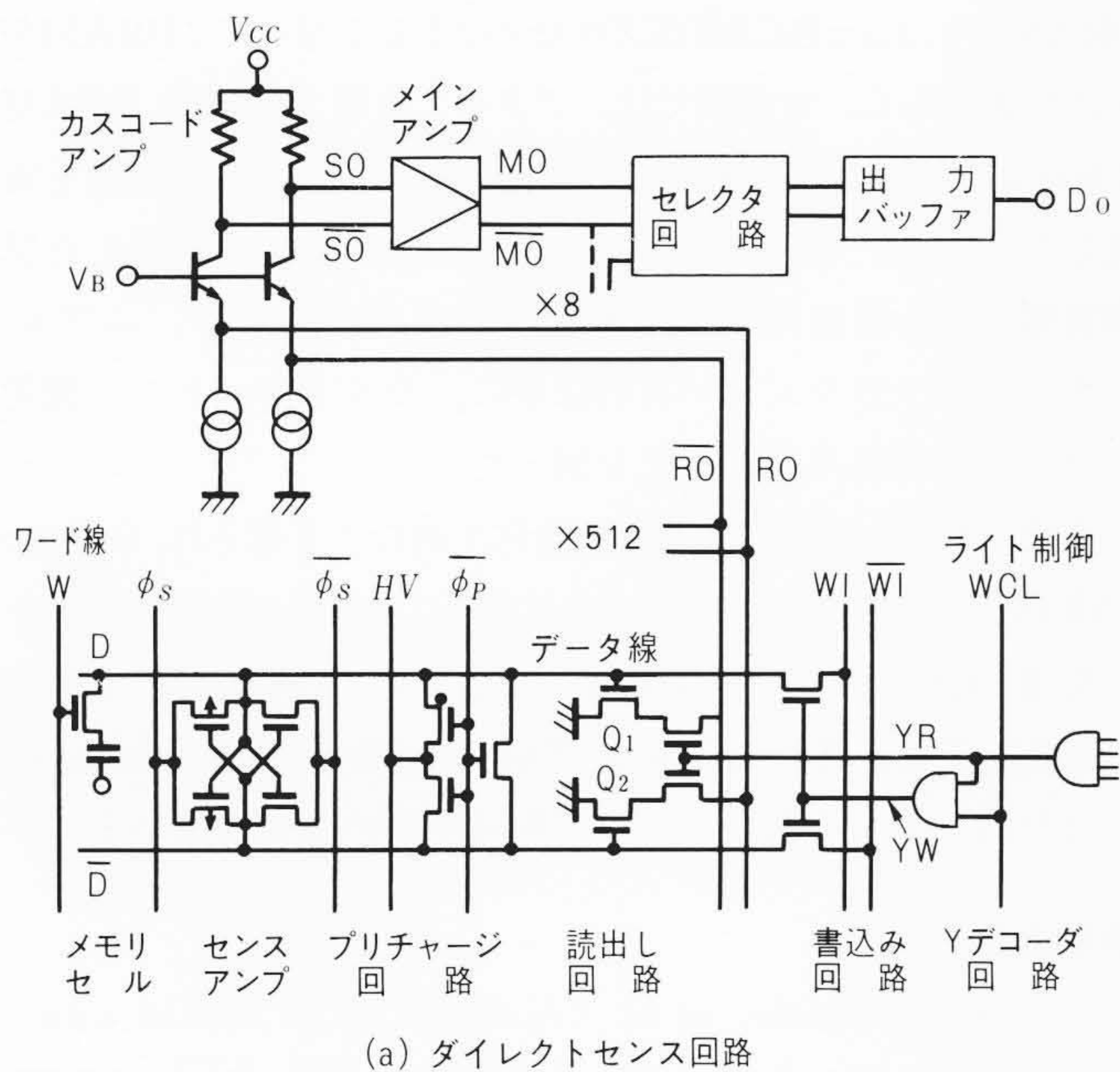


図11 ダイレクトセンス回路 読出し回路と書込み回路が分離し、バイポーラ差動アンプで構成したメインアンプを採用することにより、高速読出し動作を実現した。

(2) BiCMOSドライバ

メモリの高集積化に伴い、チップサイズは大きくなり、アクセス時間に占める配線容量による遅延時間の割合が大きくなってきた。CMOSドライバとBiCMOSドライバの負荷容量に対する遅延時間を図12に示す。大容量負荷を駆動するほど、BiCMOSドライバが有利であることがわかる。回路ブロック間をつなぐ配線をBiCMOSドライバで駆動し、配線容量による遅延を低減した。

4 今後の動向^{8),9)}

次期主力メモリである16 Mビット DRAMは、0.5 μm CMOSプロセス技術をはじめ、STCメモリセル構造、メタル2層配線技術の採用により、小チップ面積127 mm^2 (8.15 $\text{mm} \times 15.58 \text{ mm}$)、セル面積4.35 μm^2 (1.43 $\mu\text{m} \times 3.04 \mu\text{m}$)を実現した。チップ写真を図13に示す。また、内部降圧技術、

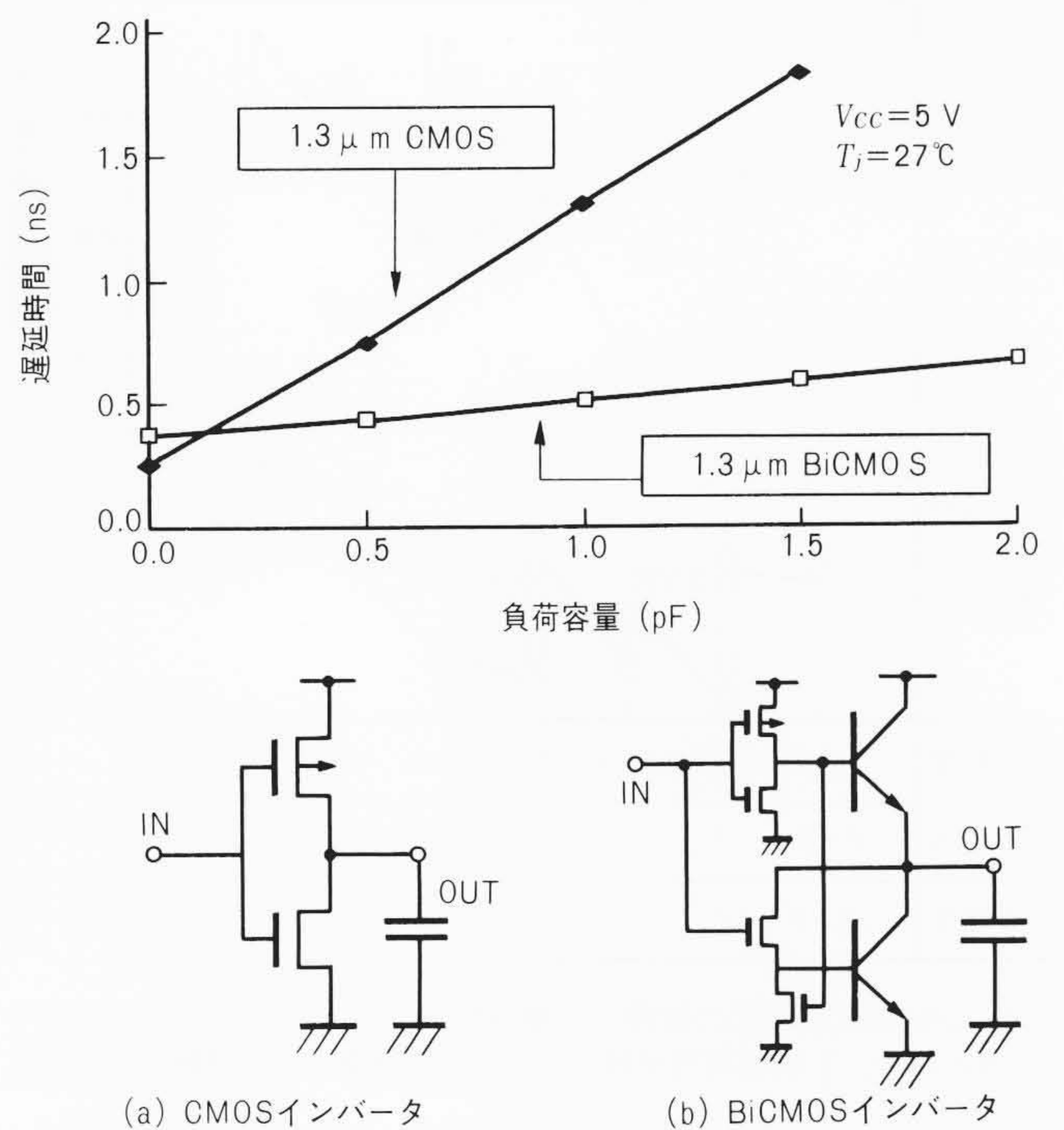


図12 負荷容量に対する遅延時間依存性 CMOSドライバとBiCMOSドライバの負荷容量に対する遅延時間を示す。大容量負荷を駆動するほど、BiCMOSドライバが有利であることがわかる。

4 kリフレッシュ方式採用による低消費電力化、チップ中央にボンディングパッド配置を可能にしたLOC (Lead On Chip) パッケージ技術の採用による配線遅延の低減、および回路技術の改良によって高速化への見通しを得た。ここでは、今回新規に採用した内部降圧技術について述べる。

DRAMの電源電圧の推移を図14に示す。低消費電力化に対

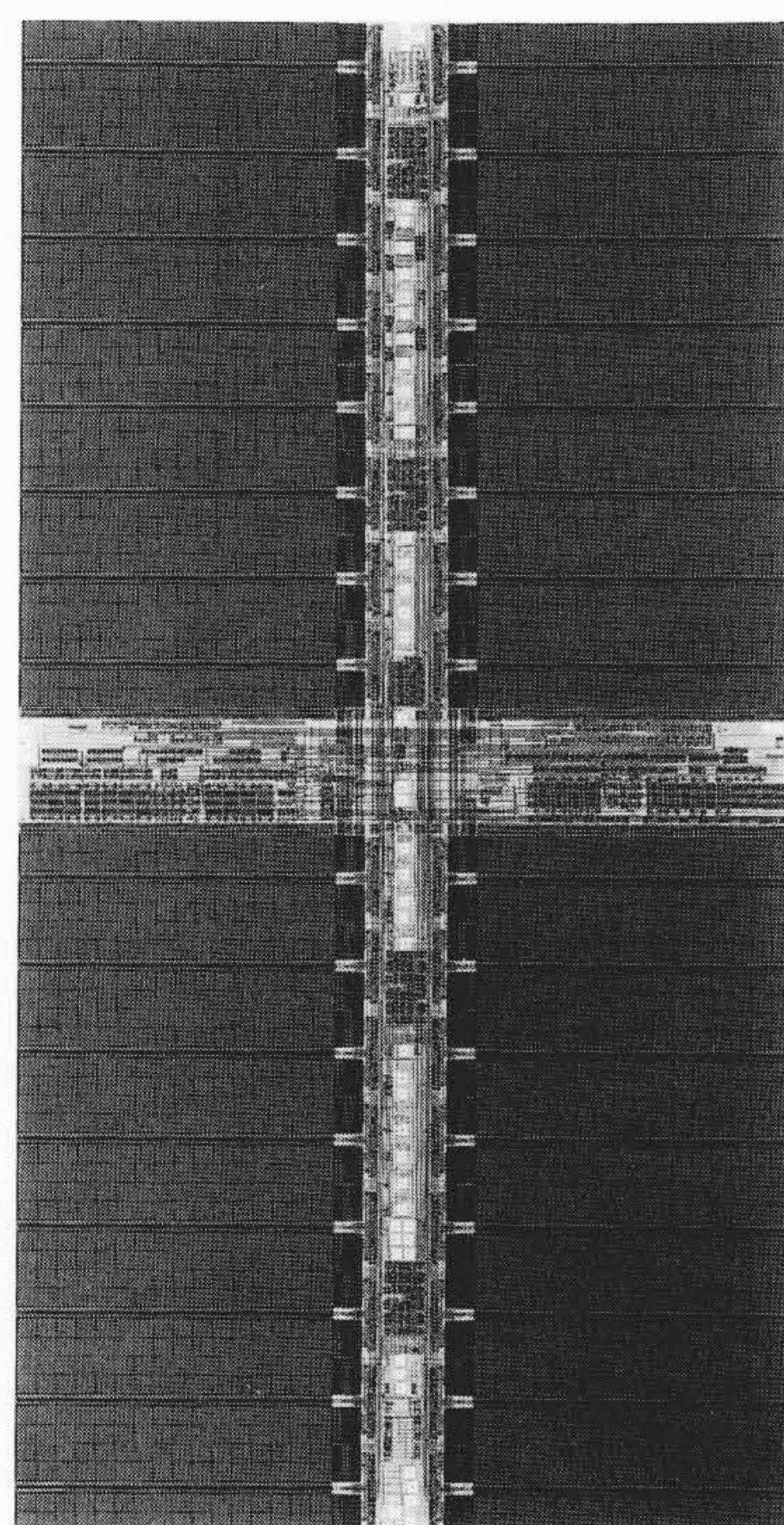


図13 チップ写真
チップサイズは、8.15 $\text{mm} \times 15.58 \text{ mm}$ である。

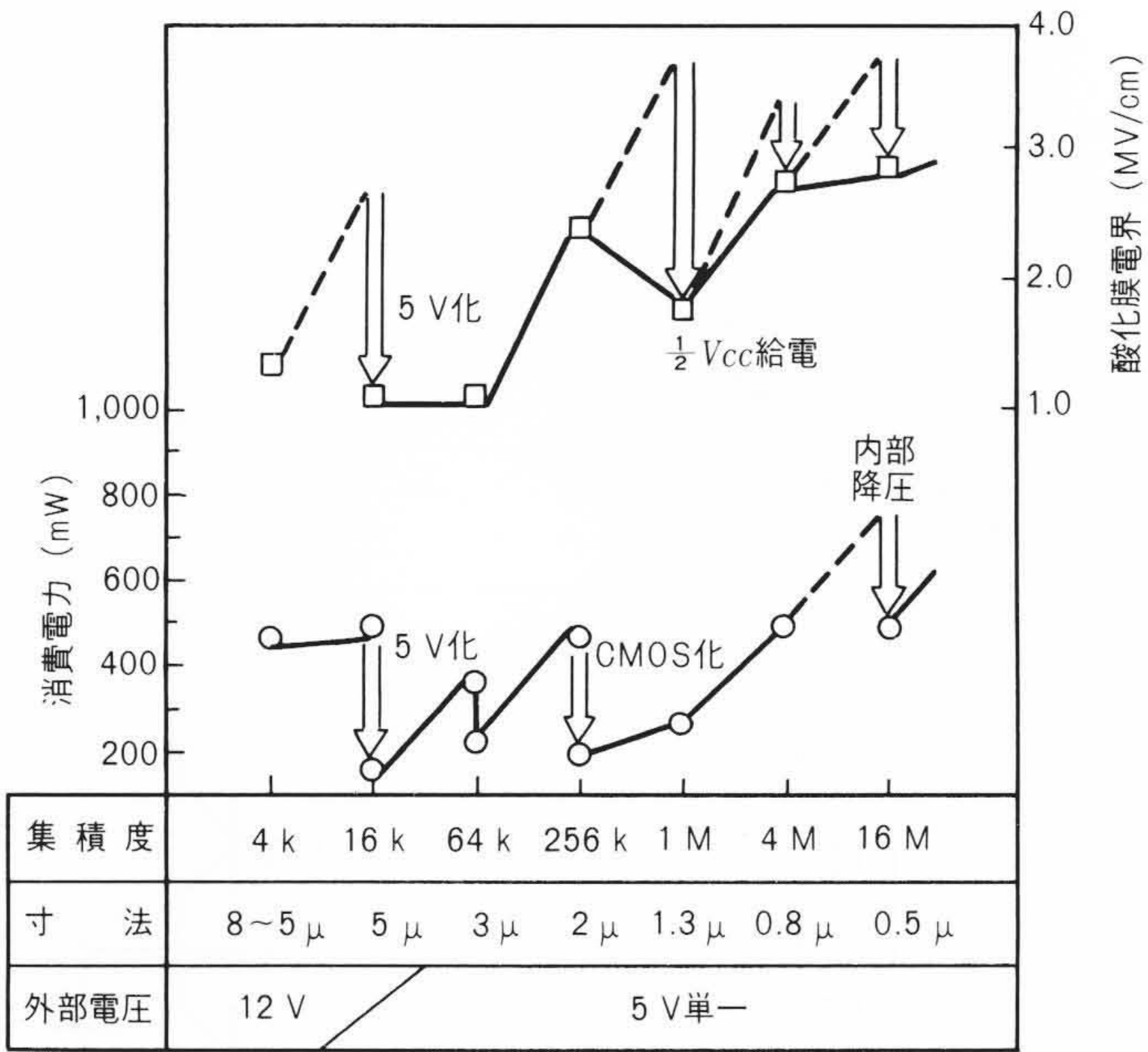


図14 DRAM電源電圧の推移 電源電圧を12 Vから5 V, CMOSプロセス技術の採用, $\frac{1}{2}V_{cc}$ 給電方式採用により低消費電力・高信頼性を実現した。

し電源電圧を12 Vから5 Vに変更し, CMOSプロセス技術の採用によって進めてきた。また, パターンの微細化に伴う素子耐圧の問題, 特にゲート酸化膜電界強度に対しても電源電圧を12 Vから5 Vに変更し, メモリセルプレート電極への $\frac{1}{2}V_{cc}$ 給電方式によって進めてきた。

16 MビットDRAMでは, メモリセル容量部酸化膜電界強度緩和のために, メモリアレー電源を3.3 Vに内部降圧した。また, 外部電圧は従来の5 Vに保ったまま, 低消費電力化のために, 周辺回路も3.3 V動作にした。この内部降圧技術の採用によって, 低消費電力・高信頼性が実現できた。

5 結 言

MOS DRAMは, 最新のCMOSプロセス, BiCMOSプロセス, 多層配線および高速・低消費電力回路技術などにより, 大容量かつ高性能, 高機能のメモリを実現し, 市場ニーズにこたえてきた。0.8 μm CMOSプロセスによる4 Mビット

DRAM, 1.3 μmBiCMOSプロセスによる1 MビットDRAMがその代表である。性能面では, アクセス時間でCMOS DRAMで60 ns, BiCMOS DRAMで35 nsといずれも世界最高速を実現した。また, データリテンション電流300 μAを保証した低消費電力版も製品化した。機能面では, 高速ページ, ニブル, スタティックカラムモードのほかに, ライトパービット機能を追加し, 製品系列の拡充を図った。

今後, さらに応用機器の高性能化が進むと予想され, 0.5 μm CMOSプロセス, 0.8 μm BiCMOSプロセス品による大容量かつ高速・高性能メモリを実現するとともに, 応用機器の小形・軽量化も進むと思われる, TSOP (Thin Small Outline Package)をはじめとする小形パッケージ製品系列の拡充も進める。

参考文献

- 1) K. Shimohigashi, et al. : A 65 ns CMOS DRAM with a Twisted Driveline Sense Amplifier, 1987 IEEE International Solid-State Circuits Conference (ISSCC 87), Digest of Technical Paper, pp.18~19(1987-2)
- 2) 石原, 外 : $\times 1/\times 4$ 構成の標準4 MビットDRAMを試作, 1989年ごろの量産時期を見据える, 日経エレクトロニクス, 418, pp.149~163(1987.4.6)
- 3) K. Yanagisawa, et al. : A 23 ns 1 Mbit BiCMOS DRAM, ESSCIRC89, Dig. Techpapers, Sept. 1989
- 4) G. Kitsukawa, et al. : An Experimental 1-Mbit BiCMOS DRAM, IEEE J, Solid-State Circuits, Vol, SC-22. pp. 657~662, Oct. 1987
- 5) Y. Kobayashi, et al. : Bipolar CMOS-merged Technology for a High-speed 1-Mbit DRAM, IEEE Trans, Electron Devices, Vol.36, No.4, pp.706~711(1989-4)
- 6) T. Kawahara, et al. : Substrate Current Reduction Techniques for BiCMOS DRAM, IEEE J, Solid-State Circuits, Vol.24, No.5, Oct. 1989
- 7) 大田, 外 : BiCMOSを用いた23 ns 1 MビットDRAM, 電子情報通信学会集積回路研究会予稿集(平1-7)
- 8) M. Aoki, et al. : An Experimental 16 Mb DRAM with Transposed Data-Line Structure, in ISSCC Dig, Tech. Papers, pp.250~251(1988-2)
- 9) M. Aoki, et al. : A 60-ns 16 Mbit CMOS DRAM with a Transposed Data-Line Structure, IEEE J, Solid-State Circuits, Vol.23, No.5, pp.1113~1119(1988-10)