

# 4 Mビット スタティックRAM“HM628512”の開発

## Development of 4 Mbit Static RAM “HM628512”

ブック・ノート形パーソナルコンピュータ、ハンディターミナル、メモリカード応用に最適な512 kワード×8ビット構成のSRAM(Static RAM)を開発した。

1チップ上に約2,500万素子を集積させるため、0.5 μm Hi-CMOSプロセス技術を採用した。0.2 μA/チップ(3 V, 25 °C)の超低データリテンション電流を実現するために、新たにポリシリコンPMOS負荷をメモリセルに用いた。高速低電力センスアンプ回路と高速耐雑音データラッチ回路を採用し、メタル2層配線技術を用いることで、標準アクセス時間32 ns(5.0 V, 25 °C)を実現した。メモリセル面積は15.3 μm<sup>2</sup>で、0.8 μm技術による1MSRAMのセル面積の $\frac{1}{3}$ に縮小され、チップ面積は116 mm<sup>2</sup>と、1 Mビット素子の4倍の容量を1.4倍の大きさに収めた。

湊 修\* Osamu Minato  
 吉崎和夫\*\* Kazuo Yoshizaki  
 佐々木勝朗\*\*\* Katsurō Sasaki  
 目黒 怜\*\* Satoshi Meguro

### 1 緒 言

近年、SRAM(Static RAM)は高速性、使いやすさ、バッテリーによる不揮発性の特徴を生かして、汎(はん)用コンピュータのメインメモリ、バッファメモリからハンディ機器に至るまで各種多様な電子機器に用いられている。中でも大容量SRAMの応用分野は、(1)スーパーコンピュータのメインメモリのように高速動作が要求される分野と、(2)ブック・ノート形パーソナルコンピュータ(以下、ブック・ノート形パソコンと略す。)、ハンディターミナル、メモリカードなどのようにバッテリーで長期間情報保持を行うため、特に低いデータリテンション時消費電流が要求される分野がある。どちらにあっても、機器の高性能化、大容量化もしくは小形化のために、システムで用いられるSRAM自体の大容量化、高速化および低消費電力化が強く望まれている。

上述した背景のもとで、特に(2)の応用分野をターゲットに512 kワード×8ビット構成の4 MビットSRAM, HM628512を新たに開発した。約25 M(2,500万)素子を1チップ上に集積するために、0.5 μm CMOSプロセスを採用した<sup>2)</sup>。メモリセルには、従来の高抵抗ポリシリコン負荷形を発展させたポリシリコンPMOS負荷形を新たに用いて、データリテンション時の超低電流0.2 μA(電源電圧3 V, 室温)を実現した。また、高速低電力センスアンプ回路<sup>3)</sup>および高速耐雑音データラッチ回路<sup>2)</sup>を新たに採用し、標準アクセス時間32 ns(5.0 V, 25 °C)をも実現した。本稿では、これらプロセス技術、メモリセル技術、回路技術および性能について述べる。

### 2 0.5 μm Hi-CMOSプロセス・デバイス技術

高抵抗ポリシリコンを負荷としたNMOSメモリセルと周辺CMOS回路を組み合わせたSRAMの方式(Hi-CMOS, SRAM技術と呼ばれる。)は、日立製作所が4 kビットで導入し<sup>4)</sup>、以来現在量産中の1 MビットSRAMに用いられている0.8 μm CMOS技術<sup>1)</sup>で第四世代目になる。

4 MビットSRAMでは、上記1 Mビット素子の4倍の集積度を実現するため、0.5 μm CMOSプロセスを導入した。日立製作所のSRAMプロセス技術では第五世代目に当たり、Hi-CMOS(V)と称する。表1に、0.5 μm CMOSプロセス・デバイスパラメータを0.8 μmのものと比較して示す。NMOS, PMOS両トランジスタのゲート長は0.8 μmから0.6 μmにスケールダウンされるが、高耐圧ドレイン構造の改良によって従

表1 0.5 μm CMOSプロセス・デバイスパラメータ 0.8 μm CMOSのパラメータと比較して示す。各寸法は設計寸法値である。

プロセス・デバイス	Hi-CMOSIV 0.8 μm	Hi-CMOS V 0.5 μm
電 源 電 圧	5 V	5 V
ゲ ー ト 長	0.8 μm	0.6 μm
ゲ ー ト 酸 化 膜 厚	17.5 nm	13.5 nm
ポリシリコン配線(線幅・間隔)	0.8/0.8 μm	0.65/0.5 μm
メタル配線(線幅・間隔)	1.4/0.8 μm	0.6/0.6 μm
コ ン タ ク ト 穴 (径)	0.8 μm	0.6 μm
ポリシリコン配線層数	3層	4層
メタル配線層数	1層	2層

\* 日立製作所 半導体設計開発センター 工学博士 \*\* 日立製作所 半導体設計開発センター \*\*\* 日立製作所 中央研究所

来と同様の5V電源電圧のもとで使用可能である。デバイス構造上の横方向および縦方向寸法は、ほぼ75%の比率で一様にスケールダウンされている。

一方、配線関係では、新たにポリシリコンPMOS負荷形メモリセルを導入するため、ポリシリコン4層配線技術を確立した。さらに、55nsの高速アクセス時間を実現するために、メタル2層配線技術を導入した。配線層数の増加に伴う段差構造の複雑化、段差の増加については新平坦化技術を導入して解決した。

上述した0.5 $\mu\text{m}$  Hi-CMOSプロセス・デバイス技術によって、メモリセル寸法が $3.04 \times 5.04 \mu\text{m}^2$  ( $15.3 \mu\text{m}^2$ )で、0.8 $\mu\text{m}$  Hi-CMOSプロセスによる1Mビット素子のメモリセル面積比約 $\frac{1}{3}$ の超小形メモリセルが実現できた。

### 3 メモリセル技術

#### 3.1 高抵抗負荷形メモリセルの限界

従来、CMOSもしくはBi-CMOSプロセス・デバイスをベースとしたSRAMのメモリセルとして、高抵抗負荷形メモリセルが最も多く用いられている。図1(a)に示す高抵抗負荷形メ

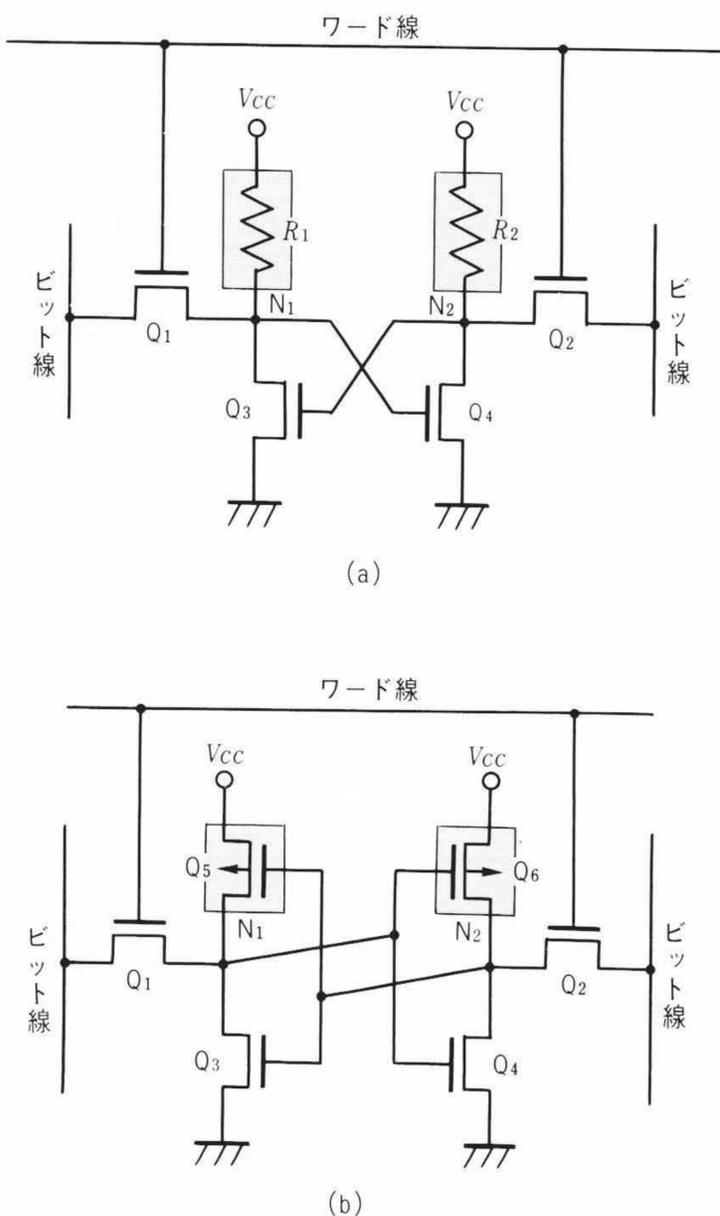


図1 高抵抗負荷形メモリセル(a)とCMOS形メモリセル(b) 記憶ノード $N_1$ 、 $N_2$ に蓄えられるデータは、高抵抗 $R_1$ 、 $R_2$ もしくはPMOSトランジスタ $Q_5$ 、 $Q_6$ を通して電流を供給することによって保持される。

モリセルは、 $Q_1 \sim Q_4$ の4個のNMOSトランジスタで基本的なメモリの書込み・読出し動作を行い、ポリシリコンで形成した高抵抗 $R_1$ 、 $R_2$ を通しての微小な電流供給によって記憶ノード $N_1$ 、 $N_2$ の接合リーク電流を補償し記憶データを保持する。ポリシリコン抵抗はNMOSトランジスタの上に重ねて構成することができるので、小さなセル面積を実現できる。また、抵抗値自体も $10^{11} \sim 10^{12} \Omega$ と高くすることができ、素子全体のデータ保持電流をマイクロアンペアレベルに保つことが可能になる。図2は、SRAM1個当たりのデータ保持電流を $1 \mu\text{A}$ に保つために、メモリセル1個当たりに要求されるデータ保持電流を、集積度に対して示したものである。 $1 \mu\text{A}$ のデータ保持電流は、SRAMを1~8個程度用いたメモリシステムで2~10年の長期にわたるバッテリーバックアップが可能なレベルである。メモリセル1個当たりのデータ保持電流は、集積度の増加とともにメモリセル記憶ノードのリーク電流に近づく。高抵抗負荷形メモリセルでは、メモリセル1個当たりのデータ保持電流が記憶ノードのリーク電流と同程度になると、記憶データの保持ができなくなる。すなわち、図1(a)で記憶ノード $N_1$ が電源電位 $V_{CC}$ ノード $N_2$ が接地電位にあるとすると、高抵抗 $R_1$ を流れる電流がノード $N_1$ の接合リーク電流と同程度になると、ノード $N_1$ の電位を保持できなくなり記憶データが破壊する。ポリシリコンで形成した高抵抗の値もしくは記憶ノードのリーク電流値のばらつきを、所定の動作保証温度範囲( $0 \sim 70^\circ\text{C}$ )にわたって考慮すると、良好なデータ保持特性を維持するためにはメモリセル1個当たりのデータ保持電流は、メモリセル記憶ノードのリーク電流よりも二けた以上大きくする必要がある。したがって、安定量産の観点から高抵抗負荷形メモリセルの使用は、4Mビットがほぼ限界

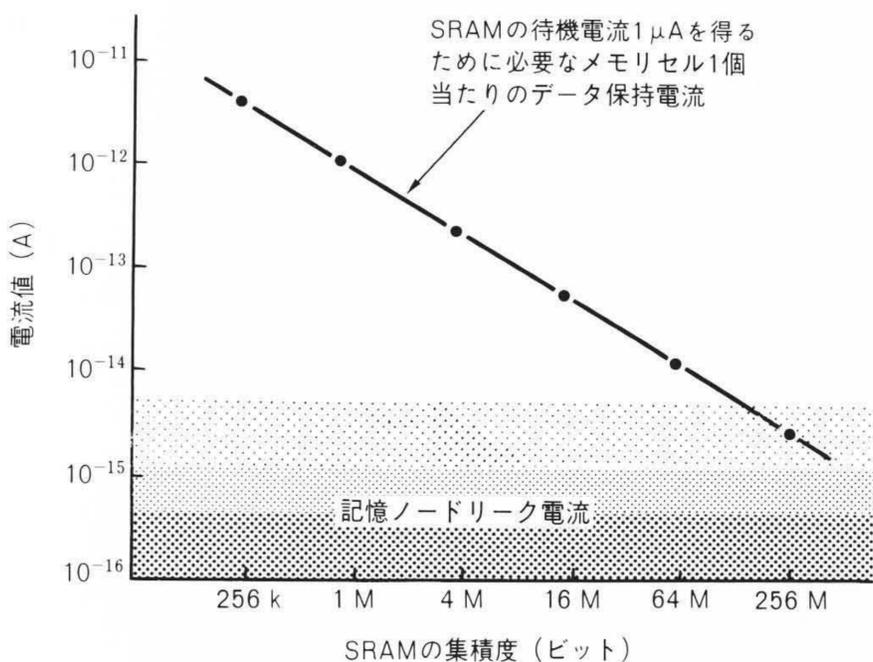


図2 SRAMのデータ保持電流 $1 \mu\text{A}$ を得るために必要なメモリセル1個当たりのデータ保持電流の集積度依存性 データ保持電流は集積度の増加とともに記憶ノードのリーク電流レベルに近づく。各電流のばらつきを考慮すると、高抵抗負荷形メモリセルでは4Mビットが安定生産上限界となる。

と考えられる。

### 3.2 ポリシリコンPMOS負荷形メモリセル

上述した高抵抗負荷形メモリセルとともに、図1(b)に示すPMOSトランジスタを負荷とするCMOS形メモリセルも従来用いられている。CMOS形メモリセルは、MOSトランジスタのオフ電流および記憶ノードの接合リーク電流で決まる、きわめて小さなデータ保持電流が実現できるのが特長である。同図(b)で、記憶ノード $N_1$ が電源電位 $V_{CC}$ 、ノード $N_2$ が接地電位にあるとすると、ノード $N_1$ の電位は導通状態にあるPMOSトランジスタ $Q_5$ によって保持されるので、データ保持特性に問題は生じない。しかし、CMOS形メモリセルでは同一平面上にNMOSとPMOSの二つの異なる導電形のトランジスタを形成するため、高抵抗負荷形メモリセルと比較すると、1ビット当たり1.5倍以上のセル面積を必要とし大容量化には適さない。

ポリシリコンPMOS負荷形メモリセルは、CMOS形メモリセルのPMOSトランジスタを積層ポリシリコン層で形成したもので、高抵抗負荷形メモリセルと同程度の小さなセル面積でCMOS形メモリセルに一步近づいたデータ保持特性を実現できる。4 MビットSRAMに用いたポリシリコンPMOSの電流電圧特性例を図3に示す。第3層ポリシリコンでゲート電極を、第4層ポリシリコンでソース、ドレーン、チャンネル領域を形成し、オフ時電流を十分に小さくするために長さ $0.6 \mu\text{m}$ のオフセット領域(同図の $L_{off}$ 部)を設けた。SRAMのデータ保持電流を決めるポリシリコンPMOSのオフ時電流は、ドレーン電圧 $-3 \text{ V}$ 時に $100 \text{ fA}$ 以下の値が得られ、オン/オフ時電流比はおよそ4けた/3 Vが実現できた。これらポリシリコンPMOSトランジスタの性能、すなわち低いオフ時電流および大きなオン/オフ時電流比は、ポリシリコン層の薄膜化などによって向上させることができ、ポリシリコンPMOS負荷形メモリセルは、今後低電圧動作が必要となるさらに微細なプロセスを用いる大容量SRAMに最適なメモリセルと考えられる。

## 4 高速回路技術

ハンディターミナルなど小形ポータブル機器に多く用いられる低消費電力形SRAMは、一般に8ビット幅のワイドビット構成で、かつ低周波動作時の動作電流低減機能を持っている。このため、センスアンプ回路電流の制限やデコード回路のパルス駆動あるいは読出し信号のデータラッチに起因するアクセス時間の遅延を生じ、高速アクセス時間の実現が難しい。これらの技術課題に対し、4 MビットSRAMでは、高速低電力のセンスアンプ回路およびアクセス遅延を生ぜず、耐雑音性に優れたデータラッチ回路方式を採用し、標準アクセス時間 $32 \text{ ns}$ を実現した。

### 4.1 高速低電力センスアンプ回路

4 MビットSRAMに採用したセンスアンプ回路は、図4(a)に示すような、初段にカレントミラー形アンプの並列接続、

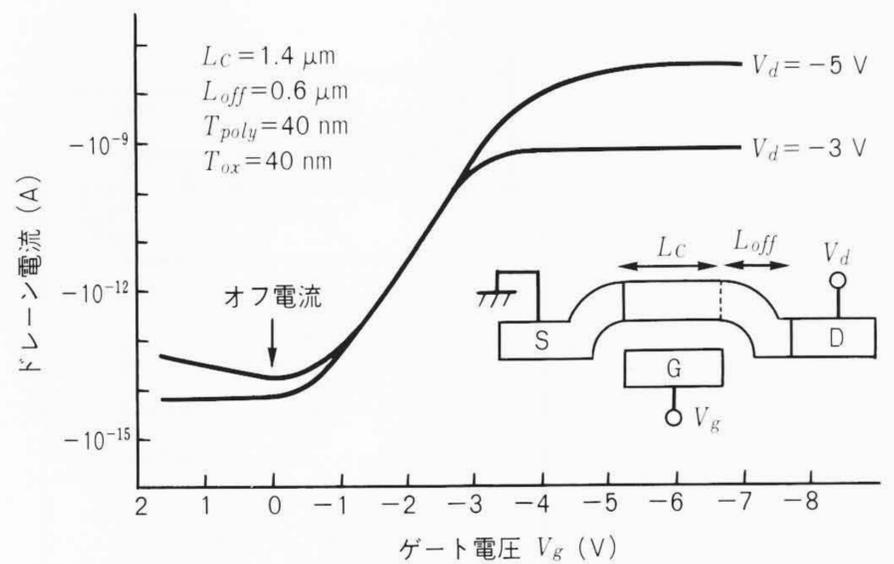


図3 ポリシリコンPMOSの電流電圧特性例 100 fA以下のオフ時電流と3 Vで約4けたのオン・オフ時電流比が得られている。

2段目にPMOS正帰還形センスアンプ回路を縦属接続した構成である。2段目に用いたPMOS正帰還形センスアンプ回路は、出力信号電圧の変化が直接PMOS、 $Q_1$ 、 $Q_2$ のゲート電極に伝達され出力信号電圧の変化を加速するので、カレントミラー形に比べて高速かつ強力な負荷駆動能力が得られる。初段に、同図(b)に示した従来と同様のカレントミラー形センスアンプ回路を用いたのは、以下の理由による。すなわち、センスアンプ回路初段の入力信号振幅は、 $0.1 \sim 0.2 \text{ V}$ 程度の微小電圧であるため、イコライズパルス $\phi_1$ の入力タイミングがずれイコライズの終了が早すぎると、センスアンプ回路を構成するトランジスタの性能ばらつきのために誤ったデータが出力される。この誤データが初段センスアンプ回路で急激に増幅されると、アクセス時間が著しく遅れる可能性がある。この点でカレントミラー形センスアンプ回路のほうが応答速度が遅く、増幅率も低いので、イコライズパルス $\phi_1$ の設計マージンが大きくなる。図5に、カレントミラー形とPMOS正帰還形センスアンプ回路の縦属接続および従来カレントミラー形アンプの縦属接続について、ワード線から出力までの遅延時間 $T_D$ とセンスアンプ回路初段のイコライズ終了までの時間 $T_E$ の関係を示す。両者のセンスアンプ回路構成で、両者ともに初段にカレントミラー形回路を用いているため、イコライズ・パルスタイミングの動作マージンは約 $2.5 \text{ ns}$ と差はないが、センスアンプ回路出力の遅延時間は、高速かつ強力な負荷駆動能力を持つPMOS正帰還形回路のほうが短くなる。

このように4 MビットSRAMに採用した新センスアンプ回路は、イコライズ・パルスタイミングのマージンを十分に持ったままで、PMOS正帰還形センスアンプ回路の高速性能が発揮でき、SRAM全体の高速回路設計を可能にした。

### 4.2 高速耐雑音データラッチ回路方式

高速耐雑音性に優れたデータラッチ構成を図6(a)に、従来のデータラッチ構成を図6(b)に示す。従来構成では、データラッチ回路が信号伝達経路中に配置されているため、入力ゲ

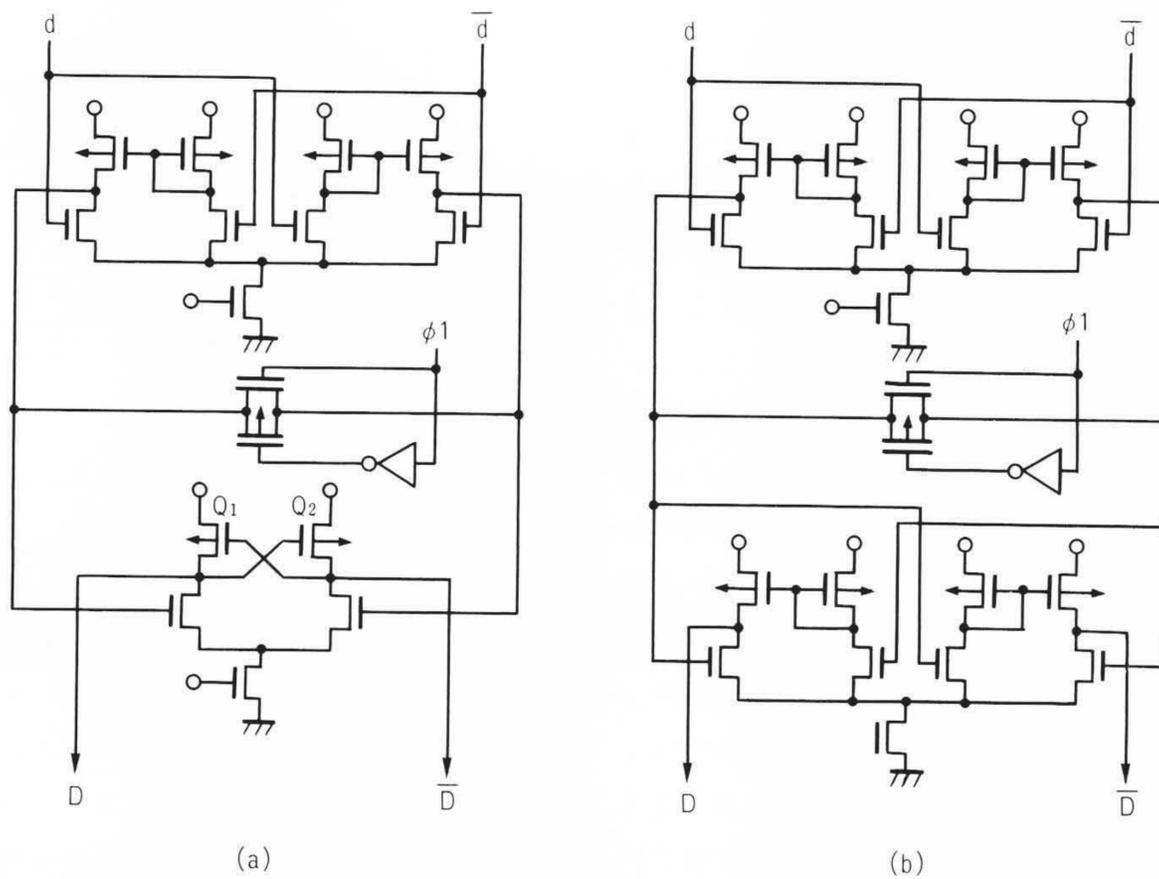


図4 カレントミラー形・PMOS正帰還センスアンプ回路構成(a)と従来カレントミラー形センスアンプ回路の縦属接続構成(b) 4 MビットSRAMには、(a)に示すような初段にカレントミラー形アンプの並列接続、2段目にPMOS正帰還形センスアンプ回路を縦属接続した構成である。

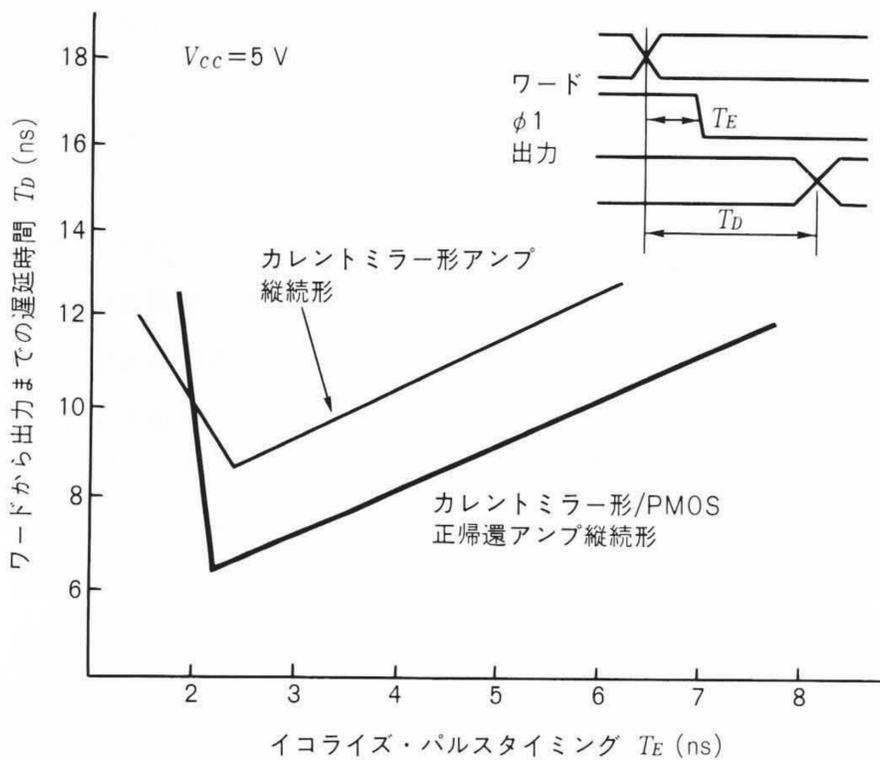


図5 センスアンプの動作マージン 図4(a), (b)の両者のセンスアンプ回路で、ワード線から出力までの遅延時間とイコライズ終了までの時間の関係を示す。

ート $G_i$ を閉じてデータバスの信号をデータラッチ回路に入力する際、信号振幅が一時的に減少し、出力バッファの駆動が遅れてアクセス時間が長くなる。これに対し今回採用した同図(a)の構成では、出力バッファからデータが出力された後に入力ゲート $G_i$ が閉じ、データバスの信号がデータラッチ回路に入力されるので、アクセス時間の遅延がなく高速のアクセス時間が実現できる。

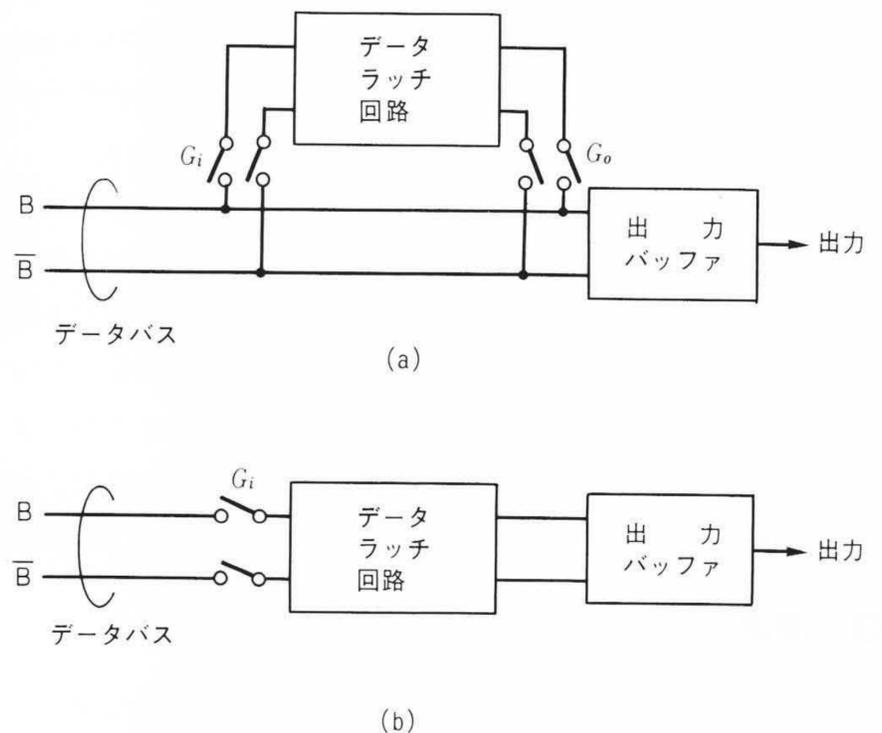
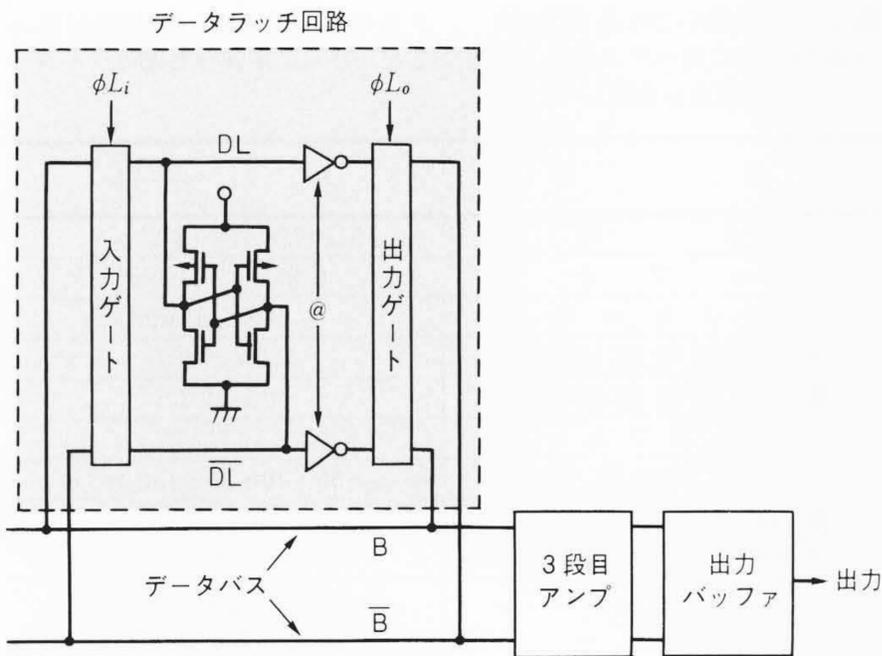


図6 高速耐雑音データラッチ構成(a)と従来データラッチ構成(b) 4 MビットSRAMに用いた構成(a)では、出力バッファからデータが出力された後に入力ゲート $G_i$ が閉じ、データバスの信号がラッチ回路に入力されるので高速のアクセス時間が実現できる。

一方、外部から混入する電源雑音に対しては、ラッチデータの破壊が生じないデータラッチ回路方式とした。高速耐雑音データラッチ回路方式を図7に示す。 $\phi Li$ は入力ゲート制御パルス信号で、ATD(Address Transition Detection: アドレス遷移検出回路)信号のパルス幅を縮小して生成する。それゆえ、外部雑音に起因する不完全なATDパルス信号が誤って生成される場合には $\phi Li$ が生成されず、入力ゲート回路が導通



注：@ ラッチ保護インバータ

図7 高速耐雑音データラッチ回路方式  $\phi Li$ は入力ゲート制御パルス信号で、外部雑音に対して強い耐性を持つためラッチデータの破壊はない。

しない。したがって、データバスに現れる不完全な信号振幅によってラッチデータが破壊することがない。

また、定常状態では、出力ゲート制御パルス信号 $\phi Lo$ によって出力ゲートが導通状態にあるので、外部雑音に起因する不完全信号がデータバスに現れたときに、ラッチデータを破壊ないようにラッチ保護インバータ回路を出力ゲート前に設けた。

### 5 HM628512の特性

4 MビットSRAM, HM628512のチップ写真を図8に示す。メモリセルアレーは64個のサブアレーで構成され、各サブアレーは1,024行×64列のメモリセルから成る。メモリセルのワード線電圧を制御するワードデコーダ回路は、各サブアレーに1組、計64組み必要であるが、レイアウト面積を低減し、チップ面積を縮小するため、サブアレーのワードデコーダ回路を4組みひとまとめにして配置する構成とした。チップ寸法は縦6.95 mm, 横16.71 mmで、面積は116 mm<sup>2</sup>である。これは、1 MビットSRAMの1.4倍の大きさである。

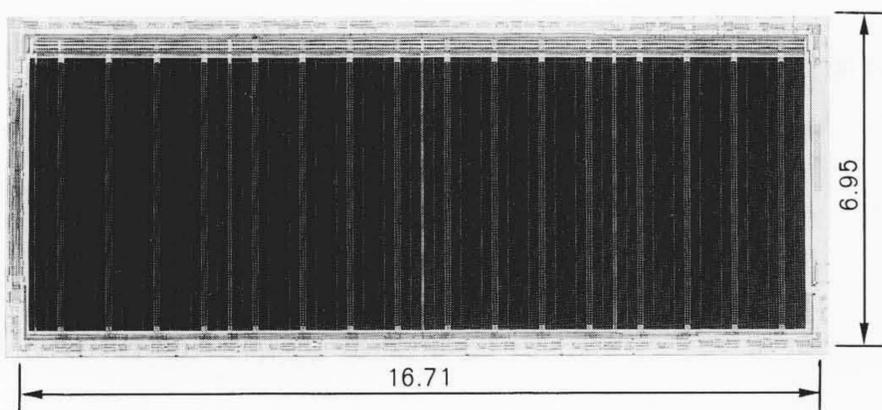


図8 HM628512のチップ写真 チップ寸法は、6.95 mm×16.71 mmで、この上に25 M素子が集積されている。

HM628512のパッケージ封入時のピン配置を図9に示す。この配置はJEDEC (Joint Electron Devices Engineering Council)の512 kワード×8ビットSRAMの標準に適合した32ピンの構成で、4 Mビット擬似SRAM HM658512ともピンコンパチブルとなっている。1 MビットSRAMと同様の32ピン構成であるが、メモリ容量が4倍となって、アドレス入力ピンが2本追加となったため、1 MビットSRAMの1番ピン(NC)と30番ピン(CS2:チップ選択2)の2本がそれぞれアドレス入力となった。

アドレスアクセス時間の電源電圧依存性を図10に示す。この評価結果から、電源電圧5 V, 周囲温度25℃の標準条件のもとで、32 nsの高速アクセス時間が得られ、かつ電源電圧3.0 Vから7.0 Vの広範囲での動作が実現できている。

待機時およびデータリテンション時消費電流の温度依存性



図9 HM628512のピン配置図 ピン配置は、バイトワイド4 MビットSRAMのJEDEC標準配置であり、4 Mビットに擬似SRAMとピン互換性がある。

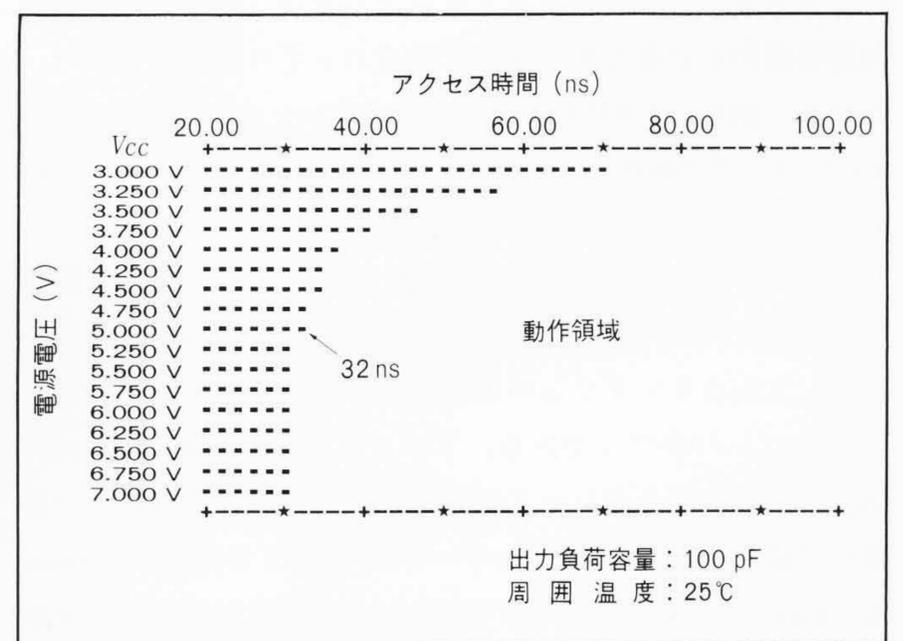


図10 アドレスアクセス時間の電源電圧依存性 標準条件のもとで、32 nsの高速アクセス時間が得られている。

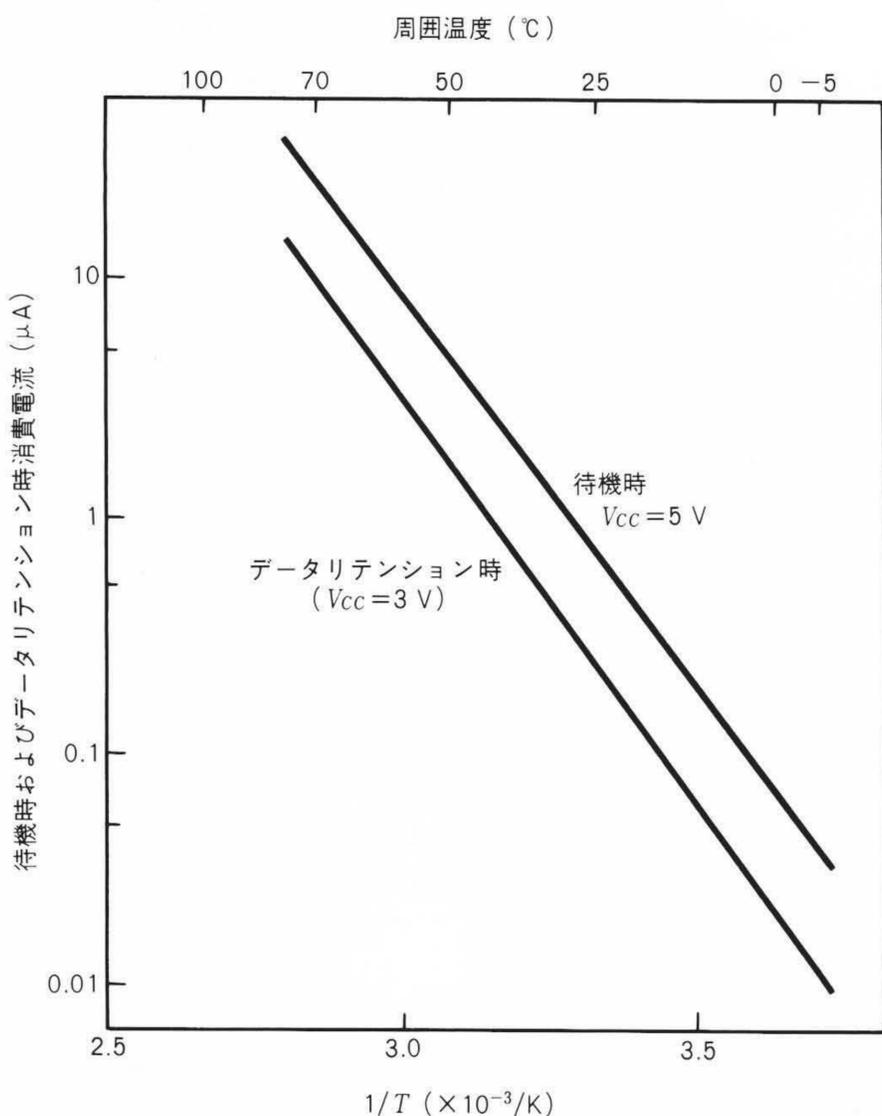


図11 待機時およびデータリテンション時消費電流の温度依存性  
メモリセルにポリシリコンPMOS負荷を採用した。周囲温度25℃で0.2μAの超低データリテンション電流を実現した。

を図11に示す。これらの電流特性は、メモリセルに用いたポリシリコンPMOS負荷のオフ時に流れる電流の温度依存性で決まっており、基本的には従来、日立製作所のSRAMに用いてきたポリシリコン抵抗の温度依存性とほぼ同様である。温度に対する電流の変化率は、周囲温度50℃の増加に対し約50倍の増加を示す。室温では、0.2μAのデータリテンション電流が得られており、ラップトップ パーソナルコンピュータ、ハンディターミナル、メモリカードなどバッテリーで長期間の情報保持が必要な電子機器に最適のメモリが実現できた。従来の1MビットSRAMのデータリテンション電流が0.8~1μA/チップであるから、本製品は4倍の集積度で $\frac{1}{4}$ ~ $\frac{1}{5}$ の超低データリテンション電流特性を持つ。

HM628512の基本特性一覧を、表2にまとめて示す。本製品の電源電圧の社外保証値は、従来製品と同様の5V±10%であり、入出力インタフェースもTTL(Transistor Transistor Logic)コンパチブルである。アクセス時間は55 ns, 70 ns, 85 ns, 100 nsの4グレードが設定され、高速動作分野への応用も可能となっている。パッケージは、600ミル幅のDIP(Dual In Line Package)タイプと525ミル幅の面実装可能なSOP(Small Outline Package)タイプ、および厚さ1.1 mmの超薄形400ミル幅のTSOP(Thin Small Outline Package)タイプ

表2 HM628512の基本特性 メモリ容量は従来1MSRAM製品(HM628128)に比べて4倍化されているが、さらに高速化と超低データリテンション電流を実現している。

項目	特徴
ビット構成	512kワード×8ビット
チップ寸法	6.95×16.71 mm <sup>2</sup>
メモリセル寸法	3.04×5.04 μm <sup>2</sup>
動作電源電圧(保証値)	5.0 V±10%
動作温度範囲(保証値)	0~70℃
I/Oインタフェース	TTL
アクセス時間(最大)	55・70・85・100 ns
動作時電流(55 ns)	90 mA Max.
データリテンション時電流	0.2 μA typ.
パッケージ	525ミル32ピンSOP 600ミル32ピンDIP 400ミル32ピンTSOP

注：略語説明 TTL(Transistor Transistor Logic)  
DIP(Dual In Line Package)  
SOP(Small Outline Package)  
TSOP(Thin Small Outline Package)

の3種類が準備されている。

## 6 結 言

512 kワード×8ビット構成の4 MビットSRAM, HM628512を開発した。1チップ上に約25 M(2,500万)素子を集積するために、0.5 μm CMOSポリシリコン4層メタル2層配線技術を採用した。メモリセルには、ポリシリコンPMOS負荷を新たに採用し、データリテンション時の超低電流特性(0.2 μA, 電源電圧3 V, 室温)を実現した。また、高速低電力センスアンプ回路および高速耐雑音データラッチ回路方式を新たに開発し、メタル2層配線技術の寄与も合わせて、32 ns typ.の高速アクセス時間を実現した。最大アクセス時間55 nsのグレード設定が可能となる。

上述した大容量、高速、低電力のSRAMは、ブック・ノート形パソコン、ハンディターミナル、メモリカードなど、バッテリーによる長期情報保持を必要とする応用分野に最適のメモリと考えられる。

## 参考文献

- 1) 笹木, 外: 1 MビットスタティックRAM “HM628128”, 日立評論, 70, 2, 191~196(昭63-2)
- 2) K. Sasaki, et al.: A 23 ns 4 Mb CMOS SRAM with 0.5 μA Standby Current, ISSCC Digest of Technical Papers, p.130~131(Feb. 1990)
- 3) K. Sasaki, et al.: A 9 ns 1 Mb CMOS SRAM, IEEE Journal of Solid-State Circuits, Vol.24, No.5 Oct. 1989
- 4) T. Yasui, et al.: High-Speed Low-Power CMOS Static RAMs, Hitachi Review Vol.29(1980), No.3 p.109~114