

薄形, 高密度, 高速化対応パッケージ技術

Thinner, High Density, High Speed Packaging Technology

LSIの高速化, 大容量化とともに, LSIパッケージの高密度実装化技術が大変革を遂げつつある。電子機器の高速化, 小形化ニーズは, チップサイズの大形化とパッケージ外形の小形化という相反するテーマに向かってパッケージ技術が開発されている。パッケージ外形形態がピン挿入形から表面実装形へ, 表面実装形から立体実装へと実装方法も大きく変わってきている。パッケージ内部構造は, リードフレームのインナリードを配線の一部としたCOL (Chip On Lead) やLOC (Lead On Chip) 構造が, 今後の薄形, 高密度, 高速化パッケージ技術の主要技術として確立されてきた。また, パッケージ厚1.0 mmのTSOP (Thin Small Outline Package) は, 低熱膨張封止レジンおよび低熱膨張プリント基板材料の採用によって高い信頼性を達成した。

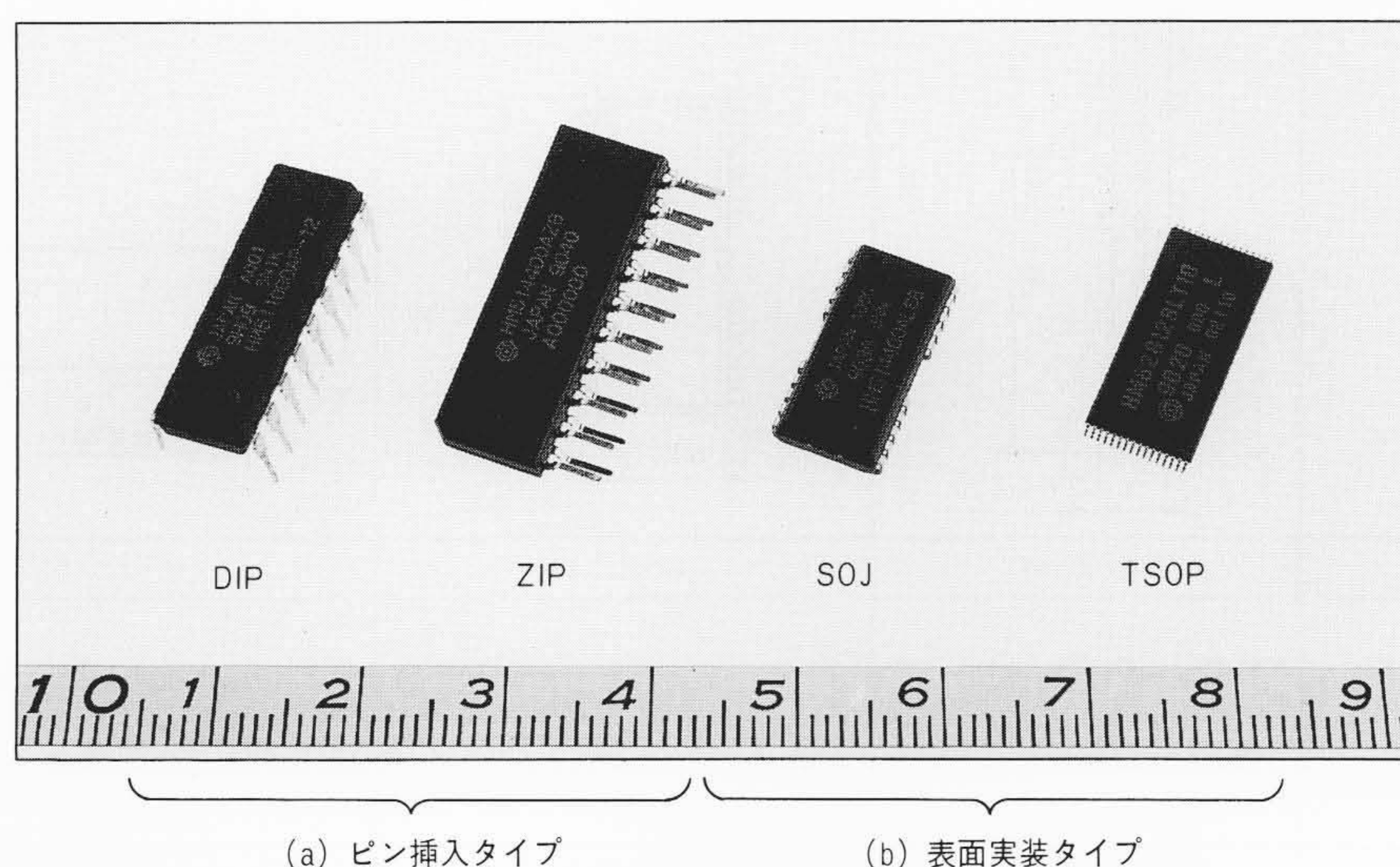
村上 元* *Gen Murakami*
坪崎邦宏* *Kunihiro Tsubosaki*
大塚憲一* *Ken'ichi Ôtsuka*
西 邦彦* *Kunihiko Nishi*

1 緒 言

パッケージの薄形, 高密度, 高速化技術は, 最先端デバイスであるDRAM (Dynamic RAM) を中心として技術展開がなされている。DRAMに使用されているパッケージの外形を図1に示す。左からピン挿入形のDIP (Dual Inline Package), ZIP (Zigzag Inline Package), 表面実装タイプのSOJ (Small Outline J-Lead Package), およびTSOP (Thin Small Outline Package) である。ピン挿入形のDIPは, 64 kビット時代

の主力パッケージであったが256 kビット時代から出てきた表面実装タイプのパッケージや, ピン挿入でありなおかつ高密度実装が可能なZIPにその座を明け渡して, 4 MDRAMでは, DIPタイプは生産されなくなっている。

パッケージの実装密度とDRAM容量との相関を図2に示す。DIP→ZIP→SOJ→TSOPになるに従い, 実装体積当たりのビット容量の高密度化が進展してきていることがわかる。256 k



注: 略語説明
DIP (Dual Inline Package)
ZIP (Zigzag Inline Package)
SOJ (Small Outline J-Lead package)
TSOP (Thin Small Outline Package)

図1 DRAM (Dynamic RAM) パッケージ外形
パッケージ外形形態が多様化し, 1円硬貨よりも薄いプラスチックモールドパッケージが製品化されてきている。

* 日立製作所 半導体設計開発センタ

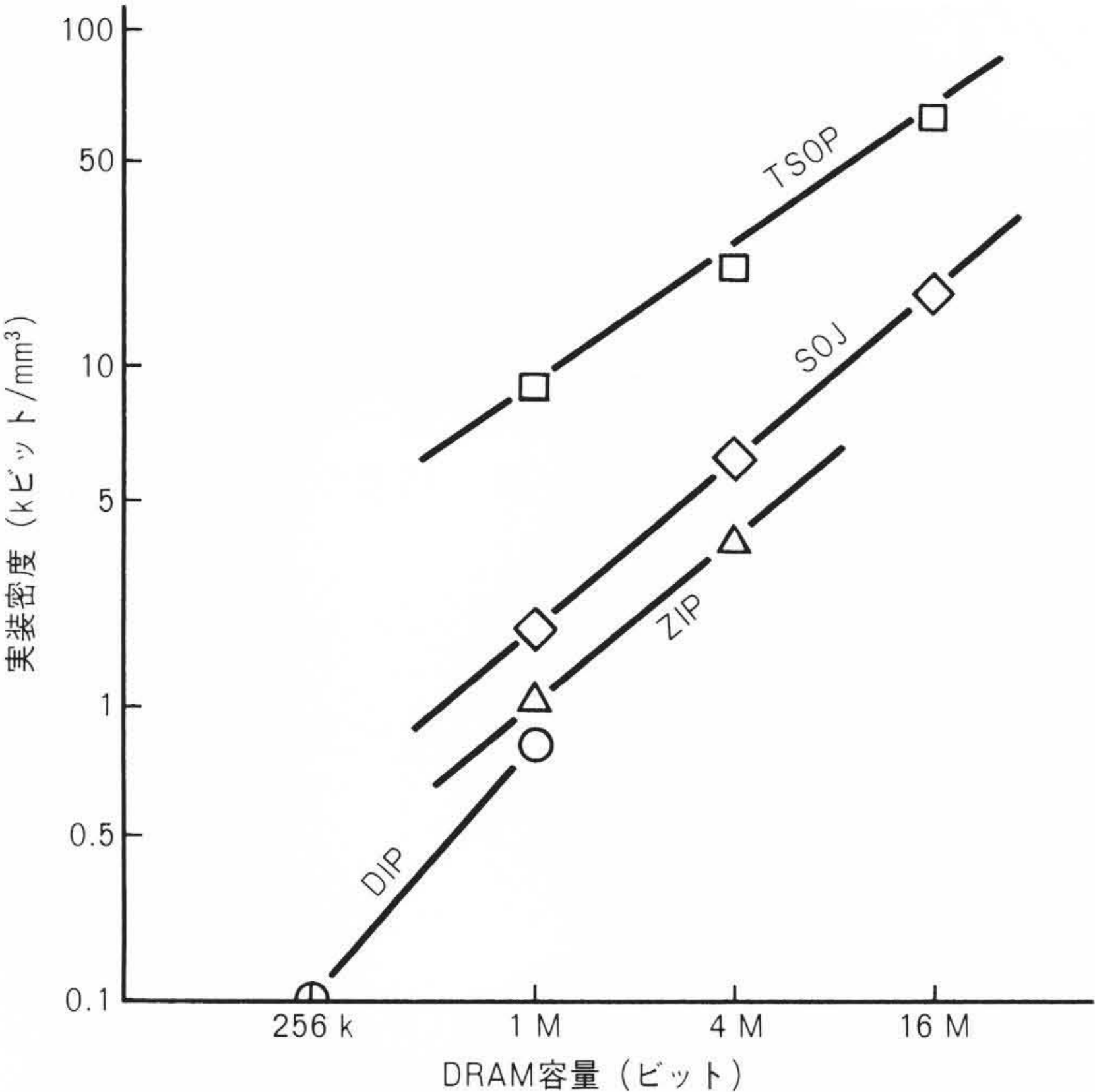


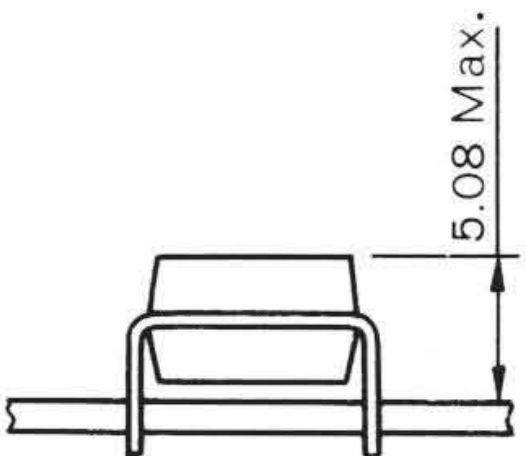
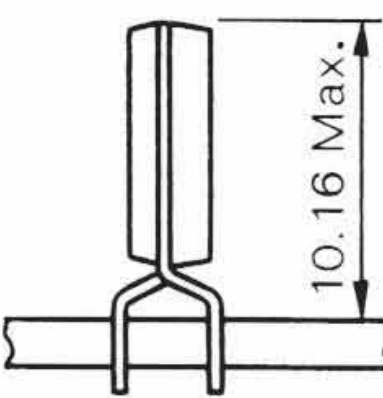
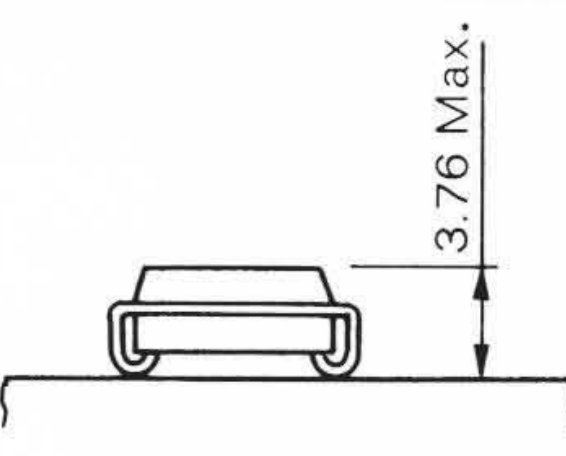
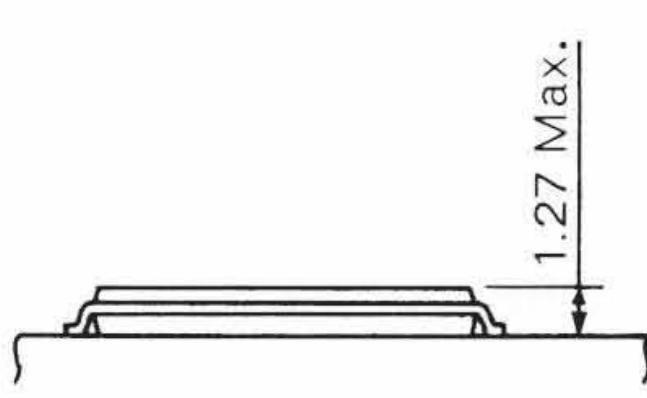
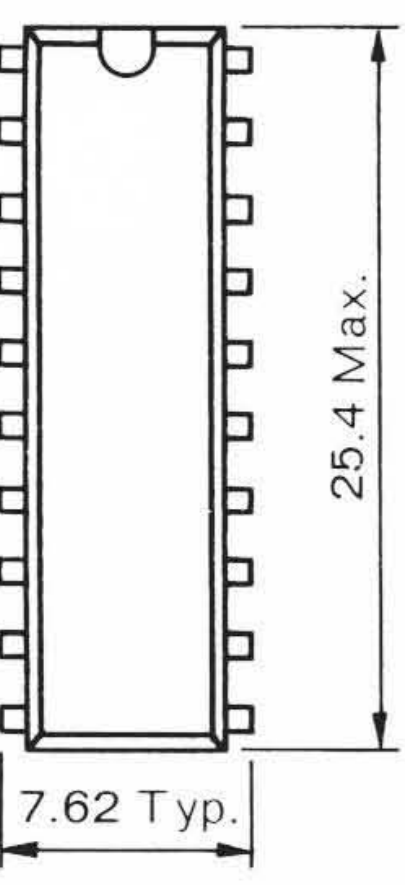
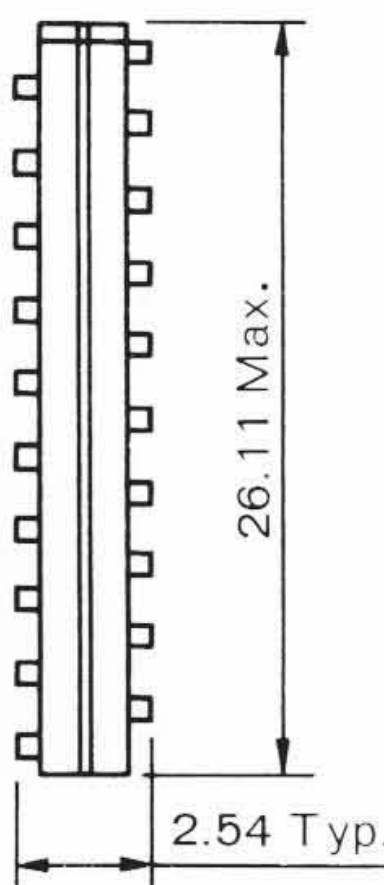
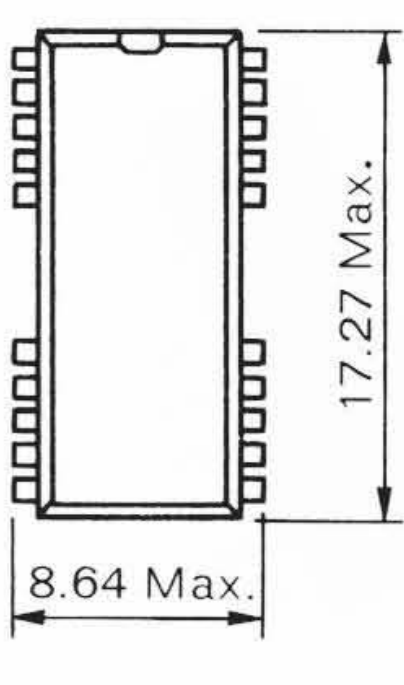
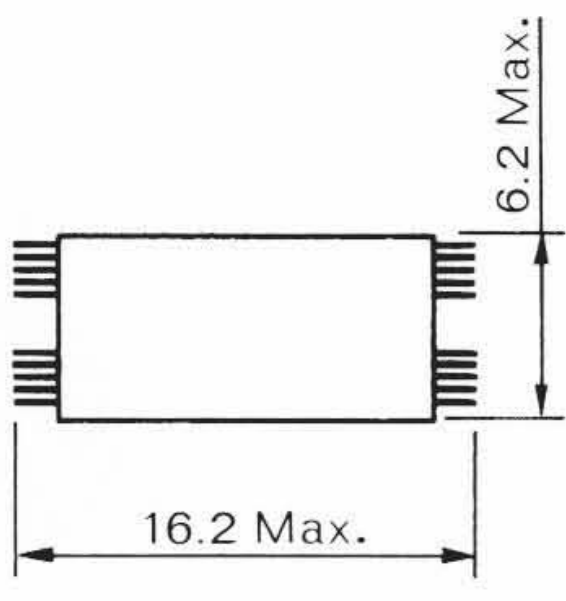
図2 パッケージ外形形態の小形化による実装密度向上 ウェーハプロセスとパッケージの小形化により、実装効率の向上が進行している。

ビットから16 Mビットとチップレベルでの大容量化になるに従い、ウェーハ加工技術の微細化とパッケージ外形形態の小形化により、3けたに近いほどスペース効率が良くなり、高密度化されている。高密度実装の点で16 Mビット時代には、TSOPが主体になるとの予想もある²⁾。

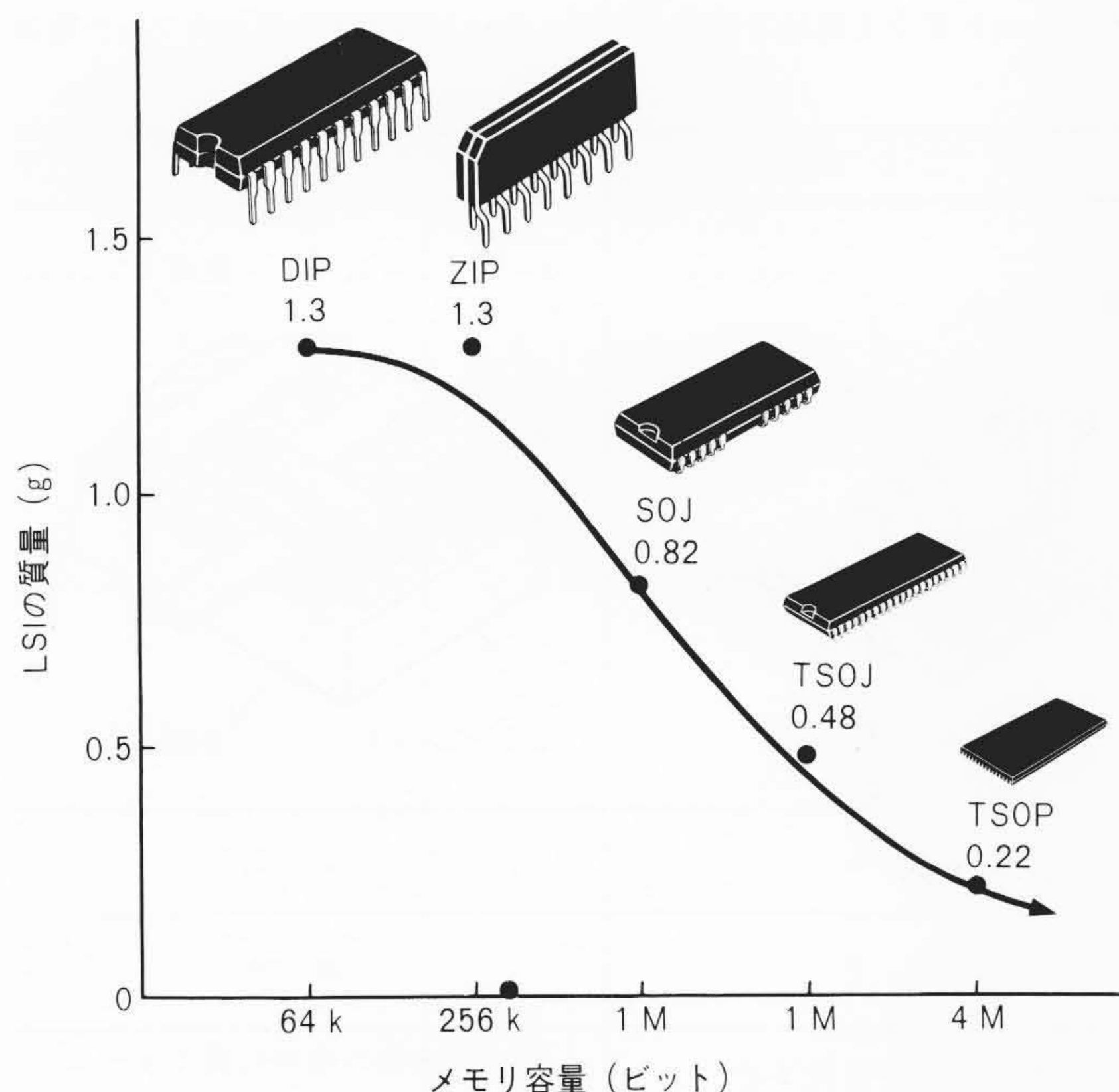
各パッケージの主要寸法の比較を表1に示す。DIPからTSOPになるに従い、実装高さは $\frac{1}{4}$ に、実装面積は $\frac{1}{2}$ に、したがって、実装体積は $\frac{1}{8}$ に小さくなっている。また、LSIのパッケージ当たりの質量は、 $\frac{1}{6}$ に小さくなっている³⁾(図3)。

一方、チップサイズは、ウェーハプロセスの微細化にもかかわらず、世代ごとに1.4~1.5倍と大きくなっていて、パッケージの実装基本寸法であるパッケージ幅300ミル幅に収まらなくなっている。4 MDRAMからは、パッケージ幅が300ミルから350ミルと50ミル広がり、16 MDRAMでは400ミルと100ミルも大きくなっていて、また、64 MDRAMでは600ミル幅になってしまうと予想されている(図4)。チップサイズに合わせてパッケージサイズを大きくしては、ウェーハプロセスの微細化が意味のないものになってしまう。チップサ

表1 パッケージ実装効率比較 TSOPはDIPに比較して $\frac{1}{8}$ の体積に、またSOJに比較して $\frac{1}{4}$ の体積になり、実装効率が向上している。

項 目	D I P	Z I P	S O J	T S O P
実装高さ (mm)	 5.08 Max.	 10.16 Max.	 3.76 Max.	 1.27 Max.
比率	1.35(1)	2.70(2)	1(0.74)	0.34(0.25)
実装寸法 (mm)	 7.62 Typ. 25.4 Max.	 2.54 Typ. 26.11 Max.	 8.64 Max. 17.27 Max.	 16.2 Max. 6.2 Max.
比率	1.30(1)	0.44(0.34)	1.0(0.77)	0.67(0.52)
はんだ付け リードピッチ (mm)	2.54(100 ミル)	1.27(50 ミル)	1.27(50 ミル)	0.50(≒20 ミル)
パッケージ厚さ (mm)	3.6	2.85	2.7	1.0
比率	1.33(1)	1.06(0.79)	1(0.71)	0.37(0.28)

()はDIPを1とした比率
SOJを1とした比率



注：略語説明 TSOJ (Thin Small Outline J-Lead package)

図3 メモリ容量と主要パッケージの質量推移 TSOPの1個当たりの質量はDIPに比較し約 $\frac{1}{6}$ に軽くなっている。

イズが大きくなっても、パッケージの基本寸法である300ミル幅に大形チップを収納する大チップ収納化技術が要求されている。そのため、日立製作所では約90 mm²のチップサイズを300ミル幅のSOJに入れるパッケージ技術として、LOC (Lead On Chip) 構造のSOJ⁴⁾や、400ミル高さのZIPに入れるパッケージ技術としてCOL (Chip On Lead) 技術⁵⁾を開発し製品化した。

2 高密度パッケージ実装LOC/COL化技術

2.1 LOC/COL構造の特徴(表2)

従来のパッケージの構造は、リードフレームのダイパッド上にペレットを搭載し、ペレットの周辺に配置されたインナリード部に金線でワイヤボンディング接合し、全体をエポキシ樹脂でトランスファモールドする構造であった。この構造では、ペレット(シリコン)とリードフレーム(FeまたはCu系材料)、レジンとの線膨張係数が異なっているため、パッケージ全体の熱応力バランスをとることが非常に難しく、世代ごとにリードフレーム材質やエポキシ樹脂、ダイボンド材料にくふうをしていた⁴⁾。インナリードをペレット四周に配置しているので、金線で接合するための領域がペレットの四周に必要となること、レジンとインナリードを接合する領域がパッケージ本体との間に必要なことなどのために、パッケージの実装面積当たりの最大ペレットサイズ(最大素子収納率)は約60%程度が限界となっていた。

世代ごとに大きくなっていくペレットサイズを、同一形状

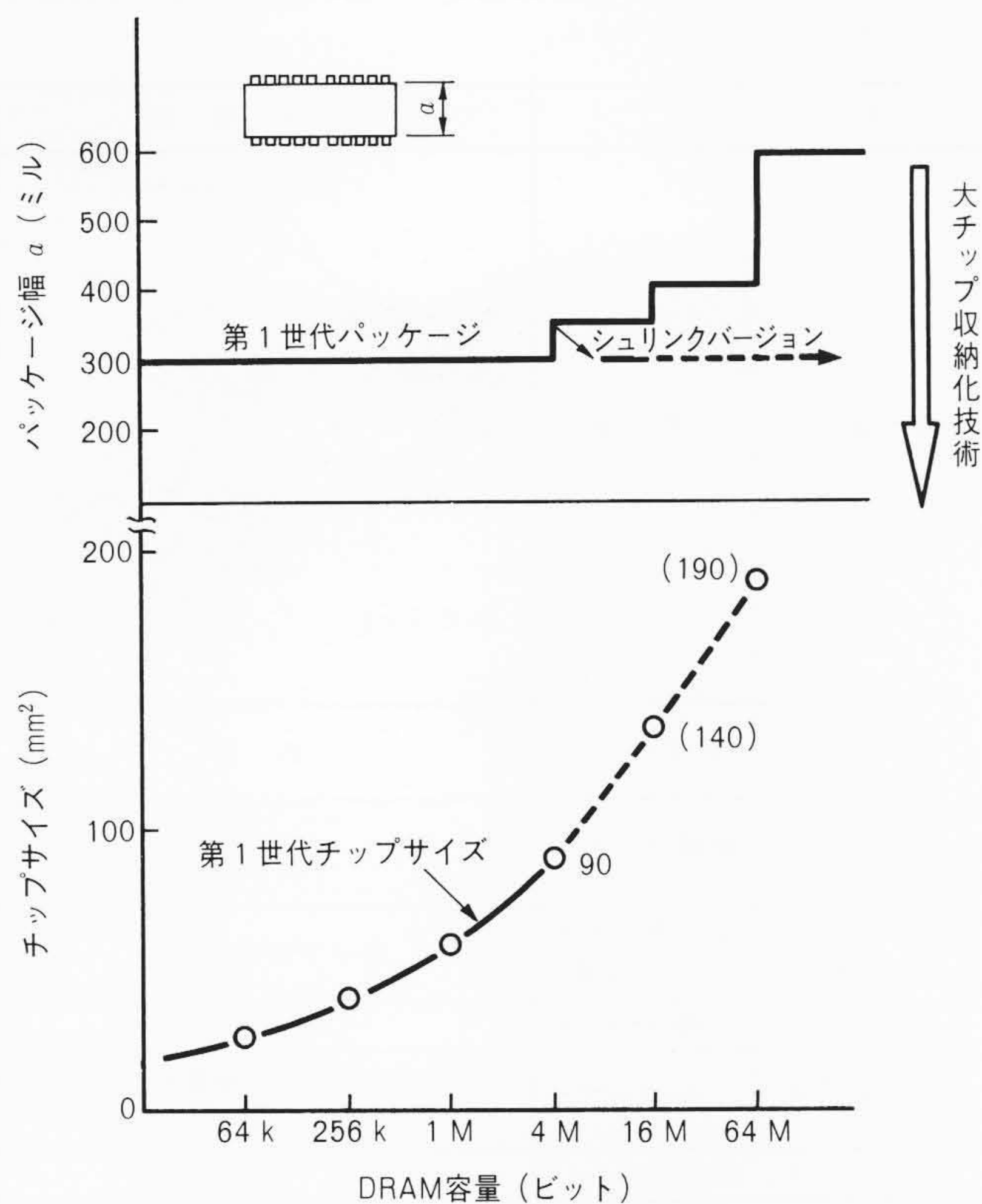
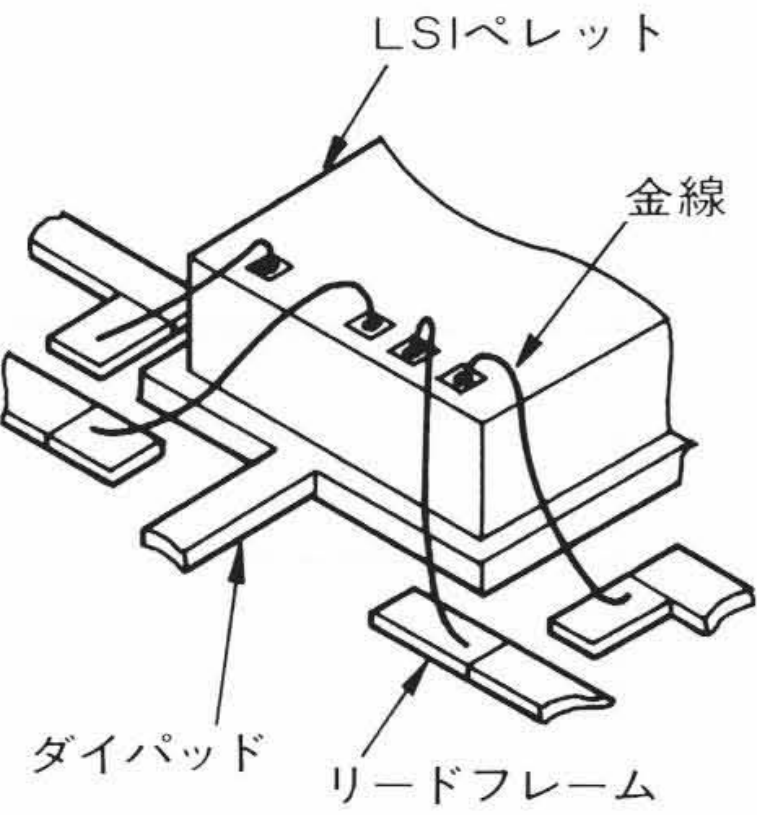
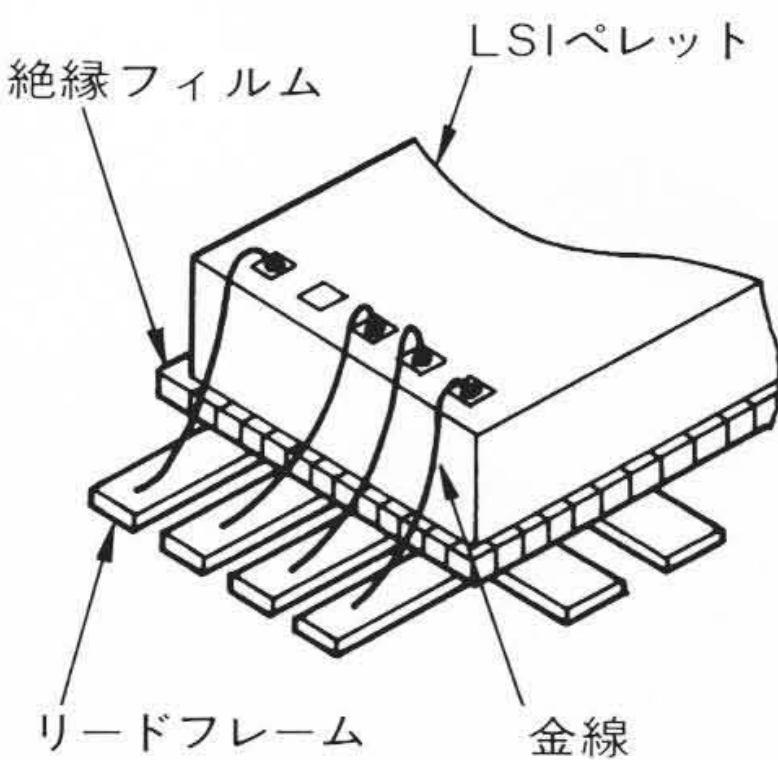
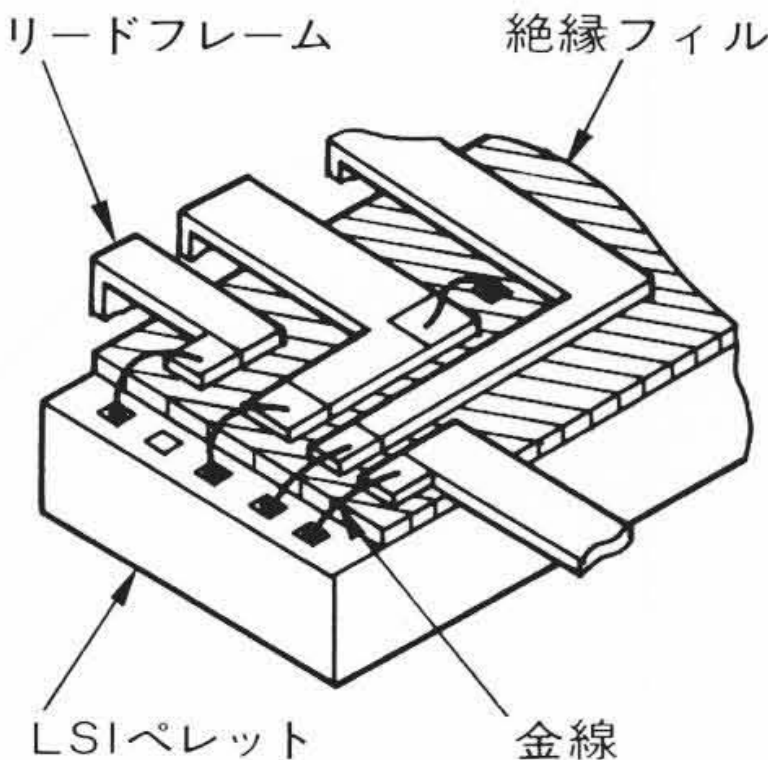


図4 DRAM容量とチップサイズ面積推移 チップサイズの増大に伴って、パッケージ幅はその基本寸法である300ミルから350, 400, 600ミルと大きくなってきている。

のパッケージに収納させるためには、インナリードのボンディング領域と、インナリードのレジン接合領域を少なくすることが大きな技術課題であった。LSI素子のボンディングパッド配置をペレットの短辺側2辺に配置し、そのLSI素子のパッドに対応した位置にリードフレームを配置する構造を考え、COL構造と名づけた⁴⁾。この構造にするとLSI素子の最大収納率を70%程度まで高めることができる。また、ペレットの下面にインナリードを配置できるため、一つのLSI素子をSOJやZIPなどの異なった形状のパッケージに入れることができる特徴がある。COL構造では、リードフレームとの絶縁をとるためにペレットとの間に絶縁フィルムを配置する。この絶縁フィルム(ポリイミド材)は、リードフレーム(FeまたはCu系合金)に比較して剛性が小さいので、大きなLSI素子を搭載してもペレットに応力ダメージを与えずに、従来構造と同様の信頼性を得ることができる^{5), 6)}。

一方、インナリードをペレット上に配置した構造をLOC構造と名づけた⁴⁾。この構造では、リードフレームのボンディング領域をすべてLSI素子上に配置することが可能となり、ペレットの周辺にリードフレームのインナリードを配置することがなくなるので、パッケージ実装面積当たりの最大ペレット収納率を90%程度にまで高めることが可能となる。また、この構造はLSI素子のボンディングパッドをペレットの任意位置

表2 COL/LOCパッケージ構造の比較 LOC構造にすることにより、大形ペレット素子を収納でき、かつパッケージ内でチップへのマルチ電源供給化が可能なので高速化できる。

項 目		従 来 構 造	C O L	L O C
構 造	概 要			
	リード フレーム	ダイパッド	あ り	な し
		絶縁フィルム	な し	あ り
	ワイヤボンド	2nd側ワイヤ ボンド位置	チップの周辺4辺	チップの短辺側2辺
		長さ(mm)	2.0~3.0	2.0~2.5
	ダイボンド	大チップ	リードフレーム材質との応力 アンバランス発生	チップ表面側フィルム材で応力 吸収
大ペレット、収納化率		△	○	◎
最大素子収納率		60%	70%	90%
高 速 化		○	○	◎
マ ル チ 電 源 化		△	△	◎
信 頼 性		○	○	○
技 術 的 難 易 度		小	中	大

注：略語説明など COL (Chip On Lead), LOC (Lead On Chip), メリット大◎→○→△小

に配置することができるため、素子への電源供給のマルチ化ができ、素子内での電源配線の長さを短くできるので、大規模素子の高速化が可能となる。次世代素子の有力な構造と考えられている。LOC構造では、微細加工されたLSI素子上に絶縁フィルムの接着やワイヤボンディングなどの接合時の荷重が加わるため、適切な絶縁フィルム材料の選定や接合荷重コントロールなど、素子への機械的ダメージに対する配慮が必要となる。

2.2 LOC構造品の組立プロセス

LOC構造品の組立プロセスを図5に示す。LOC用のテープはポリイミド基材の両面に接着剤を塗工したものであり、この両面の接着剤がリードへのテープはり付け時およびペレットの接合時に、それぞれ接着剤として機能する。テープは所定形状にパンチングされ、続いて加工済みのリードフレームのワイヤボンディング面(Agめっき面)とは反対の面に熱圧着される。

接着剤およびテープ基材の選定は特に重要である。すなわち、接着工程の品質と作業性、ワイヤボンディング性、耐はんだ熱性および信頼性と密接に関連する。このため、接着剤としては耐熱温度が高く、耐熱水性に優れる高純度の材料を

適用し、テープ基材には耐熱性に優れるポリイミドを使用した。リードフレームの材質は、ペレットとの熱応力バランスの点でFe-Ni合金を用いた。ペレットとリードフレームの接合は、LSI素子のボンディングパッドとリードフレームのボンディング位置の合わせ精度を高めるため、パターン認識法による位置合わせを行った上、加熱加圧し接着する。この装置をLOCマウンタと称することにした。LOCマウンタは、ペレットへの機械的ダメージを少なくするため、リードフレームの平面精度を高めペレットとの平行度の整合、加熱加圧時のボンディングツールの衝撃荷重制御機構を付加したものとした。LOCマウンタの機構モデル図を図6に示す。ウェーハの良品ペレットをピックアップアーム機構で、ペレット制御ステージに乗せる。ペレット制御ステージは、ローダ側からフレームフィーダによって送られてきたリードフレームのボンディングヘッド部下面に移動し、リードフレームパターンとペレットのボンディングパッド位置をパターン認識法によって位置合わせする。ボンディングツールとペレット制御ステージが同時にリードフレームとペレットを加熱加圧した後、上下に分かれてリードフレームとペレットが一体となる。

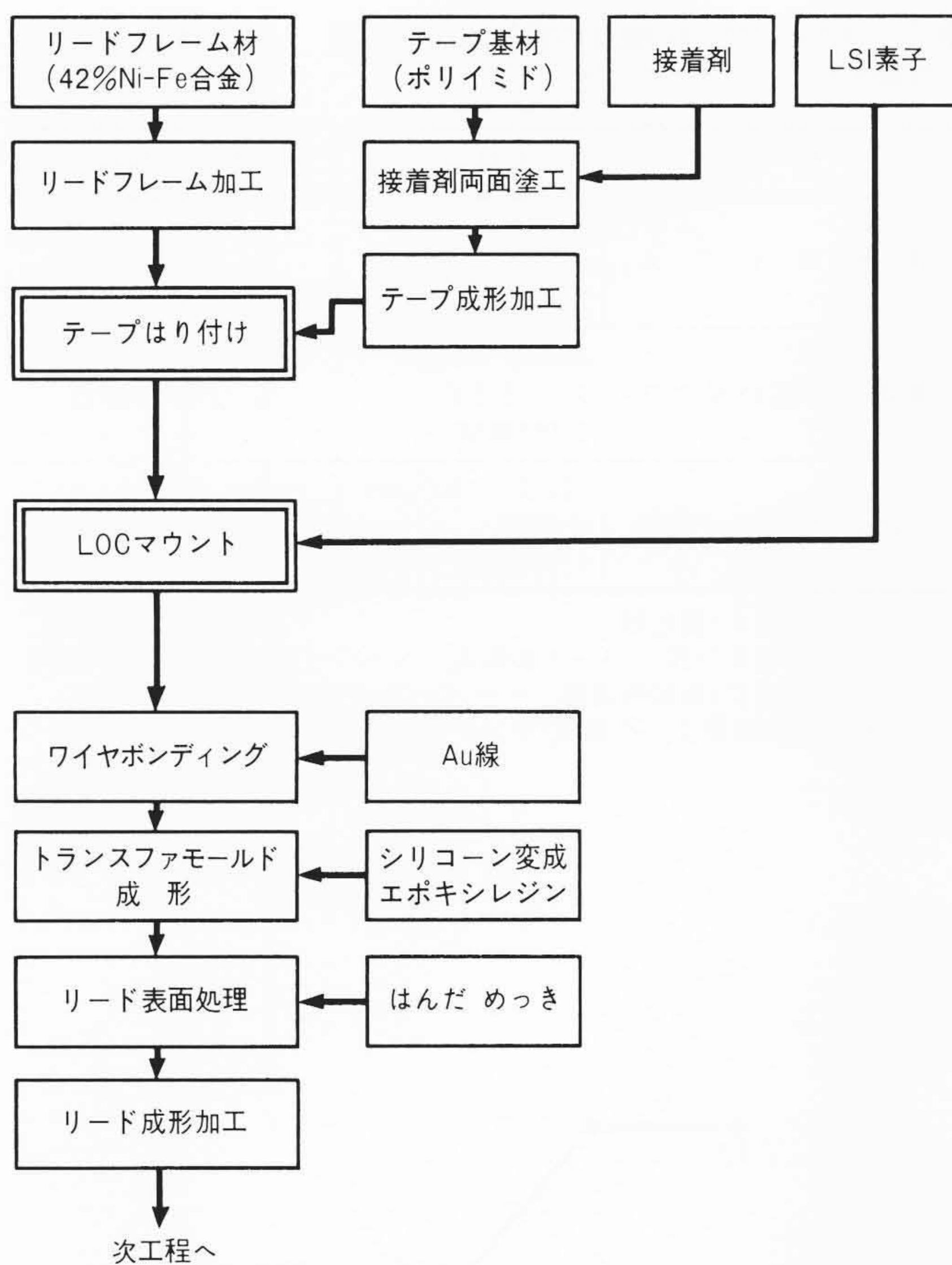


図5 LOC構造の組立プロセス リードフレームにテープをはり付け、次にLSI素子をマウントする。

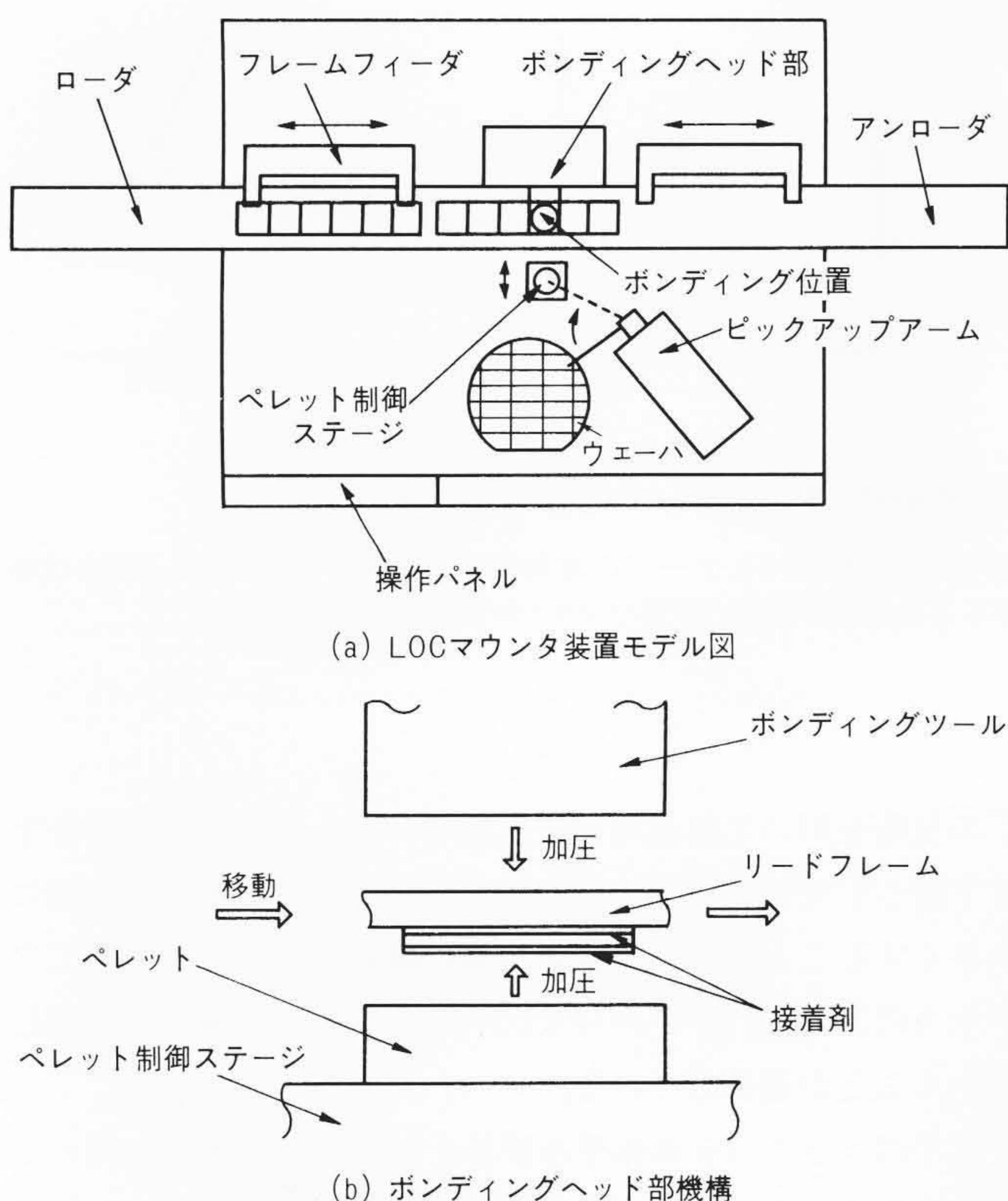
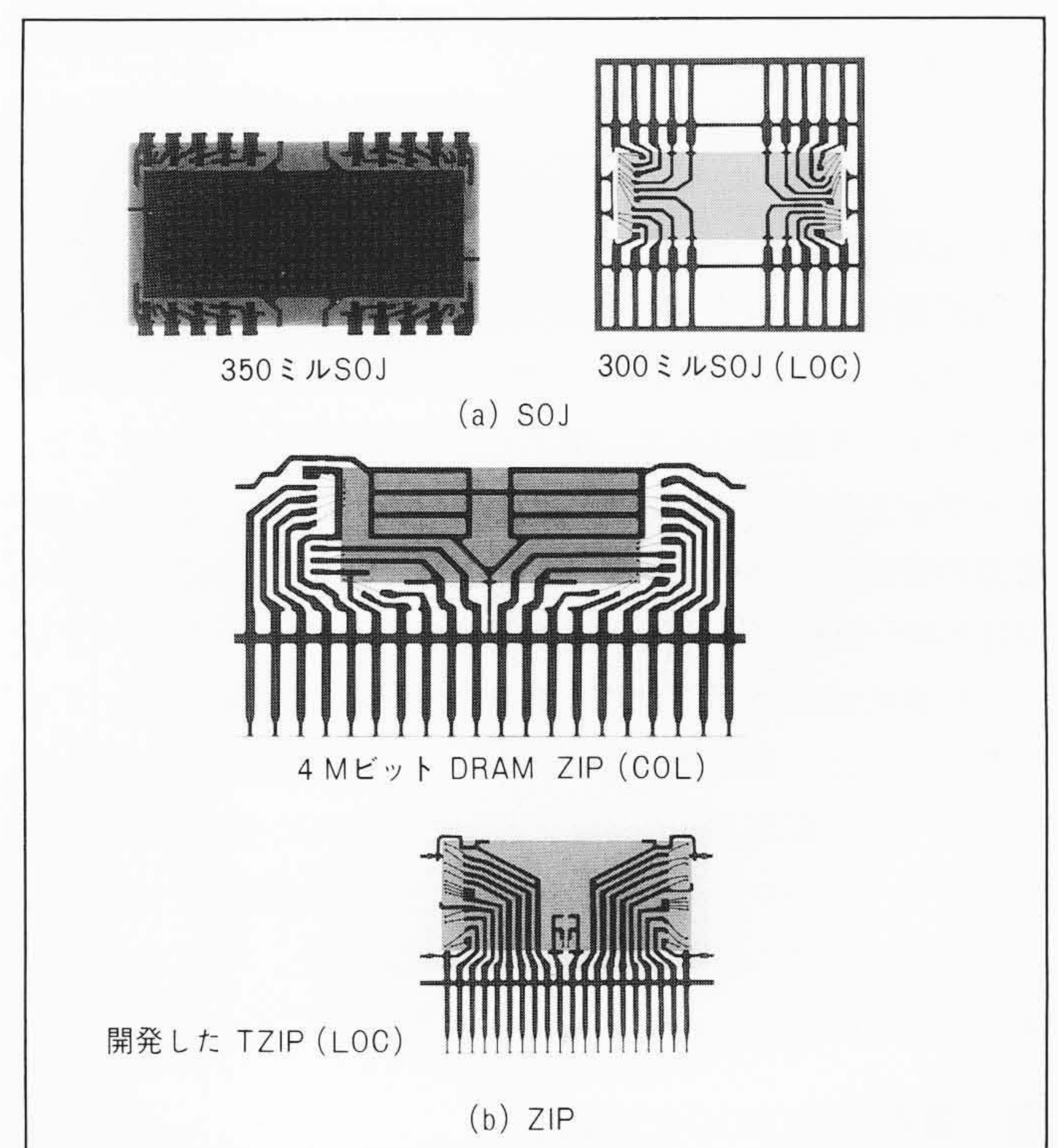


図6 LOCマウンタ装置モデル図 テープ付きのリードフレームとペレットが、ペレット制御ステージおよびボンディングツールによって加熱圧着される。

2.3 LOC構造製品適用例

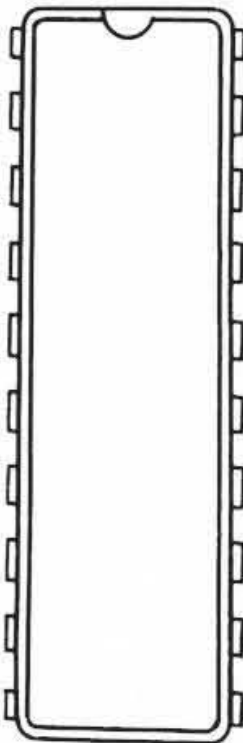
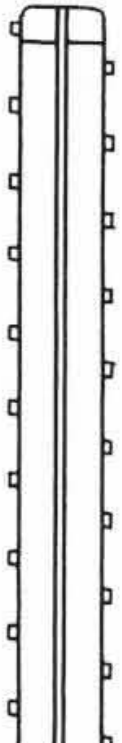
図7に4MビットDRAMの第1世代素子を搭載したパッケージ例、SOJおよびZIP(Zigzag Inline Package)を示す。同図(a)では、従来構造の350ミル幅SOJと、同一素子を300ミル幅SOJに搭載した場合の組立状態をX線透視写真で示す。同図から明らかなように、LOC構造ではペレットの上面にリードフレームを配置し、リードフレームのワイヤボンディング領域がすべてペレットの平面上で行われて、大形ペレットを小形パッケージに収納することが可能となった。

図7(b)は、4MビットDRAMをZIPに適用した例である。通常構造の1Mビットに比較して、同一外形のパッケージに1MDRAMよりも1.4倍大きい素子を搭載している⁶⁾。ZIPをLOC構造にすると、インナリードの引き回しがすべてペレット長さの範囲内で可能になるため、高密度実装化が可能となる。4MDRAMのZIPと新たに開発したTZIPで外形比較すると、図8に示すように従来ZIP外形の $\frac{1}{4}$ に小さくなり、高密度実装化が可能となる。なおTZIPでは、高密度実装化のため、パッケージのリード列ピッチを100ミルから50ミルに、また、アウトリードピッチを50ミルから25ミルに狭ピッチ化して、高密度化を行える構造で設計した。プリント基板のスルーホール格子ピッチは50ミルとし、ピン間に1本配線できるようにスルーホール加工穴径を0.5mmとし、リード幅を0.3mm、リードフレーム厚さを0.15mmで設計した(図8参照)。



注：略語説明 TZIP (Thin Zigzag Inline Package)

図7 LOC構造4MDRAM製品適用例(X線透視写真) LOC構造ではワイヤボンディング領域がすべてペレットの平面上で行われて、大形ペレットを小形パッケージに収納することが可能となる。

項 目		DIP	ZIP	TZIP
実装 サイ ズ				
	リード			
	ピッチ	100	50/100	25/50 ミル
	幅	300	100	50 ミル
実装面積比		1	0.44	0.12
		2.3	1	0.30

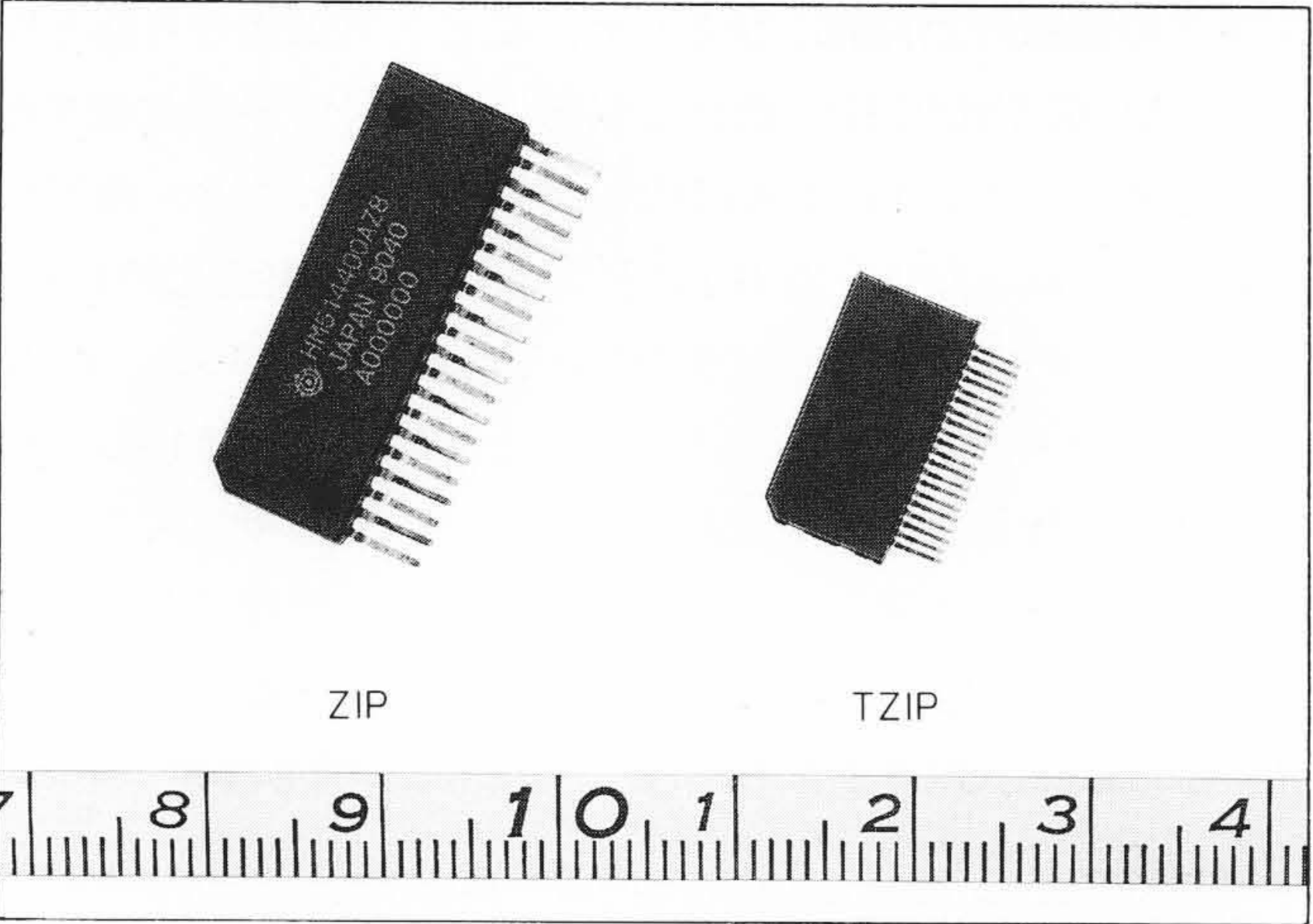


図 8 TZIPの外観 薄形でリードピッチを25ミルに引き出したTZIPは、ZIPに比較して約1/4の実装となる。

2.4 LOC構造の信頼性

LOC構造は、熱膨張係数の大きいポリイミドフィルムを、シリコンペレットとシリコンに熱膨張係数が近いFe-Ni合金でサンドイッチ構造にして、応力バランスをとっていることと、テープが比較的弾性率の低い材料で構成されているため、熱応力の安定度は高い。信頼性評価は4 Mビットの従来構造のSOJと同一試験項目、同一試験基準で実施し、すべてクリアした。代表的試験項目と結果を表3に示す。試験前のサンプル処理としては、無処理のもの、パッケージの吸湿水分を除いたもの、85℃65%RHの高温・高湿の雰囲気中に168時間保存した後、ベーパーフェーズはんだづけと同一の熱処理を行った後、温度サイクル寿命、耐湿寿命を確認した。それぞれの試験で、不良発生のないことを確認できた。

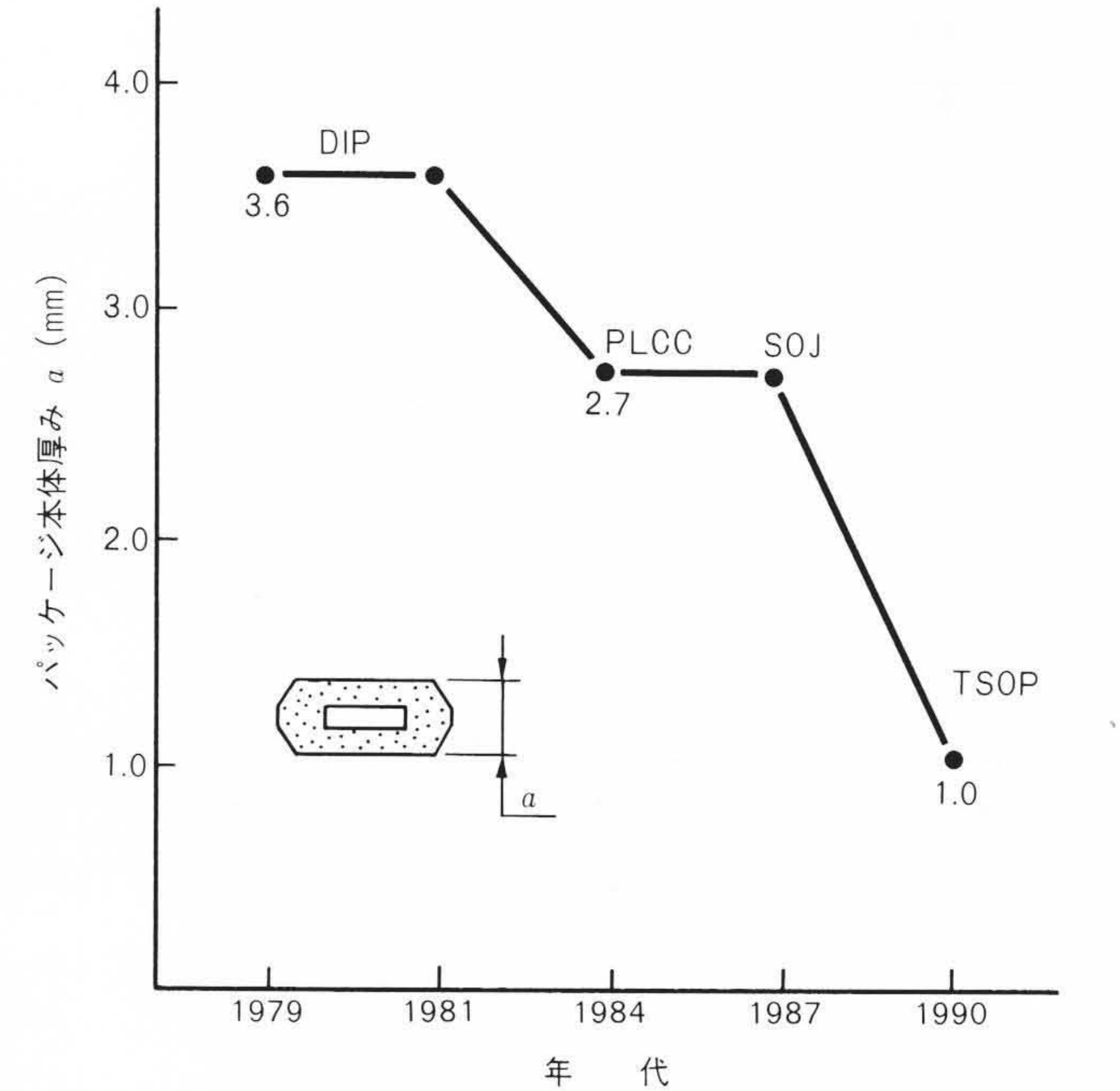
3 薄形化(TSOP化)技術

1章で述べたように、パッケージの外形形態は、TSOPになるに従いパッケージ全体が立体的に小さくなるため、三次元の寸法縮小化ができる。ウェーハの微細加工技術は、0.5μm

表 3 4 MDRAM LOC構造の信頼性試験結果 従来構造のSOJと同一試験を行い、すべてクリアした。

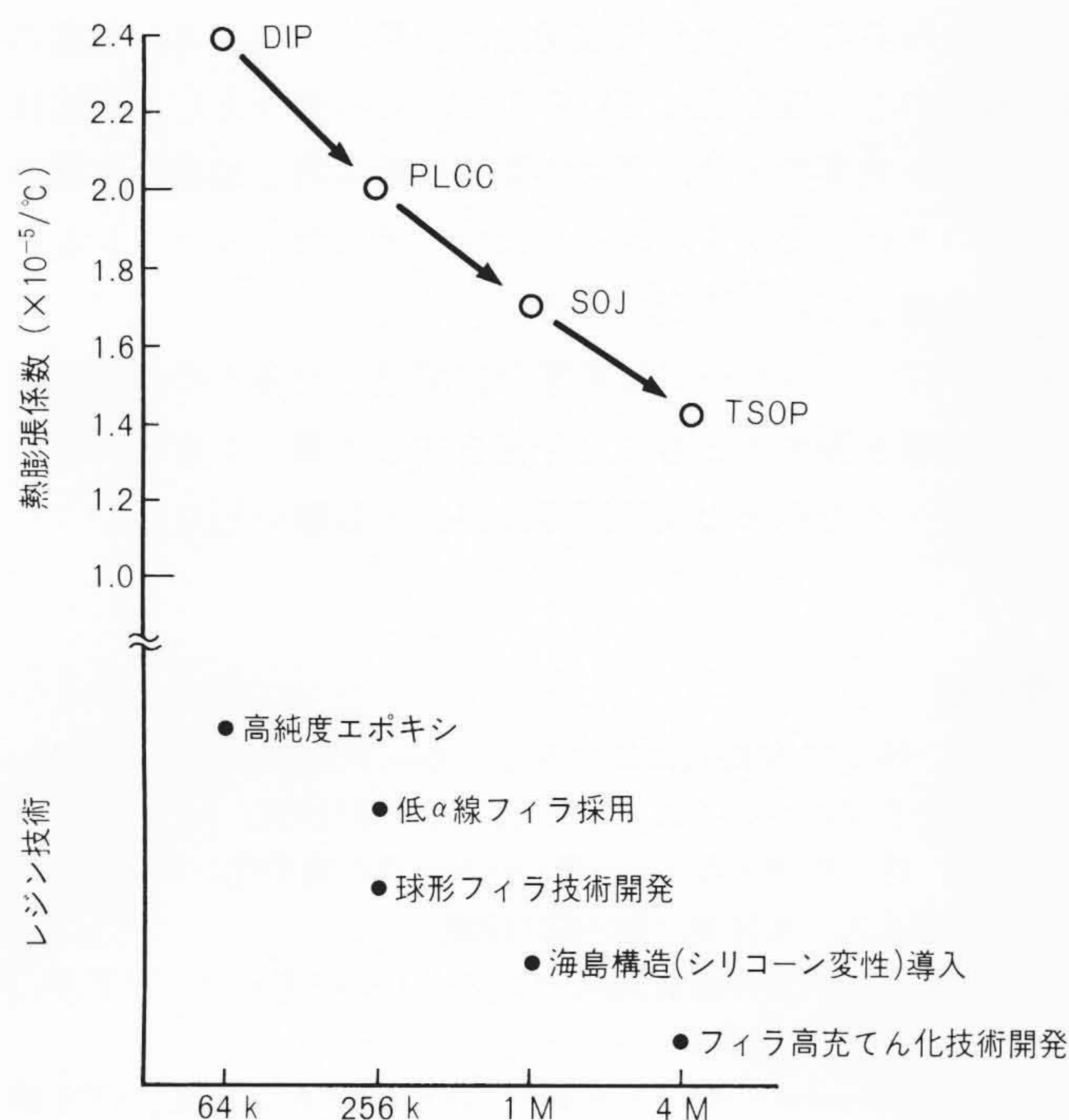
試 験 項 目	試験条件	前処理*	試験結果**
温 度 サ イ ク ル	-55~150℃ 2,000サイクル	A	0/36
		B	0/15
		C	0/30
高 温 ・ 高 湿 バ イ ア ス	85℃, 85%RH V _{CC} =5.5V 2,000時間	C	0/13
プレッシャッッカー試験	121℃, 100%RH 2気圧 1,000時間	C	0/10

注：* 前処理A(無処理)
前処理B(125℃ピーク加熱後、ベーパーフェーズリフロー処理)
前処理C(飽和吸湿後、ベーパーフェーズリフロー処理)
** 試験結果は、不良数/サンプル数

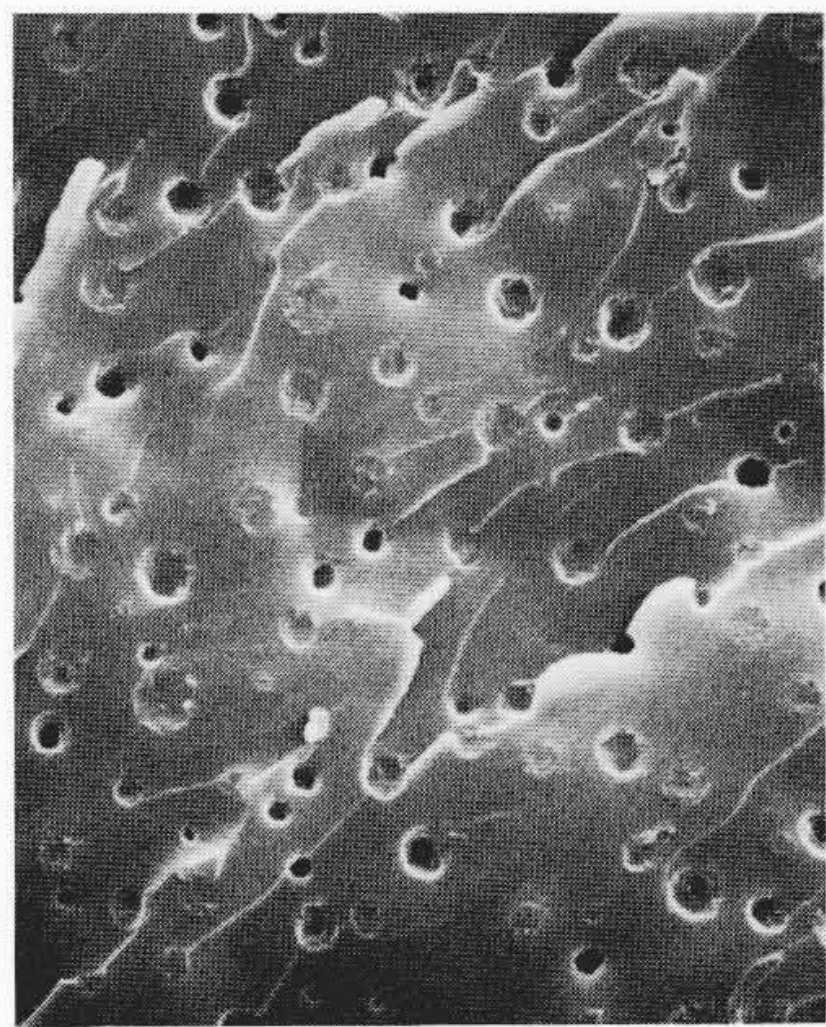


注：略語説明 PLCC (Plastic Leaded Chip Carrier)
図 9 DRAM用パッケージの本体厚みの推移 パッケージ厚さは時代とともに薄くなり、薄形パッケージを指向している。

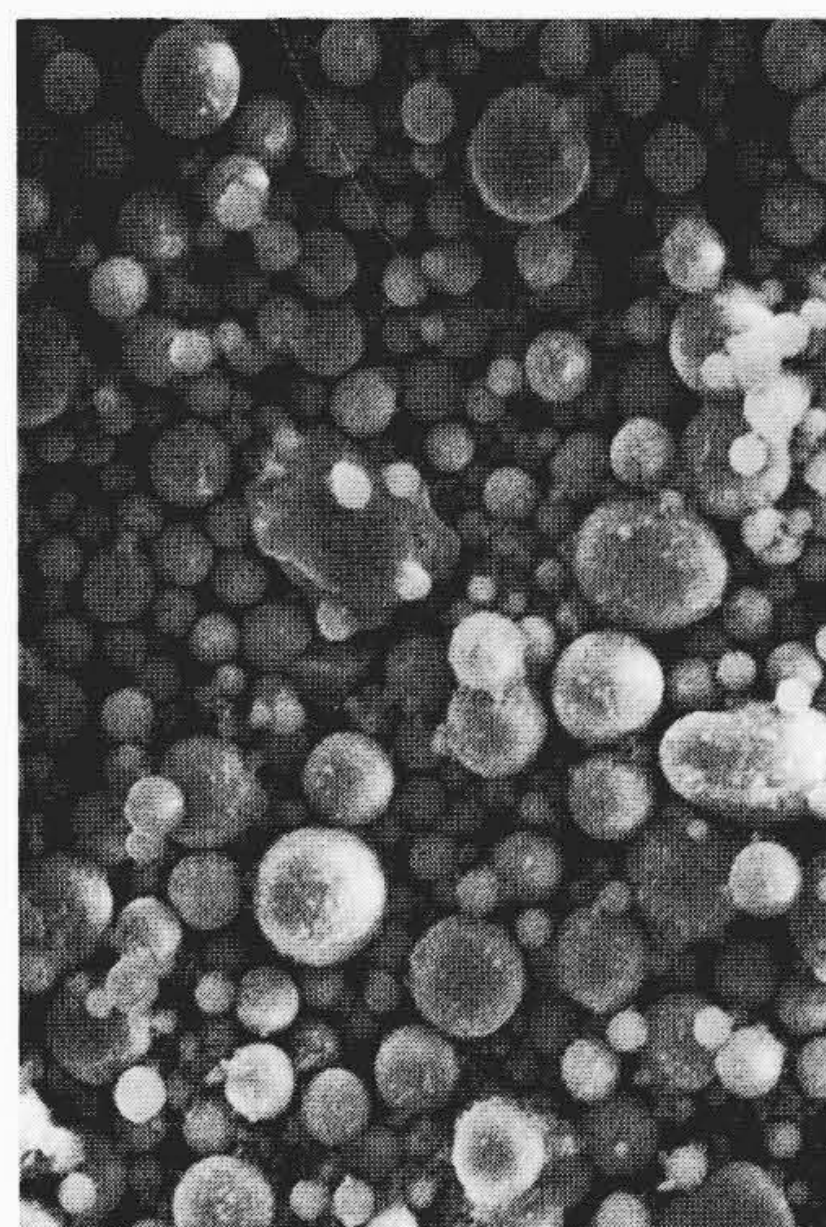
下の技術を用いて製品開発が進行中であるが、技術的にますます難しくなっている。代わってパッケージ外形を立体的に小さくすることにより、量産技術の確立したウェーハ加工プロセスのものを、小さいパッケージを用いて立体的に実装していくことが進行している。
近年のパッケージ本体厚み推移を年代ごとにDRAM用パッケージで追ってみると、図9に示すように推移している。DIP時代3.6mmあったパッケージ本体厚みは、表面実装タイプのパッケージSOJなどになると2.7mmと薄くなり、TSOPにな



(b) 破碎フィラ



(a) 海島構造



(c) 球形フィラ

図10 DRAM用パッケージのレジン材の熱膨張係数 球形フィラを採用し、粒度分布の最適化でレジンの低熱膨張化を図った。

りさらに1.0 mmと薄くなっている。このように薄いパッケージにしてもパッケージの耐環境試験に耐えられるようになってきているのは、パッケージ全体の熱応力バランスをとるためレジン材の線膨張係数をDRAMの世代ごとに小さくしてきていること、接着性向上や吸湿性特性の向上などレジン材の果たした技術開発によるところが大きい^{7),8)}。ピン挿入形時代、表面実装形時代およびTSOP時代のDRAMに使用したレジン材の熱膨張係数を図10に示す。TSOPでは、熱膨張係数 $1.4 \times 10^{-5}/^{\circ}\text{C}$ の材料を適用することで4 MDRAMペレットとの応力バランスをとった。エポキシレジンのベースレジンは、接着性、耐湿性の向上、ペレットへのダメージ低減の目的でエポキシシリコン変成した海島構造⁸⁾のレジンを採用した。熱膨張係数の低減、耐はんだ熱性向上の目的とレジン注入時の注入のしやすさなどの点でレジン中に分散させるフィラ(シリカ材)は、従来の破碎フィラに加えて球形のフィラを採用しその粒度分布を最適化した。フィラの含有量を多くしていくと、レジン注入時のレジン粘性が高くなるため注入がやりにくくなるが、モールド金型や注入プロセスの技術改良⁹⁾で従来の表面実装タイプパッケージと同一の品質信頼性を持ったものとした。

TSOPパッケージは、リードピッチを0.5 mmピッチとしプリント基板へのはんだ付け実装部の面積を縮小化している。リードピッチを0.5 mmに縮小化することにより、はんだ接合部の面積を小さくできるため、メモリモジュールへの高密度実装が可能となり、三次元実装の実装体積をさらに高密度実装化することができた^{2),3)}。0.5 mmのリードピッチは、プリント基板へのはんだ接合が難しくなるが、ファインピッチ用はんだ付けペーストや、スクリーン印刷機、部品搭載機、リフ

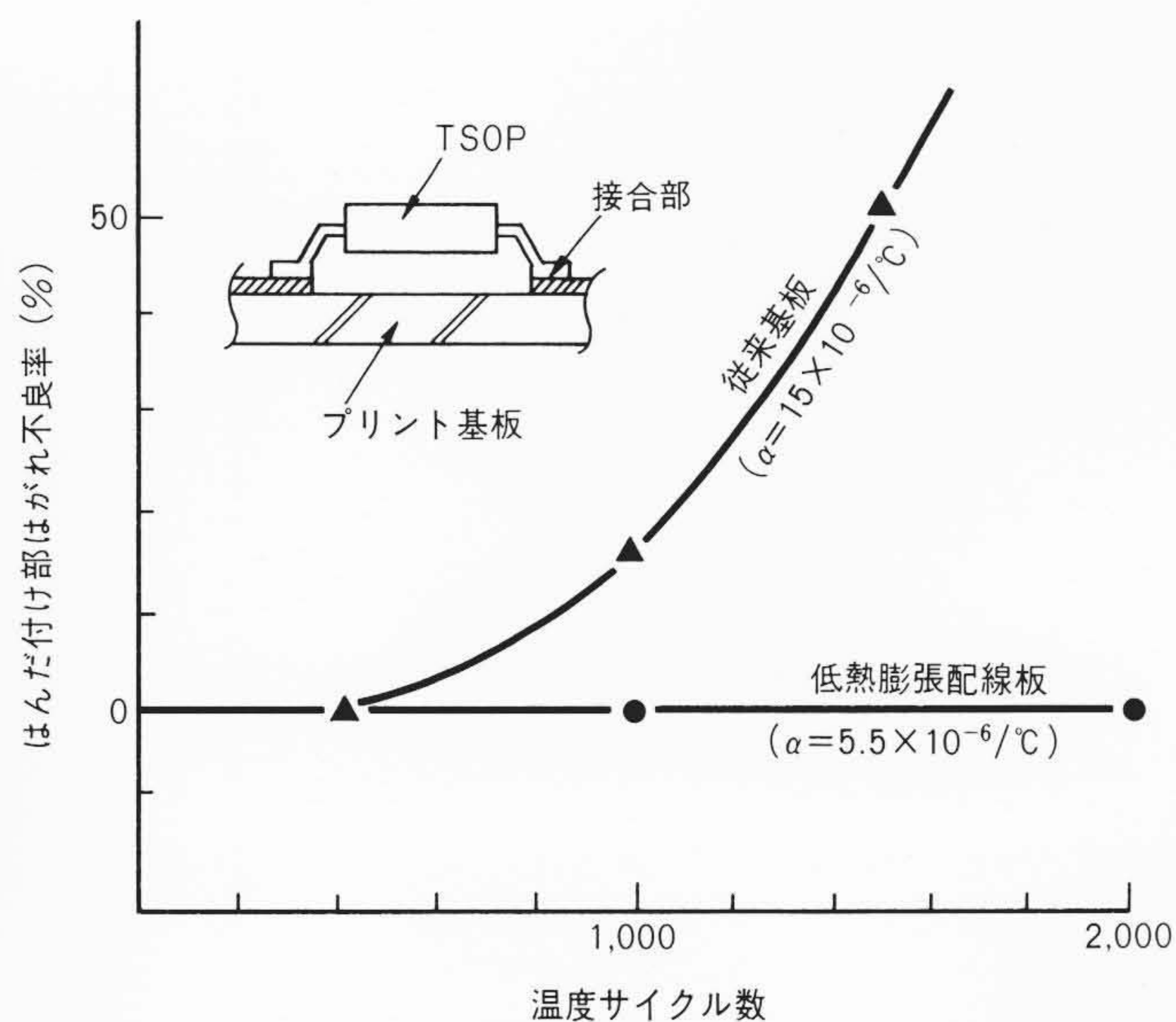


図11 TSOPのプリント基板はんだ接合寿命 TSOPのプリント基板接合寿命向上のためには、低熱膨張配線板が効果的である。

ロー装置などの性能を向上させることにより、可能とした。

TSOP化は、プリント基板への実装性とプリント基板実装後のリード接合部の品質を向上させるため、プリント基板材料にも大きなインパクトを与えている。ファインピッチ化に伴うリード間マイグレーションの発生を抑えるため、プリント基板の平滑性を向上したくふうや、ペレットサイズの拡大によってパッケージ全体の平均的線膨張係数が小さくなりパッケージとプリント基板の接合部の信頼性が低下するため、プリント基板材料に低線膨張材の適用を促している。TSOPを従来のガラスエポキシ基材に実装した場合の温度サイクル下ではんだ付け部はがれ不良発生状況を、低膨張材を使用した場合と比較し図11に示す。低膨張材としては、コージュライトセラミック基材にエポキシを含浸したセラコム基板を用いた。

4 結 言

薄形化、高密度化、高速化対応のパッケージ技術は、DRAMメモリのウェーハプロセスの微細加工技術による大容量化技術とともに技術開発が進行している。空間的な実装効率を高めるために、ピン挿入形から表面実装タイプへ、表面実装タイプからさらに空間実装効率の高いものとして、パッケージ厚み1.0 mm厚のTSOPが開発された。また、パッケージ内部の高密度実装化や高速化のために、COLおよびパッケージ内部でマルチ電源供給設計が可能なLOC技術が日立製作所の特徴ある技術として開発され、4 MDRAM製品に適用された。今後、高速SRAMやセルベースICにも適用していく予定である。

またこれらのパッケージ技術は、材料、プロセス、装置の総合技術の上に成り立っているので、しっかりとした要素技術の開発が重要であり、個々の要素技術に対する確かな技術の方向づけを行いながら、ニーズにマッチしたパッケージを市場に送り出していく予定である。

終わりに、パッケージ技術開発に関連した多くの企業の技術陣に謝意を表すとともに、今後ますます難しくなるパッケージ技術へのたゆまぬ技術開発に協力をお願いしたい。

参考文献

- 1) 中村，外：16 M時代には主流に，カードから大型コンまで，日経マイクロデバイス，6月号，34～40(1990)
- 2) 矢野，外：加速する1 mm厚パッケージの実用化，日経マイクロデバイス，6月号，34～62(1990)
- 3) 日立製作所半導体設計開発センタ：TSOP実装マニュアル，PKG 90-055(1990-5)
- 4) 村上：100 mm²のチップを300ミルDIPに入れるLOC，COL構造，日経マイクロデバイス5月号，No.35，54～57(1988)
- 5) 坪崎，外：COL(Chip On Lead)構造のパッケージの開発，電子情報通信学会技術研究報告，ICD 89-103(1989-9)
- 6) H. Miura, et al. : Structural Effect of IC Plastic Package on Residual Stress in Silicon Chips, Proc. 40th Electronic Components Technical Conference, 316～321(1990-5)
- 7) 村上，外：パッケージ技術，一特集 情報産業を支えるVLSI技術一，日立評論，69，7(昭62-7)
- 8) K. Nishi, et al. : Epoxy Encapsulants with Low Thermal Stress for Microelectronics, Proc. 1st Japan International SAMPE Symposium, 521～526(1989)
- 9) 金田，外：樹脂の流れをシミュレーション，成形装置の流路設計に採用，日経マイクロデバイス，6月号，95～102(1988)