

サブミクロン半導体の信頼性

Reliability of Sub-micron Semiconductor Devices

半導体プロセスの微細化は、3年に約70%の縮小率で進展している。256 kDRAM (Dynamic RAM) では2 μm であったプロセスが、1 MDRAMでは1.3 μm 、4 MDRAMでは0.8 μm と、ついにサブミクロンの時代に突入した。プロセスの微細化とともに、デバイスの信頼性面では種々の問題点が顕在化してきた。日立製作所ではテスト素子を活用し、事前に信頼性面の隘(あい)路事項を検討することにより、サブミクロン製品の信頼性を従来製品と同等以上にすよう、種々の面からくふう、改善を図った。

一例として、現在量産している4 MDRAMに関して実施した、種々の加速信頼度試験結果も示した。実使用状態で、11 Fitの推定故障率が求まっており、使用環境によってはさらに低故障率も期待できる。

1 緒 言

半導体の高集積化を達成するため、加工プロセスの微細化が進んでいる。サブミクロンデバイスでは、文字どおりAl配線幅やチャンネル長は1 μm 以下となってきた。また、ゲート酸化膜厚も20 nm以下となってきたが、一方、電源電圧は3 μm プロセス以降、5 V一定である。そのため、Al配線の電流密度やゲート酸化膜の電界強度などが上昇し、デバイス面で種々の信頼度上の問題点が顕在化してきた。一方、パッケージ面でも高集積化に伴うチップサイズの増大により、チップ/レジン面積比が小さくなってきたうえに、ユーザーシステムの小形化指向、面実装化指向も強く、耐湿性や熱的ストレスに対する信頼性マージンを確保することが難しくなってきた。これらのサブミクロンデバイス、パッケージに対する信頼性阻害要因をまとめると表1のようになる。これら各要素別の阻害要因に対して、種々のTEG (Test Element Group) を活用し、材料や素子構造の寸法、テストストレス条件などをふり、実使用状態での寿命を推定した。これらの検討結果から各要素別の最適解を見いだし、それらを組み合わせて、4 MDRAM、1 MSRAM (Static RAM) などのサブミクロンデバイスが完成した。完成品についても5,000個以上の信頼度試験を実施し、問題のないことを確認した。日立製作所では、ここに述べたサブミクロン要素技術をベースに、マスクROMやゲートアレーなど、次々にサブミクロンデバイスの品種拡大を図っている。

崎元正教* Masanori Sakimoto

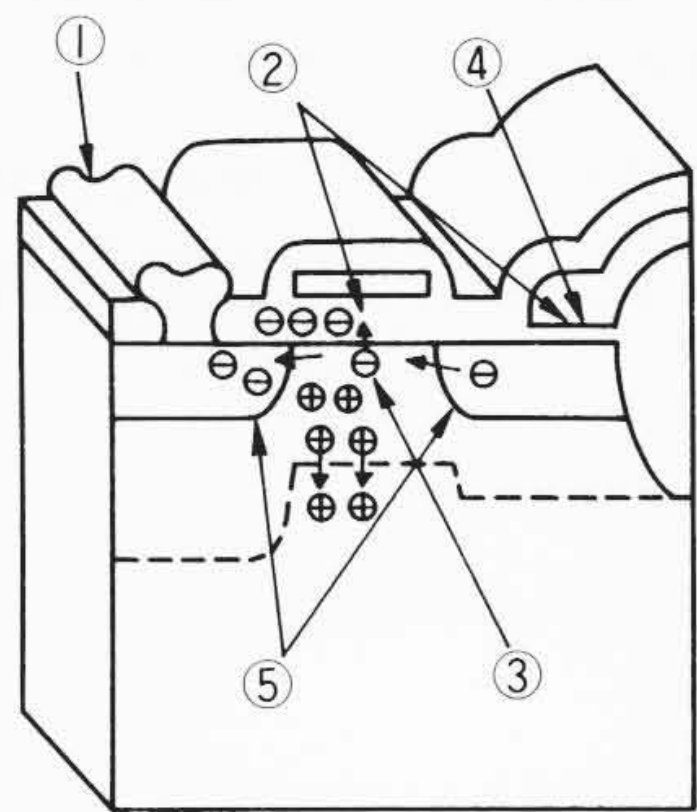
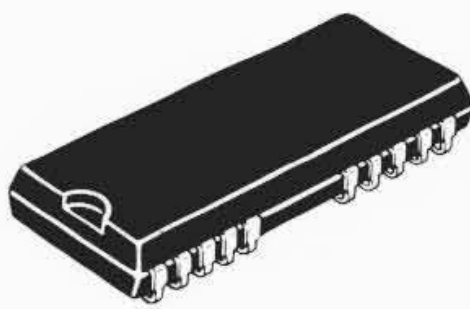
北出邦夫* Kunio Kitade

石田大士* Hiroshi Ishida

久保田勝彦** Katsuhiko Kubota

奥山幸祐** Kôsuke Okuyama

表1 サブミクロンデバイスに対する信頼性阻害要因 微細化の進展によって電流密度や電界強度が上昇し、デバイス素子の寿命低下となる信頼性阻害要因として立ちふさがる。パッケージ面でも多様化により、信頼性の阻害要因が発生してきている。

分類	構 造	信頼性阻害要因	着目点
デ バ イ ス		① Al配線幅小	Alマイグレーション
		② 酸化膜厚小	酸化膜寿命
		③ チャンネル長小	ホットキャリア
		④ MOS容量小	ソフトウェア
		⑤ MOS耐圧小	静電破壊
パ ッ ケ ー ジ		① 小形化, 薄形化	耐湿性
		② 面実装化	リフロークラック

2 サブミクロンデバイスの要素別信頼性

2.1 Al配線の信頼性

サブミクロンプロセスでは、メモリ製品の場合Al配線は幅1 μm 以下、厚さ0.5 μm の配線を必要とする。このような微細な配線の高信頼化には、EM (エレクトロマイグレーション) に

* 日立製作所 武蔵工場 ** 日立製作所 半導体設計開発センタ

加え¹⁾、近年問題化しているSM(ストレスマイグレーション)による断線の防止が重要となる²⁾。SMは無通電状態で配線周辺の絶縁膜から受ける応力によって起こるAl配線の断線現象であり、高温放置で発生する。配線を微細化すると、Al結晶粒が1個で配線を横切り、竹の節状に並ぶバンブー構造となり³⁾、SM耐性が低下する。これがサブミクロンメモリ製品配線での最重要課題となる。日立製作所では、この対策として1.3 μm 製品で用いていたAl・Cu・Si配線の上下にMoSi₂層を加え、積層化を図った。MoSi₂は1.3 μm 製品のMOSFET(MOS電界効果トランジスタ)のゲート電極に用いていた材料である。SM寿命を顕在化するために、配線幅0.4 μm のテスト素子を用いて、Al・Cu・Si単層配線とMoSi₂積層配線のSM寿命を比較した(図1)。同図からMoSi₂積層配線がSM耐性向上に有効であることがわかる。この積層化の効果の原因として二つを考えている。一つはMoSi₂積層配線はMoSi₂上にAlを形成するため、Al単層配線に比べてAl粒径が小さく、バンブー構造になりにくいということである。もう一つはMoSi₂の自己拡散係数はAlに比べ3けた以上小さく、Alに比べ格段に移動しにくい。そのため、SMによってAl層が断線してもMoSi₂層は未断線となり、SM寿命が向上する(ブリッジ効果)。

MoSi₂積層化はSM耐性を向上させるが、EM耐性は低下する⁴⁾。Al粒径が小さくなるとともに、Si析出量が増加するためである。このEM耐性の低下は、高速化の要求が強くなり、配線の電流密度が高くなるロジック製品では問題となる。そこで、耐EM性向上策として他の積層材料も比較検討した。その結果、TiW積層配線が長いEM寿命を持つことを確認し、高電流密度が要求される製品の配線には、TiW積層配線を適用することにした。

2.2 酸化膜の信頼性

プロセスの微細化、ゲート酸化膜の薄膜化が進む中で、電

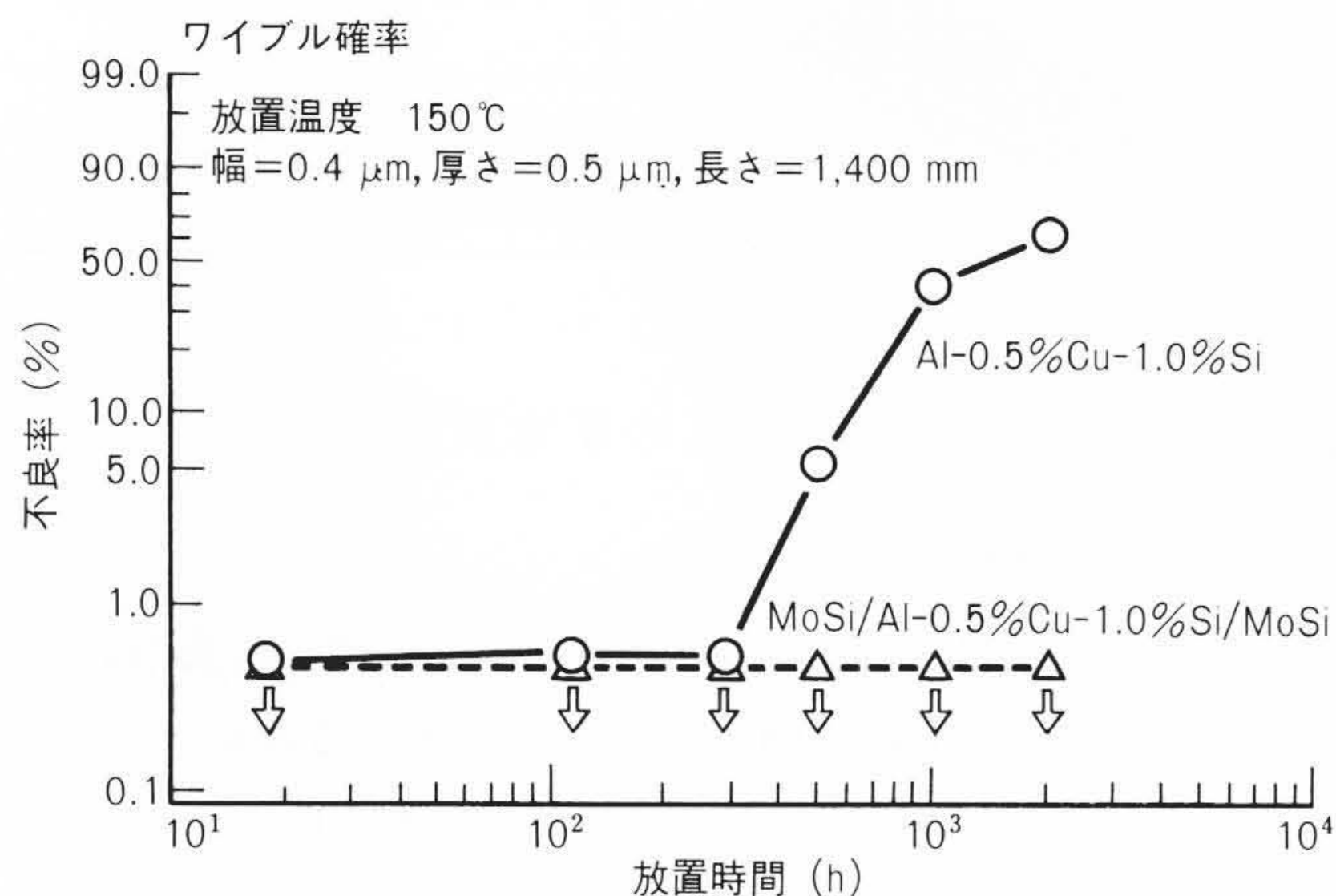
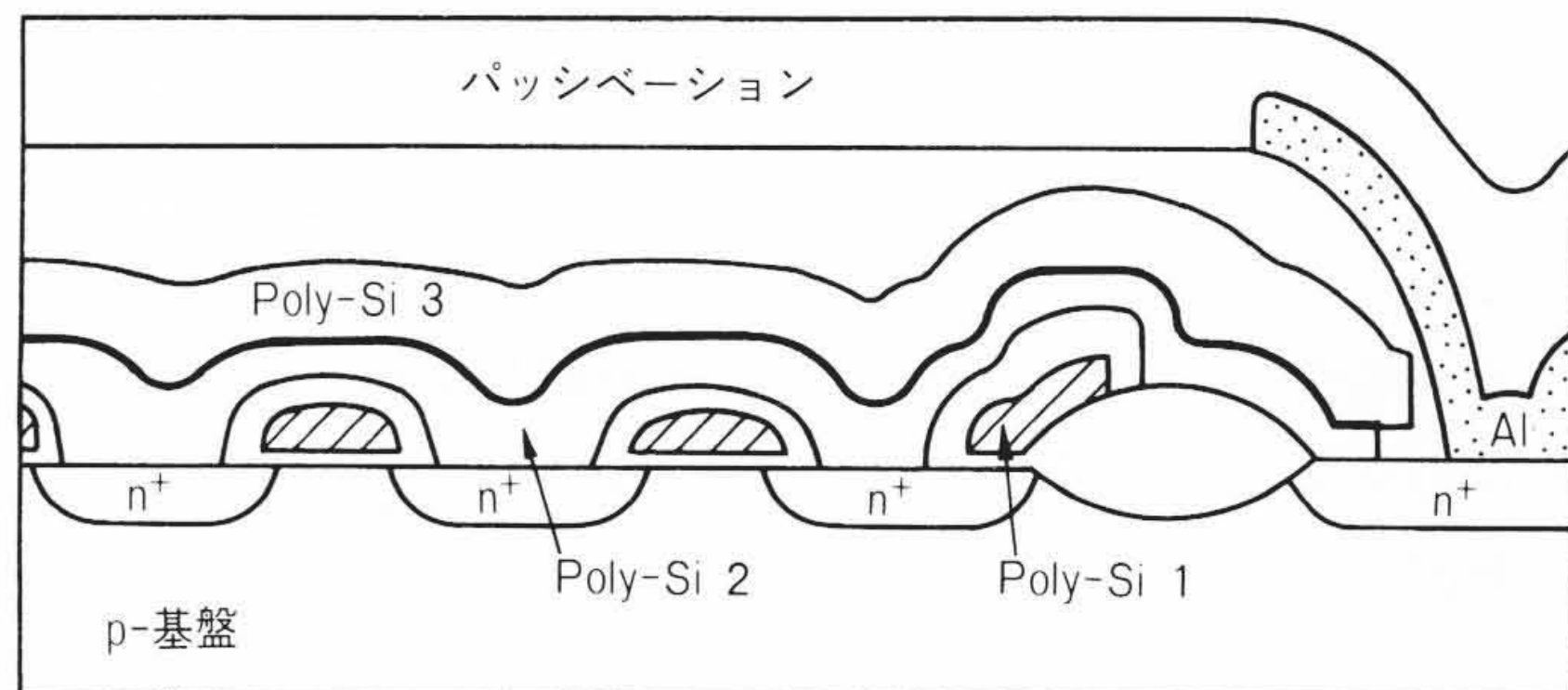


図1 高温放置下でのAl配線材のSM(ストレスマイグレーション)寿命 Al配線材の上下にMoSi₂層を加えた積層配線構造は、SM寿命の向上に有効である。

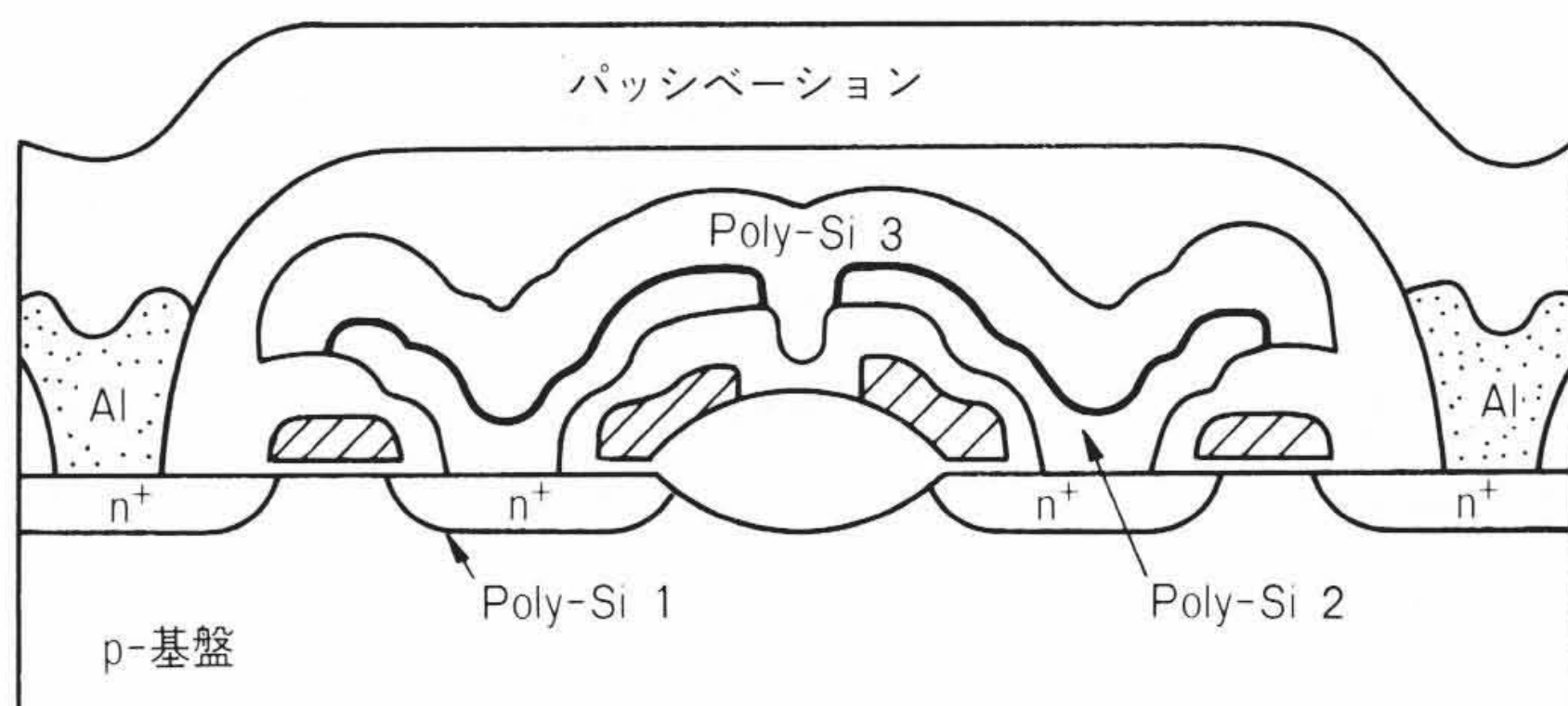
源電圧は3 μm プロセス以降、5V一定で推移してきた。そのため、酸化膜の薄膜化とともに、そこに印加される電界強度は増加してきた。電界強度の増加は酸化膜の寿命を縮めることになるため、例えばメモリDRAM(Dynamic RAM)では、最も薄膜化の要求されるメモリ容量部のゲート酸化膜に対しては、そのプレート電位を1.3 μm プロセスから $\frac{1}{2}V_{CC}$ としている。それでも0.8 μm プロセスである4MDRAMでは3 μm プロセスの64kDRAMと比較して約2倍の電界強度となっている。したがって、酸化膜の膜質や断面形状の平坦化などといった高品質化が要求されるとともに、その寿命評価はきわめて重要になってきている。ここでは、SiO₂換算で7nmと最も薄膜化の進んでいる4MDRAMのメモリセル容量部の酸化膜寿命評価に際し実施したTEGの評価結果について示す。

酸化膜寿命評価法としては、一定電界ストレス下での経時劣化を検討するTDDB(Time Dependent Dielectric Break-down)法を用いた。また、寿命評価に用いたTEGの断面構造を図2に示す。チップ全面に容量部の酸化膜を形成したもの〔構造(A)〕と実際のデバイス形状に合わせたメモリセル〔構造(B)〕を8,800ビット並列接続したものをを用いた。TDDB評価の電界強度依存性を図3に、温度依存性を図4に示す。電界強度および活性化エネルギーに対する加速式は一般に次式がよく用いられている⁵⁾。

$$L = A \cdot 10^{-\beta E} \cdot \exp\left(\frac{E_a}{kT}\right)$$

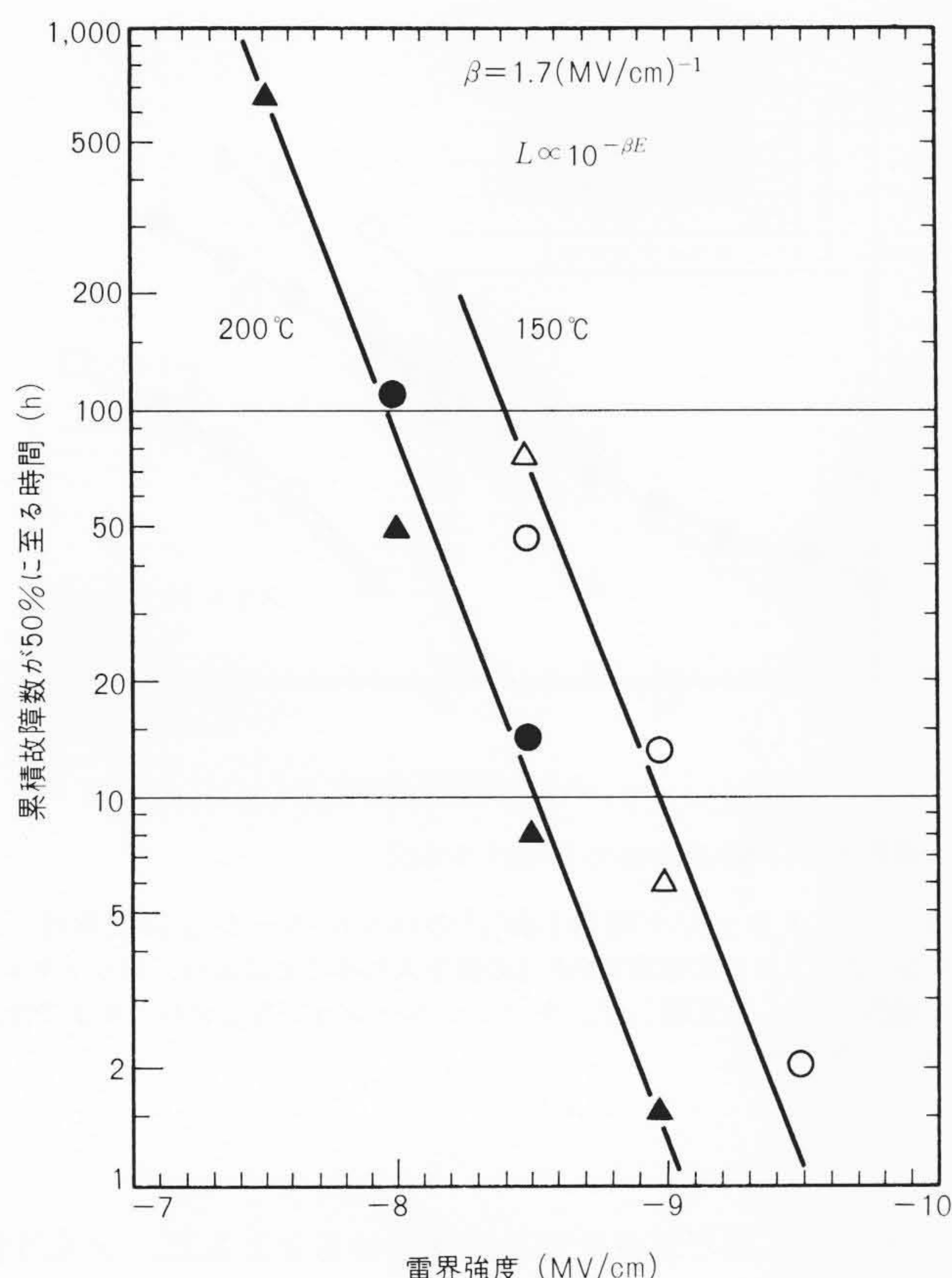


構造 (A)



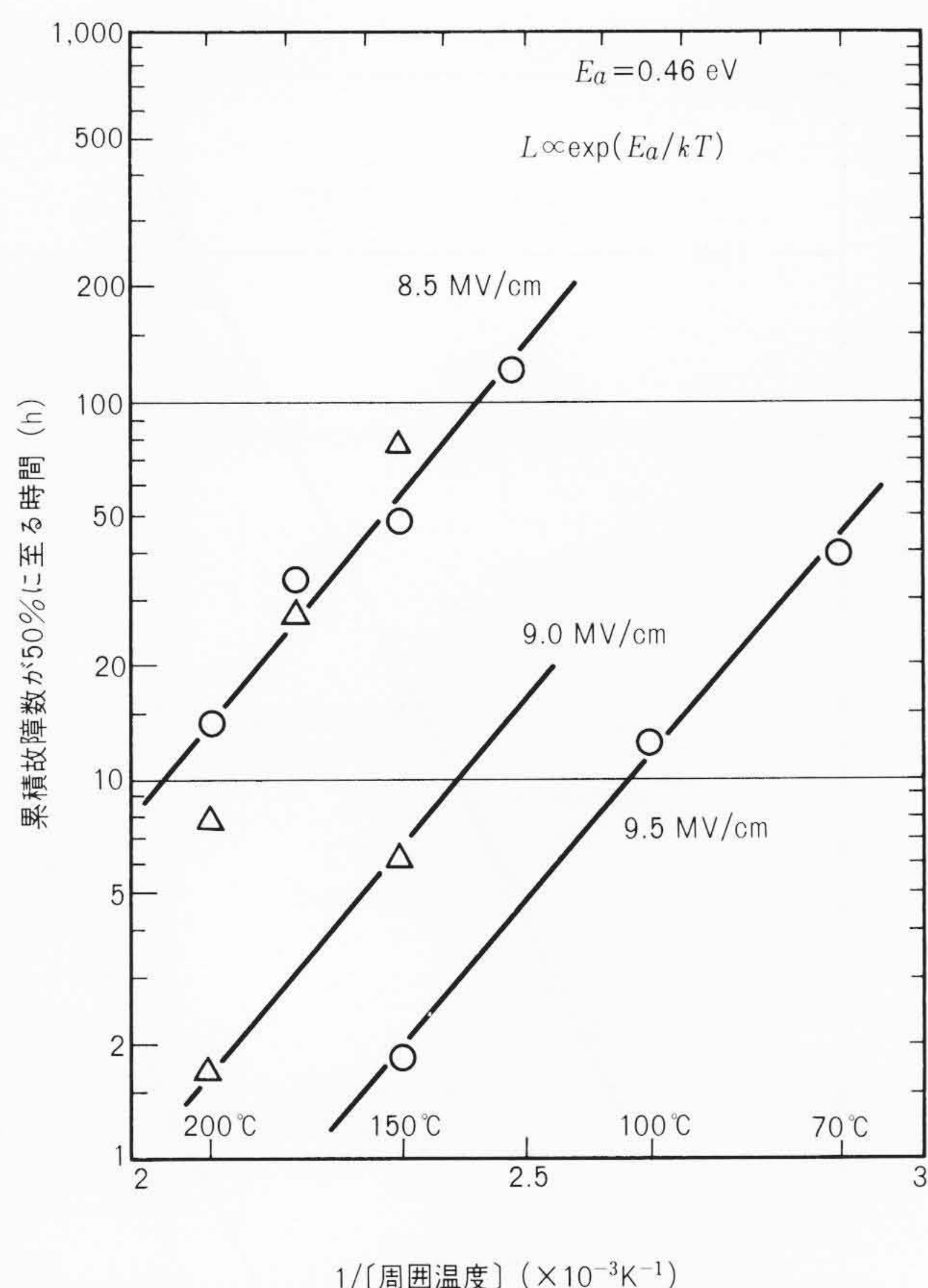
構造 (B)

図2 MOSメモリ容量部の酸化膜評価に用いたTEG(Test Element Group)の構造 酸化膜の面積を稼ぐために、構造(A)ではチップ全面に容量を形成した。構造(B)では実製品に用いる構造と同一にした。



注：構造(A) ○, ● 構造(B) △, ▲

図3 MOSメモリ容量部の酸化膜寿命の電界強度依存性 構造(A)と構造(B)による差はみられなかった。いずれも電界強度加速係数 β は $1.7 (\text{MV/cm})^{-1}$ と得られた。



注：構造(A) ○, 構造(B) △

図4 MOSメモリ容量部の酸化膜寿命の温度依存性 構造(A)と構造(B)による差はみられなかった。いずれも活性化エネルギー E_a は 0.46 eV と得られた。

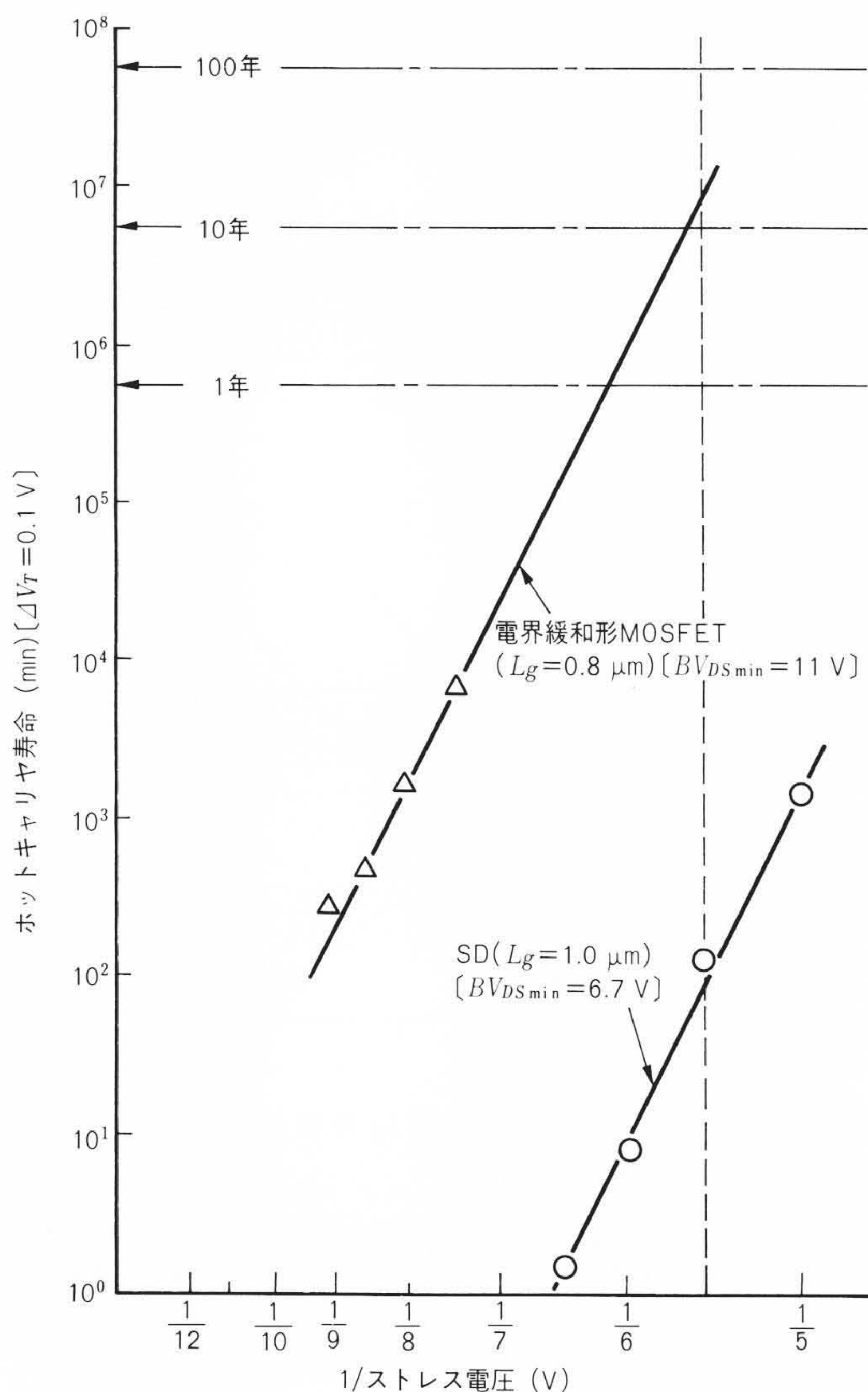
ここに L : 酸化膜の寿命(h)
 A : 任意の比例定数
 β : 電界強度加速係数 $(\text{MV/cm})^{-1}$
 E : 電界強度 (MV/cm)
 E_a : 活性化エネルギー (eV)
 k : ボルツマン定数 $(8.617 \times 10^{-5} \text{ eV/K})$
 T : 絶対温度 (K)

TDDB評価結果から、TEGの断面構造に依存せず、 β は $1.7 (\text{MV/cm})^{-1}$ 、 E_a は 0.46 eV と得られた。これらの加速性と面積補正を用いて、4 MDRAMのメモリ容量部の絶縁破壊に関する信頼性を推定すると、実使用状態では、1 Fit以下の値が得られ問題のないことを確認した。

2.3 ホットキャリアに対する信頼性

前節でも述べたように、半導体の微細化による電界強度の増加はMOSFETのチャネル方向にも顕著に現れてきている。チャネル方向の電界強度が大きくなってきたために、チャネル電流が流れるとき、大きなエネルギーを持つホットキャリアが発生(表1③)し、素子のスレッシュホールド電圧 V_{TH} が変動するため、デバイスの動作信頼度上、大きな問題となる^{6)~8)}。この変動を小さくし、動作信頼度の高いデバイスを得るために

は、(1) 内部電界の低い素子構造にして、ホットキャリアの発生量を低減すること(イオン化率の低減)、(2) チャネル部ゲート酸化膜から離れたところにホットキャリアが発生するようにした素子構造で、ホットキャリアのゲート酸化膜への注入量を低減すること(注入効率の低減)、(3) ゲート酸化膜質を向上させ、ホットキャリアの影響を受けにくくすること(トラップ効率、または界面準位形成効率の低減)の3点が重要である。日立製作所では、 $0.8 \mu\text{m}$ プロセスのデバイスでは前記(1)、(2)の対策として、N形およびP形の両MOSFETに低濃度ドレイン領域を設けた電界緩和形MOSFETを採用した。電界緩和形MOSFET構造のホットキャリア寿命を、通常のSD(シングルドレイン)構造のものと比較して図5に示す。電界緩和形構造とすることによって寿命は5けた以上向上することがわかる。さらに、ホットキャリア耐性を向上させるため、上記(3)の対策も検討した。N形MOSFETの特性劣化は、ホットキャリアによる界面準位形成によるものであるが、この界面準位形成には、パッシベーション膜であるプラズマナイトライド(P-SiN)膜中の浮遊水素の影響が大きいことがこれまでに知られている⁶⁾。この影響を減少させるため、ゲート酸化膜とP-SiN膜との間にSi含有率の高いプラズマ酸化膜(P-SiO)を設け、この膜



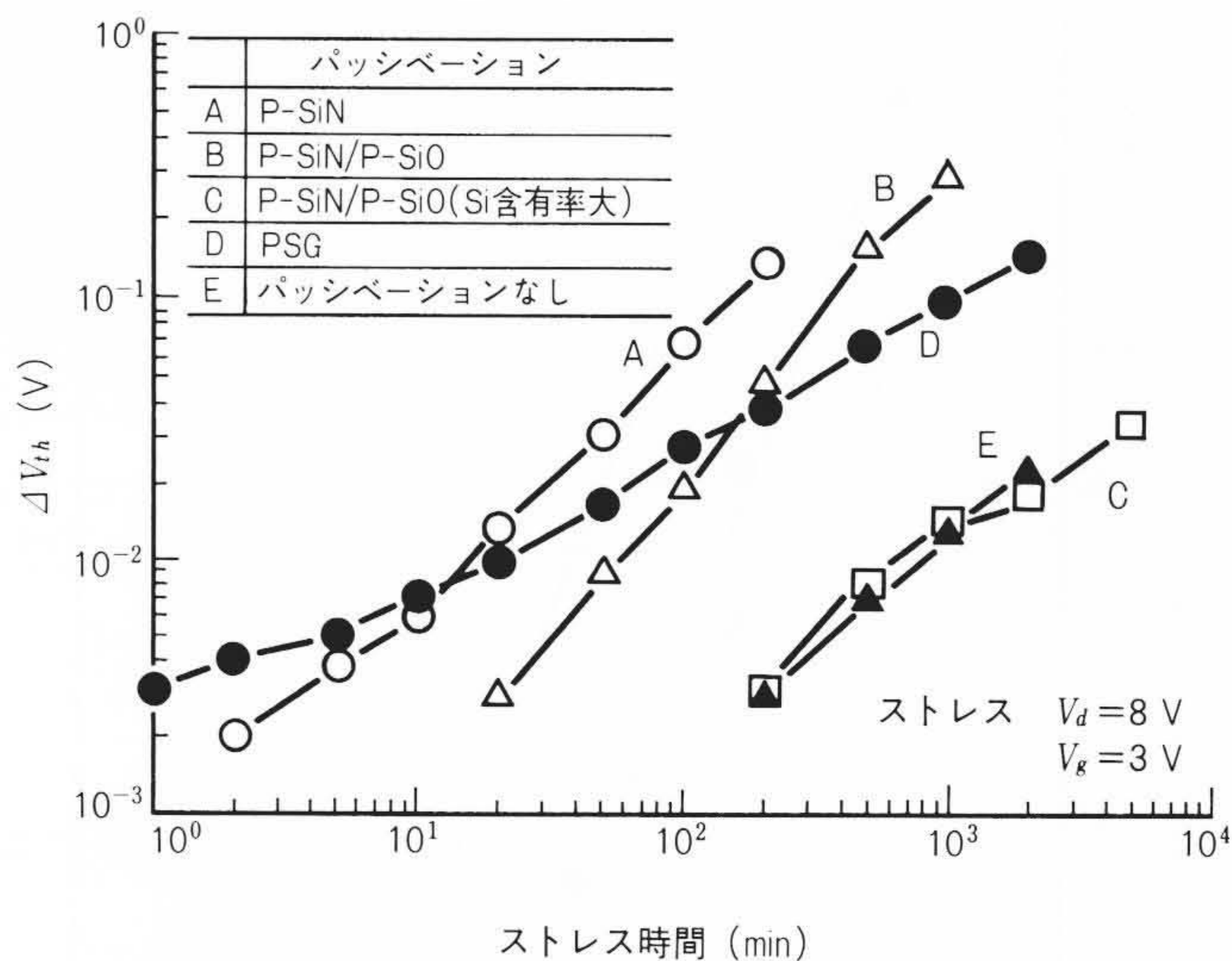
注：略語説明 SD (Single Drain)

図5 ホットキャリア寿命のストレス電圧依存性 電界緩和形ドレーン構造とすることにより、SD構造に比べ2けた以上変動寿命が伸びることがわかる。

で浮遊水素のゲート酸化膜への拡散をブロックすることを試みた⁹⁾。ホットキャリア寿命のパッシベーション膜依存性を図6に示す。Si含有率の高いP-SiO膜を使用することで、完全に水素の影響を除くことが可能である。以上示した電界緩和形構造とSi含有率の高いP-SiO膜の併用により、サブミクロンMOSデバイスの単体MOSFETに対する耐ホットキャリアの微小変動寿命をDCストレス連続印加でも10年以上とすることができた。

2.4 ソフトエラーに対する信頼性

半導体メモリの微細化、高集積化および大容量化の前途をはばむ問題の一つとして、一過性の誤動作、 α 線によるソフトエラーがある。ソフトエラーの発生源はパッケージ材料中にppbオーダで含有される微量の放射性同位元素U(ウラン)、Th(トリウム)から放出される α 線である。この α 線はメモリデバイスに入射し、シリコン基板内に高密度の電子正孔対を生成



注：略語説明 PSG (Phospho Silicate Glass)

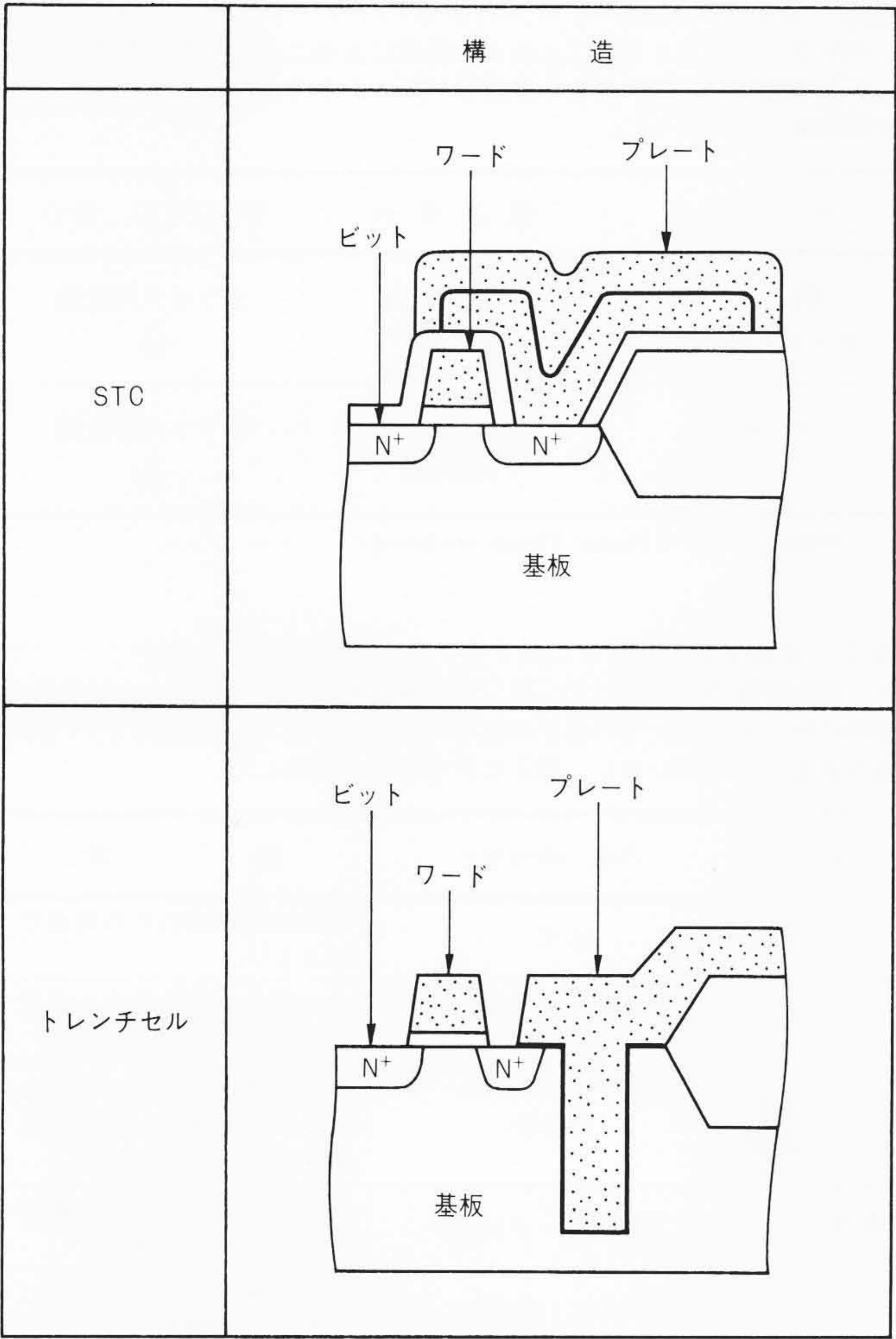
図6 ホットキャリア寿命(ΔV_{th})のパッシベーション依存性 P-SiN膜の下にSi含有率大のP-SiO膜を入れることにより、ホットキャリアに起因する V_{th} の変動(ΔV_{th})をパッシベーションなしのレベルまで低減することができる。

し、デバイス内の電位分布を変化させるとともに、メモリ情報の反転を引き起こす。このメモリ情報の反転には、メモリセルの蓄積容量部で発生するセルモードと、ビット線と接合するシリコン基板の拡散層部で発生するビット線モードの2種類がある。前者はサイクル時間に依存しない一定のエラー率を示し、後者はサイクル時間に反比例するエラー率を示す。ソフトエラー耐性の優れたメモリとするには、

- (1) α 線耐性の強いデバイス構造とする。
 - (2) α 線を出さない材料を使用する。
 - (3) メモリ容量部への α 線の入射を阻止する。
- などがある。

上記(1)の対策としては、従来の平面的な蓄積容量構造から三次元的な蓄積容量構造とすることが、各半導体メーカーで適用されている。このアプローチとして、シリコン基板に溝を掘るトレンチセル、シリコン基板上に積み上げるSTC(スタックドセル)が主流となっている。それぞれのメモリセル断面構造を図7に示す。日立製作所では4MDRAMからSTCセルを採用した。STCセルはトレンチセルに比較し、(a)量産性が優れていること、(b)メモリセルを拡散層領域内に形成しないため、 α 線の入射によって拡散層領域で発生する電子正孔対の影響を受けにくい構造となること、の優位性があるためである。また、(2)の対策としては、パッケージ材料などの高純度化による含有放射性同位元素の低減、さらに(3)の対策としては有機材料膜コーティングの適用を図った。

4MDRAMの α 線源による強制照射結果を図8に示す。メモリセル面積の微細化にもかかわらず、ソフトエラー耐性が向上したことを確認した。



注：略語説明 STC (Stacked Capacitor：スタックドセル)

図7 MOSメモリ容量部の三次元セルの構造 いずれもサブミクロンデバイスに用いられているセル構造であり、太い黒線部分が容量を形成する薄い酸化膜または窒化膜である。

3 パッケージの信頼性¹⁰⁾

デバイスの微細化が進む中で、そのパッケージ形態については、高集積・多機能化による多ピン化、大形化が進む一方、高密度実装のための面実装化、薄形化、小形化と二極分化および多様化が進んでいる。これらの多様な要求に対応しながら、パッケージ特性として課せられる耐湿性や耐温度サイクル性などの信頼性を確保するために、日立製作所が実施してきた信頼性向上策について述べる。

パッケージの信頼性に関連する要因は、レジン材料、リードフレーム材料、ダイボンディング材料、パッケージ構造など多岐にわたっている。まずレジン材料面では、チップの大形化に対応して耐温度サイクル性や耐湿性マージンの低下が危ぶまれるが、前者に対しては熱膨張係数および熱応力の低下によって対応してきた。一方、後者に対してはレジン材料中の反応性Cl⁻イオン量の低減によって対応してきた。また、2.4節に述べたソフトエラー率低減のために、レジン材料中の

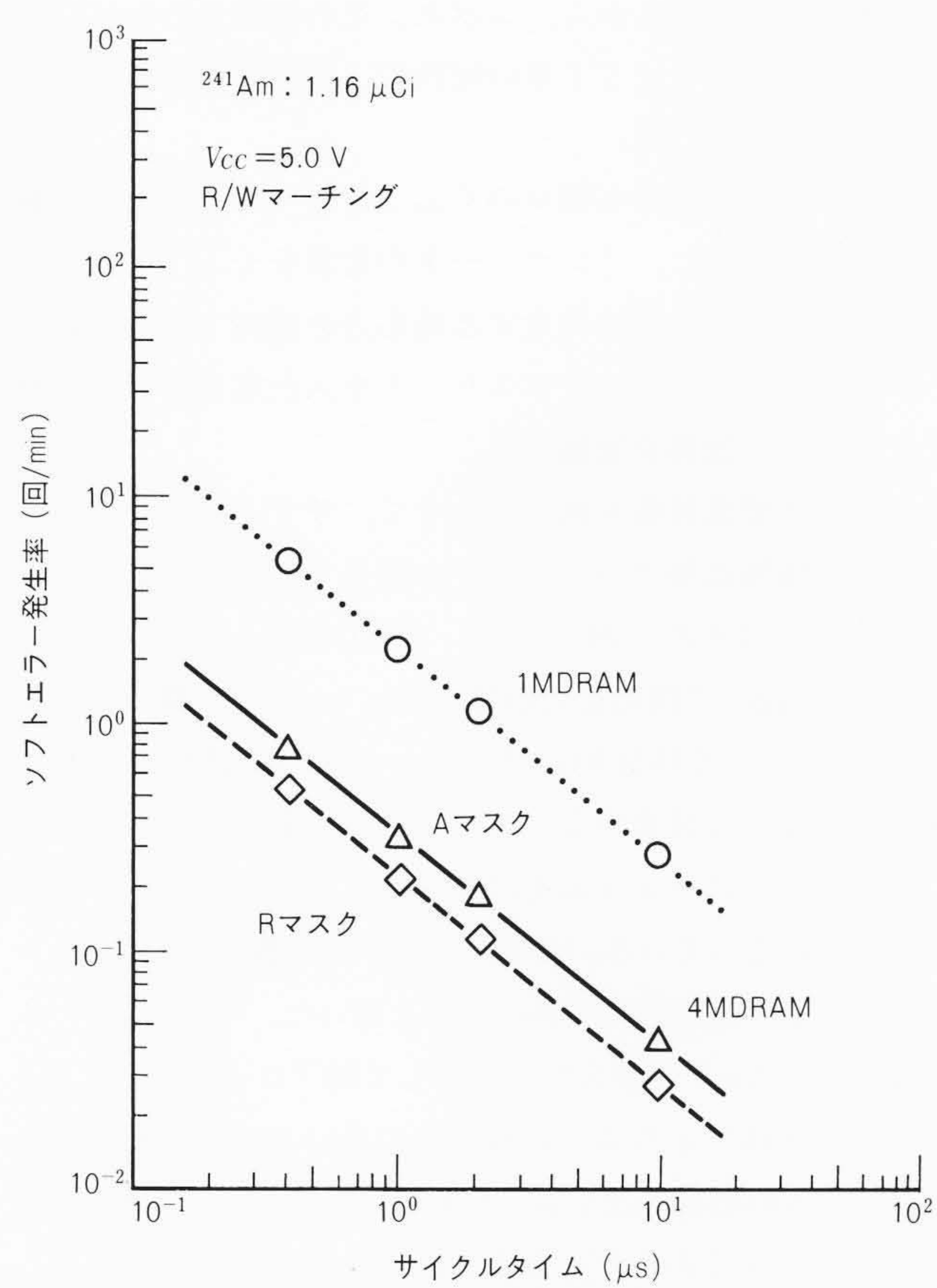


図8 4MDRAMの α 線強制試験でのソフトエラー発生率のサイクルタイム依存性 メモリセルの形状をプレーナ(1MDRAM)からSTC(4MDRAM)とすることにより、強制照射のソフトエラー率は約一けた改善された。

表2 レジン材料の改善変遷 チップの大形化に対して、熱膨張係数や熱応力の低下および耐湿性向上のため高純度化を、さらにソフトエラー率低減のためウラン含有量の低減を図ってきた。

年代 集積化 DRAM 材料特性	'70	'75	'80	'85	'90
		16 k	64 k	256 k	1 M
熱膨張係数 × 10 ⁵ (K ⁻¹)	2.5	2.2	1.9	1.7	< 1.4
反応性 Cl イオン量 (ppm)	1,000		100		< 100
ウラン含有量 (ppb)		100		10	< 1

U含有量の低減も図ってきた。これらの改良点をまとめて表2に示す。リードフレーム材料については、チップおよびレジン材料両面の熱膨張係数との整合性を考慮して選定してきた。さらに、ダイボンディング材については従来はAu-Si共晶が主流であったが、大チップ品をリードフレームに固着すると熱

応力が大きくなることから、エポキシ系の樹脂とともに、汚染レベルの低いポリイミド系の材料や、低弾性の低応力ゴムペースト材を開発した。

パッケージ構造面でも種々のくふうを行った。例えば、耐湿性の向上のために、インナリードの形状をくふうするとともに、面実装品の実装時発生する熱応力を低減するために、リードフレームのタブに十字スリットを入れ応力を分散させるなどのくふう改善を実施した。

これらの各要素技術を組み合わせて、サブミクロンデバイスに対する個別品種のパッケージが開発されてきたわけであるが、ここではその一例として、4 MDRAM, ZIP (Zigzag Inline Package) で採用したCOL (Chip on Lead) 構造の信頼性向上策について具体的に述べる。4 MDRAM, ZIPは、**図 9**に示すように従来のようなチップを搭載するタブではなく、フレーム上にフィルムをはり付け、その上にチップを搭載する構造になっている。まず、レジンは**表 2**に示した $\alpha = 1.4 \times 10^{-5}/^{\circ}\text{C}$ の低熱膨張材料のものを用了。リードフレーム材料はレジンの α との整合性を考慮して50アロイとした。ダイボンディングはフィルムとの接着性の良いエポキシ樹脂とした。フィルムの形状にはくふうを要した。ZIPはピン挿入タイプのパッケージであるが、面実装品との混載も予想し実施した実装ストレス評価で、開発当初フィルムの吸湿によってパッケージクラックが発生したためである。実装ストレス評価法としては、**表 4**に示す日立製作所が考案した¹¹⁾ 85℃、65%飽和吸湿〔防湿梱(こん)包不要のレベル〕後に215℃、90秒のVPS (Vapor Phase Soldering) ストレスを印加した。フィルム形状の改善前後のデータを**表 3**に示すが、改善後は85℃、65%飽和吸湿に耐えられるレベルにすることができた。その他、耐湿性、耐温度サイクル性なども十分な信頼性が確保されていることを確認した。

以上述べたように、大形化、多様化するサブミクロンデバ

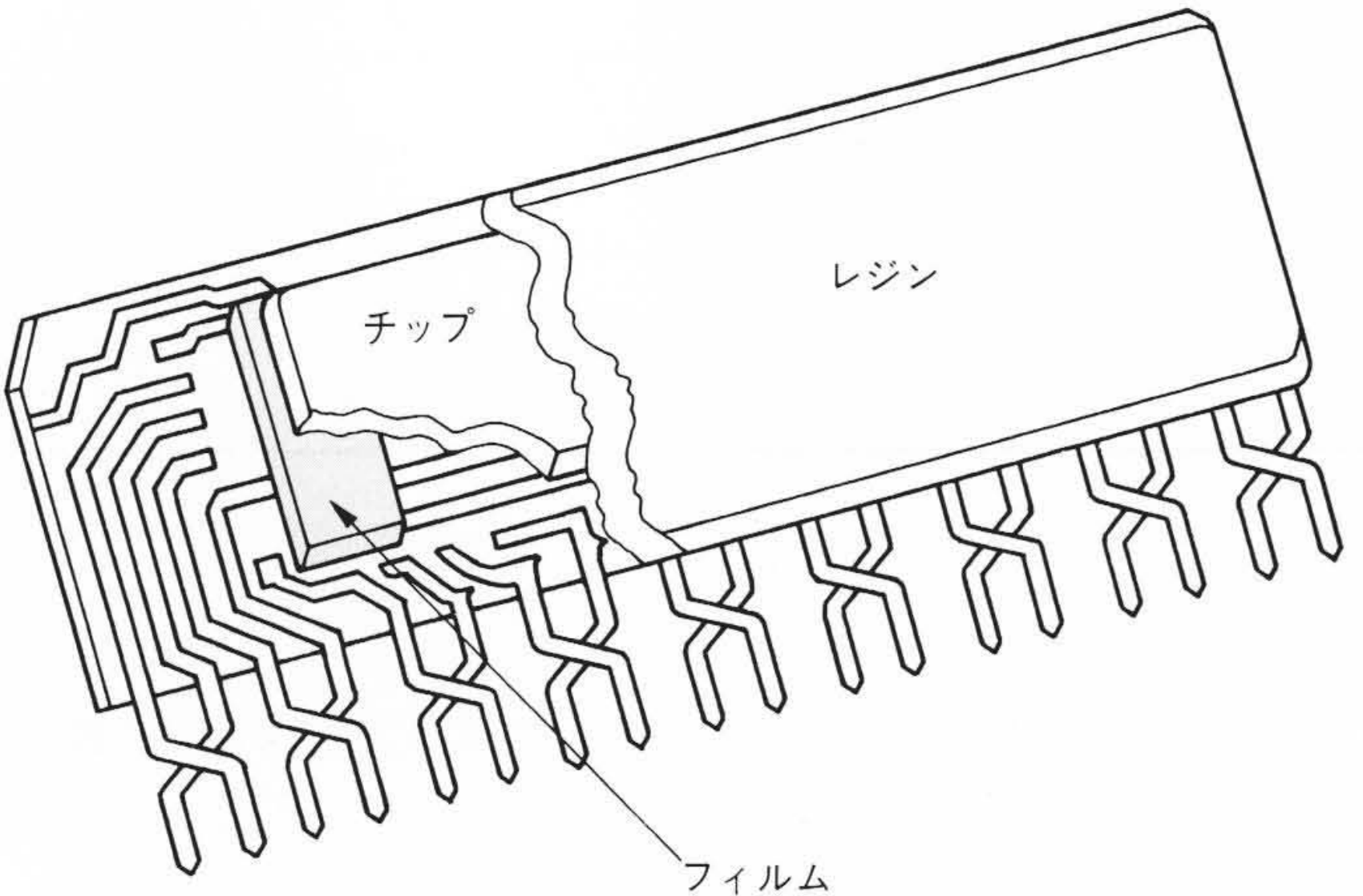


図 9 4 MDRAM ZIPの構造 リードフレーム上にフィルムをはり付けて、その上にチップを搭載する構造となっている。フィルムはチップの左右にはり付ける分割構造とした。

表 3 吸湿後の実装ストレスによるパッケージクラックデータ
パッケージクラックはフィルムの吸湿によることがわかったので、フィルムの面積を制限するため分割形状にしたところ、パッケージクラックは発生しなくなった。

仕 様	吸 湿 条 件	VPS (215℃, 90 s)
改 善 前 (フィルム分割なし)	85℃, 65% 168時間	クラック発生数 $\frac{27}{30}$
改 善 後 (フィルム分割)	85℃, 65% 168時間	クラック発生数 $\frac{0}{100}$

注：略語説明 VPS (Vapor Phase Soldering)

表 4 表面実装デバイスに対するリフロー耐熱性評価条件¹¹⁾ リフロー耐熱性評価方法として、リフロー実装前にパッケージへの加湿が一般的に行われるが、その条件が従来の方法(85℃、85%加湿など)では問題があることを見だし、適正な評価条件を設定した。

項 目		方法, 条件など	備 考
加湿条件	温度	85℃	試験時間短縮のため高温が望ましい
	相対湿度	65%RH	日本国内の環境条件を考慮した場合(防湿包装不要)
		30%RH	市場の環境条件での保管に耐えず, 対策として防湿包装を実施している場合
		乾燥(ベーク)処理	防湿包装でもリフロー実装に耐えられない場合
	加湿時間	168時間(1週間)以上	レジン厚*: 1mm以下のパッケージの場合
		336時間(2週間)以上	レジン厚: 1~1.5mmのパッケージの場合
		504時間(3週間)以上	レジン厚: 1.5~2.0mmのパッケージの場合
加熱条件 (温度条件)		実際の実装条件 (メーカー推奨条件など)	信頼性試験の前処理として, 耐熱性試験実施あるいは多量のサンプルで耐熱性試験を実施する場合
		実際の実装より厳しい条件 (適切な条件の設定が必要)	少量のサンプルで耐熱性試験を実施する場合 (マージン評価)

注：*ここでレジン厚はチップ上のレジン厚またはタブ下のレジン厚の厚いほうをレジン厚と定義する。

イスのパッケージに対しても、日立製作所では種々のくふうによって信頼性の確保を図っている。

4 4 MDRAMの信頼性

サブミクロン製品の代表として、4 MDRAMの信頼性について述べる。4 MDRAMの製品開発過程の中では、2章および3章で述べてきたTEG評価を代表とする、デバイスやパッケージに関する要素プロセスの信頼性評価検討を十分行い、製品化を図ってきた。さらに、要素プロセスの評価検討に加え、大量の4 MDRAMを用いた信頼性試験による信頼性検討を実施した。信頼性試験項目としては、実使用環境、実装条

件などを十分に考慮した。

高温動作試験，低温動作試験，高温放置試験，低温放置試験などのデバイスプロセスに対する信頼性試験結果を表5(a)に，高温高湿バイアス試験，プレッシュクッカー試験，温度サイクル試験などのパッケージングプロセスに対する信頼性試験結果を同表(b)に示す。パッケージ評価では，ボード実装熱ストレスによるパッケージクラックなどの信頼性劣化要因を考慮し，吸湿後のリフロー，耐はんだ熱の前処理を実施した後，信頼性試験を行った。半導体の故障は初期故障，偶発

故障，摩耗故障の3領域に分けて考え，バスタブ曲線を描くと言われている。これらの故障期間を想定し，大量サンプルによる短期信頼度試験(初期故障期間，偶発故障期間に対応)と比較的少量のサンプルによる長期信頼度試験(偶発故障期間，摩耗故障期間に対応)の2種類の信頼度試験を行った。

デバイス評価である高温動作試験結果から4MDRAMの市場での故障率推定を行うと，およそ11Fitとなる(ただし，活性化エネルギー $E_a=0.3\text{ eV}$ ，電圧加速係数 $\beta=1.7\text{ E}^{-1}$ ，実使用温度条件 $T_a=55\text{ }^\circ\text{C}$ ，実使用電圧 $V_{CC}=5.5\text{ V}$ ，信頼度水準

表5 4MDRAM信頼性評価例(1)および(2) (a)デバイスチップ面の寿命評価例を示す。たとえ1個の不良でも原因を調査しプロセス改善に結び付けている。
(b)パッケージの耐環境試験を主体とした信頼性評価例を示す。いずれのパッケージでも問題のないことを確認した。

(a) 4MDRAM信頼性評価例(1)

項 目	条 件	300ミルSOJ	350ミルSOJ	400ミルZIP	TSOP
高温動作試験 (tcyc=1μs)	$T_a=125\text{ }^\circ\text{C}$ ， $V_{CC}=7.0\text{ V}$ ，48 h	1/1,768#	0/949	0/1,000	0/1,000
	$T_a=125\text{ }^\circ\text{C}$ ， $V_{CC}=5.5\text{ V}$ ，1,000 h	0/823	0/364	—	—
	$T_a=125\text{ }^\circ\text{C}$ ， $V_{CC}=7.0\text{ V}$ ，1,000 h	0/746	0/307	0/100	0/100
高 低 温 放 置	$T_a=150\text{ }^\circ\text{C}$ ，1,000 h	0/50	0/55	0/50	0/50
	$T_a=175\text{ }^\circ\text{C}$ ，1,000 h	0/40	0/22	0/40	0/40
	$T_a=-65\text{ }^\circ\text{C}$ ，1,000 h	0/50	0/22	0/50	0/50
低温動作試験 (tcyc=1μs)	$T_a=25\text{ }^\circ\text{C}$ ， $V_{CC}=7.0\text{ V}$ ，1,000 h	0/22	0/22	—	—
	$T_a=25\text{ }^\circ\text{C}$ ， $V_{CC}=8.0\text{ V}$ ，1,000 h	0/22	0/45	—	—
	$T_a=-10\text{ }^\circ\text{C}$ ， $V_{CC}=8.0\text{ V}$ ，1,000 h	0/22	0/20	—	—

注：高温動作試験で1ビット不良が発生したが，プロセス対策を完了した。
#：1ビット不良 → ゲート酸化膜破壊起因×1 → 酸化膜膜質改善

(b) 4MDRAM信頼性評価例(2)

項 目	条 件	300ミルSOJ	350ミルSOJ	400ミルZIP	TSOP
高 温 高 湿 バ イ ア ス	85℃85%RH， $V_{CC}=5.5\text{ V}$ ，1,000 h	0/100	0/150	0/100	0/100
	85℃85%RH， $V_{CC}=5.5\text{ V}$ ，1,000 h*	0/217	0/157	0/200	0/200
	110℃85%RH， $V_{CC}=5.5\text{ V}$ ，300 h	0/50	0/50	0/50	0/50
	127℃85%RH， $V_{CC}=5.5\text{ V}$ ，300 h	0/50	0/50	0/50	0/50
	138℃85%RH， $V_{CC}=5.5\text{ V}$ ，300 h	0/50	0/50	0/50	0/50
	138℃85%RH， $V_{CC}=5.5\text{ V}$ ，300 h*	0/50	0/50	0/50	0/50
P C T	121℃，100%RH放置，300 h	0/50	0/50	0/50	0/50
	121℃，100%RH放置，300 h*	0/50	0/50	0/50	0/50
温度サイクル	-55～150℃ 20サイクル	0/949	0/949	0/1,000	0/900
	-55～150℃ 500サイクル	0/100	0/100	0/100	0/50
	-55～150℃ 500サイクル*	0/100	—	0/100	0/50
	0～125℃ 2,000サイクル	0/100	0/100	0/100	0/100
	0～125℃ 2,000サイクル*	0/200	0/100	0/200	0/200
熱 衝 撃	-65～150℃，50サイクル	0/22	0/30	0/22	0/22
耐 は ん だ 熱	215℃，90s ベーパリフロー	0/617	0/603	0/22	0/550
	260℃，10s はんだ浸漬	0/22	0/22	0/600	0/22
はんだ付け性	230℃，5 s	0/22	0/22	0/22	0/22
塩水噴霧試験	35℃，5%塩気雰囲気，48 h	0/22	0/22	0/22	0/22
耐溶剤性試験	イソプロピルアルコール，1 min	0/11	0/11	0/11	0/11

注：* 前処理後試験実施
前処理条件 (1)温度サイクル(-50～150℃) 20サイクル
(2)85℃40%RH，200 h吸湿放置
(3)ベーパリフロー(215℃，90 s)：SOJ，TSOP
260℃，10 sはんだ浸漬：ZIP
略語説明 PCT(プレッシュクッカー 試験)

60%とした)。パッケージ評価結果では、ZIP, SOJ (Small Outline J-Lead Package), TSOP (Thin Small Outline Package) のいずれのパッケージについても不良発生はなく、良好な結果を確認した。

5 結 言

サブミクロンデバイスへの挑戦は、まだ始まったばかりである。Al配線や酸化膜およびホットキャリアやソフトエラーなど、0.8 μm プロセスではまだまだ信頼性マージンに余裕があることが確認された。今後はさらに微細化が進み、ハーフミクロン以下への挑戦が続くことになるが、日立製作所では、引き続きTEGによる事前評価と信頼性の作り込みを最優先に進めていきたい。また、パッケージ面でも、絶えまない多様化の進展に対して、くふう改善による信頼性の向上を継続していく。

サブミクロン以降のデバイスは、プロセス面でのスループットと信頼性の向上に対する熱い戦いの歴史になると考える。

参考文献

- 1) P. B. Ghate, et al. : Electromigration-Induced Failures in VLSI Interconnects, Proc. IE³ International Reliability Phys. Symp. p.292(1982)
- 2) A. K. Shinha, et al. : The Temperature Dependence of Stress in Aluminum Film on Oxidized Silicon Substrates, Thin Solid Film, 48, p.117(1978)
- 3) N. Owada, et al. : Stress Induced Slit-Like Void Formation in a Fine-Pattern Al-Si Interconnect During Aging Test Proceedings, Proc. IE³ VLSI Multi-Level Interconnect Conference, p.173(1985)
- 4) T. Fujii, et al. : Comparison of Electromigration Phenomenon between Aluminum Interconnection of Various Multilayered Materials, Proc. IE³ VLSI Multi-Level Interconnect Conference, p.477(1989)
- 5) M. Kawamura, et al. : Sub-Micron Process and TDDDB Characteristics, Proc. International Symposium on Testing and Failure Analysis, p.119(1988)
- 6) R. B. Fair, et al. : Threshold-Voltage Instability in MOSFET's due to Channel Hot-Hole Emission, IE³ Trans. on Electron Devices, Vol.ED-28, p.28(1981)
- 7) E. Takeda, et al. : Device Performance Degradation due to Hot Carrier Injection at Energies bellow the Si-SiO₂ Energy Barrier, IEDM Dig. Tech., p.396(1983)
- 8) H. Katto, et al. : Hot-Carrier Degradation Modes and Optimization of LDD MOSFET's IEDM Dig. Tech., p.744(1984)
- 9) S. Yoshida, et al. : Improvement of Endurance to Hot Carrier Degradation by Hydrogen Blocking P-SiO, IEDM Dig. Tech., p.56(1988)
- 10) 日立面実装形パッケージ実装マニュアル：株式会社日立製作所 電子事業本部 半導体事業部(平1-7)
- 11) 田中, 外：面実装形パッケージのリフロー耐熱評価方法の検討, 第18回信頼性, 保全性シンポジウム, p.165(1988)