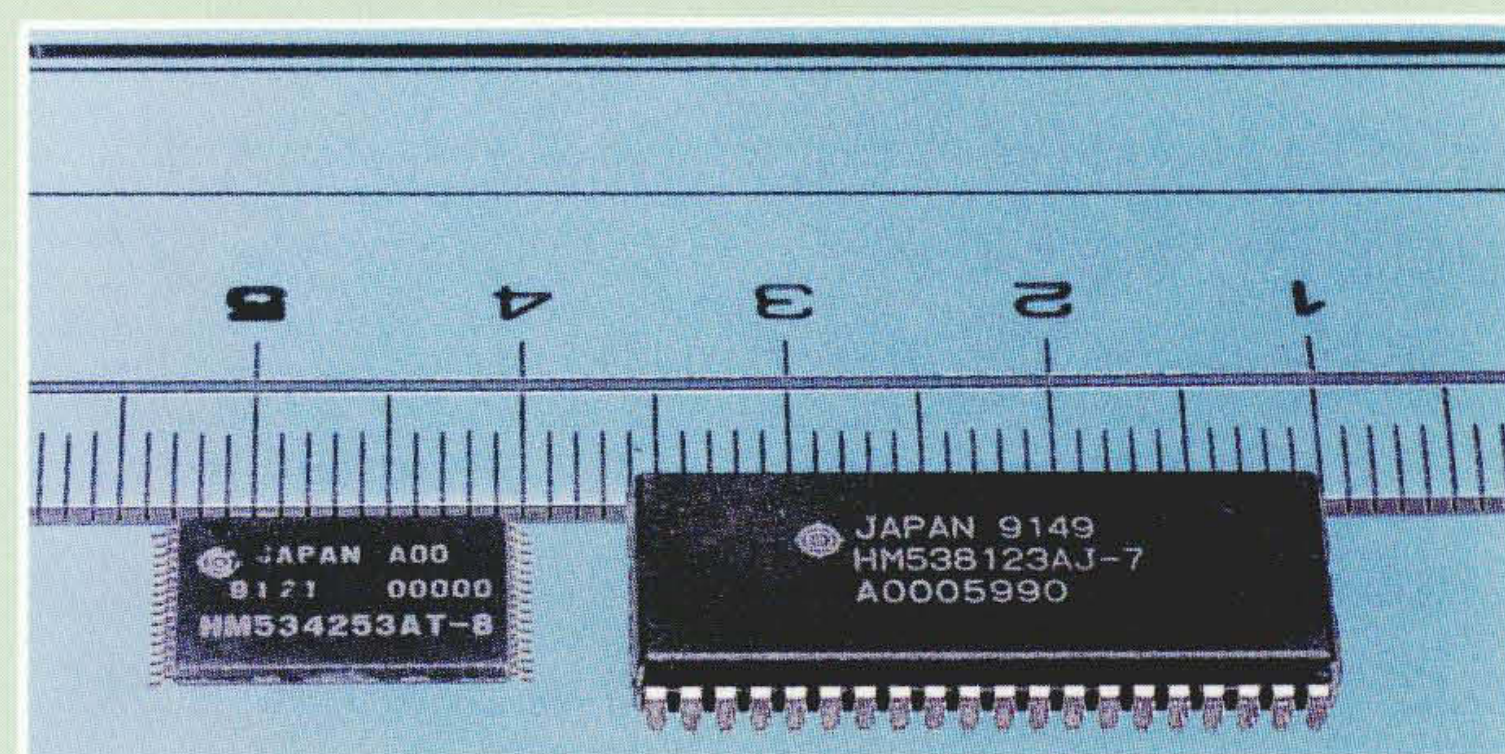
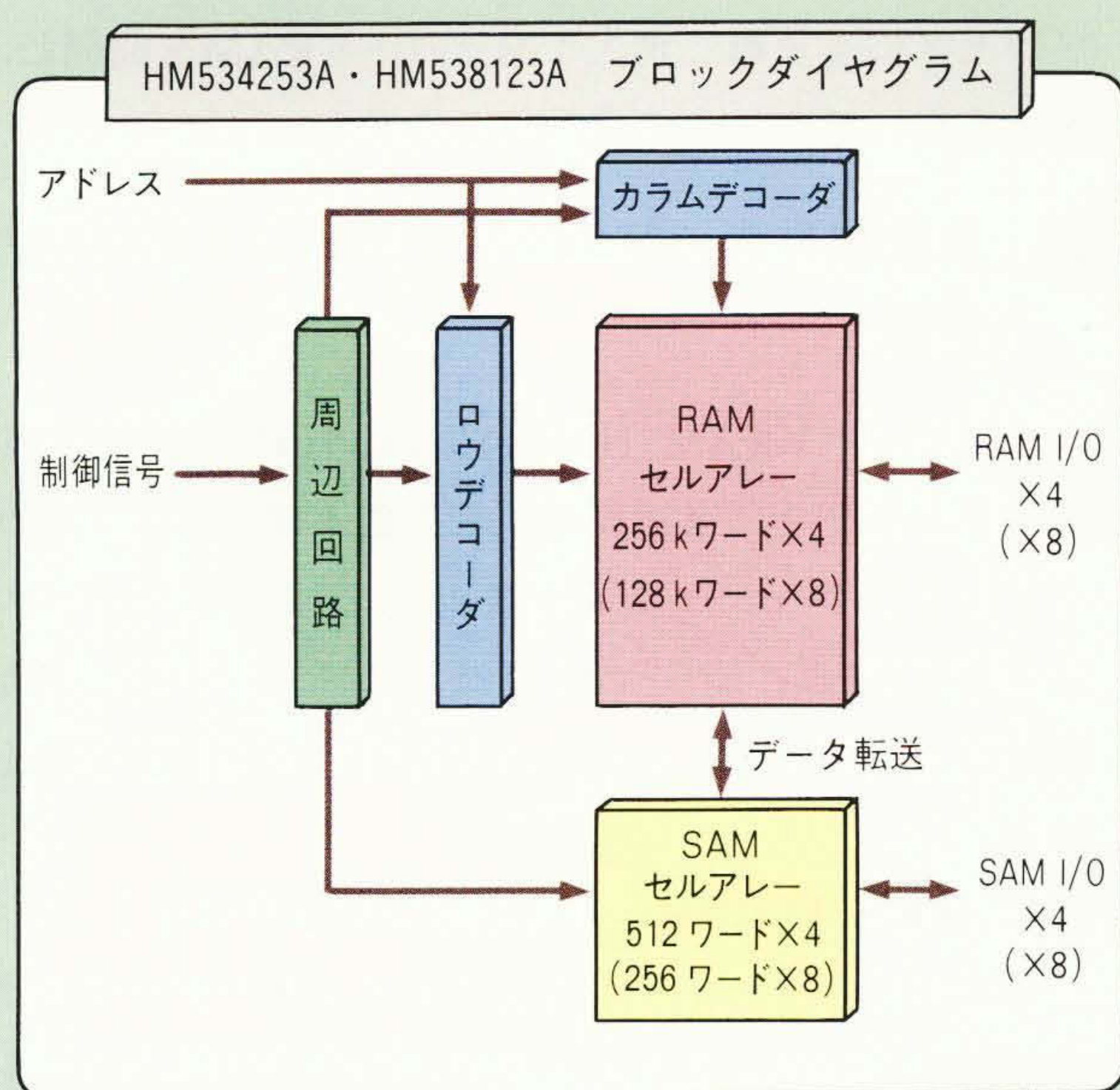


ワークステーションの高精細画面の立役者—— ビデオRAM

Video RAM Realizes the High Resolution Features of the Work Stations

山本幸夫* Yukio Yamamoto
佐藤克之** Katsuyuki Satō
藤田 良*** Ryō Fujita
三島通宏* Michihiro Mishima



32ピン TSOP-type I
HM534253A

40ピン SOJ
HM538123A(-7)

注：略語説明 TSOP (Thin Small Outline Package)
SOJ (Small Outline J-lead)
SAM (Serial Access Memory)

第二世代 1 Mビット VRAM HM534253Aは、256 kワード×4 ビットのRAMアレーと512ワード×4 ビットのSAMアレーから成る。()内はHM538123Aの場合を示す。

OA機器、なかでもワークステーションの高性能化、高精細化および多色化の傾向は著しい。このため、画面データを画素単位で記憶し、画像処理を高速に行うフレームバッファとしての画像専用メモリ、VRAM(ビデオRAM)にも高機能、高速および大容量化が要求される。これにこたえるため日立製作所では、256 kビット、1 MビットのVRAMに引き続いて、0.8 μ mプロセスによる第二世代 1 MビットVRAM〔×4 構成品(HM534253A)と×8 構成品(HM538123A)〕を開発・量産化し、さらに次世代VRAMの2 Mビットもサンプル配布を開始した。第

二世代 1 MビットVRAM HM534253AおよびHM538123Aの特徴は、(1) 70 ns SPEC (Specification) と高速で、低価格機から最上位機まで適用可能であること、(2) チップサイズが41.8 mm²と小さいので、HM534253Aでは8.0×12.4 mm²のTSOP (Thin Small Outline Package)-type I に収容でき、フレームバッファ部で約35%〔対SOJ (Small Outline J-lead) 比〕の小形化が図れ、携帯用途機に相当であること、(3) スプリットデータ転送、ブロックライト、フラッシュライトなどのフルオプション品であり、これらを用いて種々の高機能化が図れること、である。

* 日立製作所 半導体設計開発センタ ** 日立製作所 デバイス開発センタ *** 日立製作所 日立研究所

1 はじめに

従来OA機器，とりわけ高精細画面で図形処理や表示を行うEWS(Engineering Work Station)などでは，図形の回転や移動，スクロールなどを容易にするため，画面の内容を1画素(ピクセル)単位にフレームバッファと呼ばれるメモリの1ビットに記憶させて，画像処理を行うビットマップ方式が一般的である。このフレームバッファには，1986年ごろまではDRAM(Dynamic RAM)を用いるのが一般的であったが，DRAMでは入出力できるピン(ポート)が一对しかないため，画素データの書換と出力が同時にはできないので，フレームバッファからCRTへ画素データを出力中は，CPUはフレームバッファにアクセスができないという制限があった。またDRAMでは，画素データをCRTに表示する際の速度にも不十分であった。これらを解決するために登場したのが，画像専用メモリのVRAMである。VRAMは1983年に米国TI(テキサス インスツルメント)社が64 kビットのVRAMを発表した¹⁾のが始まりである。本格的に市場に導入されユーザーに受け入れられたのは，1985～86年²⁾に日立製作所をはじめとするわが国のメーカーによって製品化された256 kビットVRAMからであり，現在は量産中の256 kビット，1 Mビットが広く世に用いられている。VRAMは汎(はん)用DRAMにSAM(Serial Access Memory)を付加した構成(口絵参照)で，DRAM部とSAM部との間でデータを転送しあえるデュアルポートメモリである。この構成によって，RAM部でデータの移

動や書換などの画像処理中も，SAM部ではCRT表示などの入出力が可能なフレームバッファメモリとして画像処理能力を向上させることができる。また，SAM部はシリアル出力なので高速動作が可能である。このように登場したVRAMも，EWSの描画性能がCPUと同様2年で2倍に高速化される動向に対応するため，RAM部の書込み性能向上(画素データの高速書換)とSAM部の高速出力が必要になってきた。そこで日立製作所では，256 kビット，1 Mビットの従来のVRAMに引き続き，0.8 μmプロセスによる第二世代1 MビットVRAMを開発し，量産化を行ってこれらの要求にこたえた。

2 日立製作所の第二世代1 MビットVRAMの機能

1 MビットVRAM HM534253A，HM538123Aの動作モードおよびその選択真理値表を表1に示す。ブロックライトとフラッシュライト機能は，RAMポートへの書込み速度(描画性能)を向上させ，スプリットデータ転送機能は，SAMポートからの出力速度(表示性能)を向上させる。

2.1 16ビット同時書込み可能なブロックライト

通常の手書き込みが1サイクルで1ビットのデータを書くのに対し，ブロックライトでは1サイクルで4ビット×I/O(入出力)数ビットのデータを書くことができる。4ビットのアドレスはVRAMの連続するカラムアドレスで，画素では1走査線上の連続した4画素に対応させているのが普通である。4ビットの手書き込みデータはVRAM

表1 HM534253A・HM538123Aの動作モードとその選択真理値表 12の動作モードは，各信号のレベルの組み合わせによってこの表のように選択される。

RAS立下り時の信号レベル					CAS立下り時のDSF信号レベル	動作モード
CAS	DT/OE	WE	SE	DSF		
L	*	*	*	*	*	CBRリフレッシュ
H	L	L	L	L	*	ライト転送
H	L	L	H	L	*	疑似転送
H	L	L	*	H	*	スプリットライト転送
H	L	H	*	L	*	リード転送
H	L	H	*	H	*	スプリットリード転送
H	H	L	*	L	L	リード/マスクライト
H	H	L	*	L	H	マスクブロックライト
H	H	L	*	H	*	フラッシュライト
H	H	H	*	L	L	リード/ライト
H	H	H	*	L	H	ブロックライト
H	H	H	*	H	*	カラーレジスタリード/ライト

注：略語説明など CBR(CAS Before RAS)，* (Don't care)

に内蔵されている4ビットのカラーレジスタにあらかじめ設定して行う。このブロックライトを用いると、各I/Oピンから4ビット同時に書込みができるので、HM534253A(×4構成)で4ビット×4 I/O=16ビット、HM538123A(×8構成)で4ビット×8 I/O=32ビットが1サイクル内に書くことができ、ウインドウ内のクリアや塗りつぶし、背景色の書換などを高速に実現できる。ブロックライトのタイミング波形を図1に示す。

2.2 2kビットに1または0を一括して書けるフラッシュライト

ブロックライトが連続した4カラムアドレスのビットに1サイクルで書き込むのに対し、フラッシュライトはVRAMのロウアドレスで指定される行の全カラムアドレスのビットに、カラーレジスタであらかじめ指定したデータを1サイクルで書き込む。VRAMの1行は通常画素では走査線1本分または1部分に対応しており、フラッシュライトを用いてプレーンの一括消去や画面全体の背景色の書換などを高速に実行する。フラッシュライトのタイミング波形を図2に示す。

2.3 転送タイミングを緩和するスプリットデータ転送

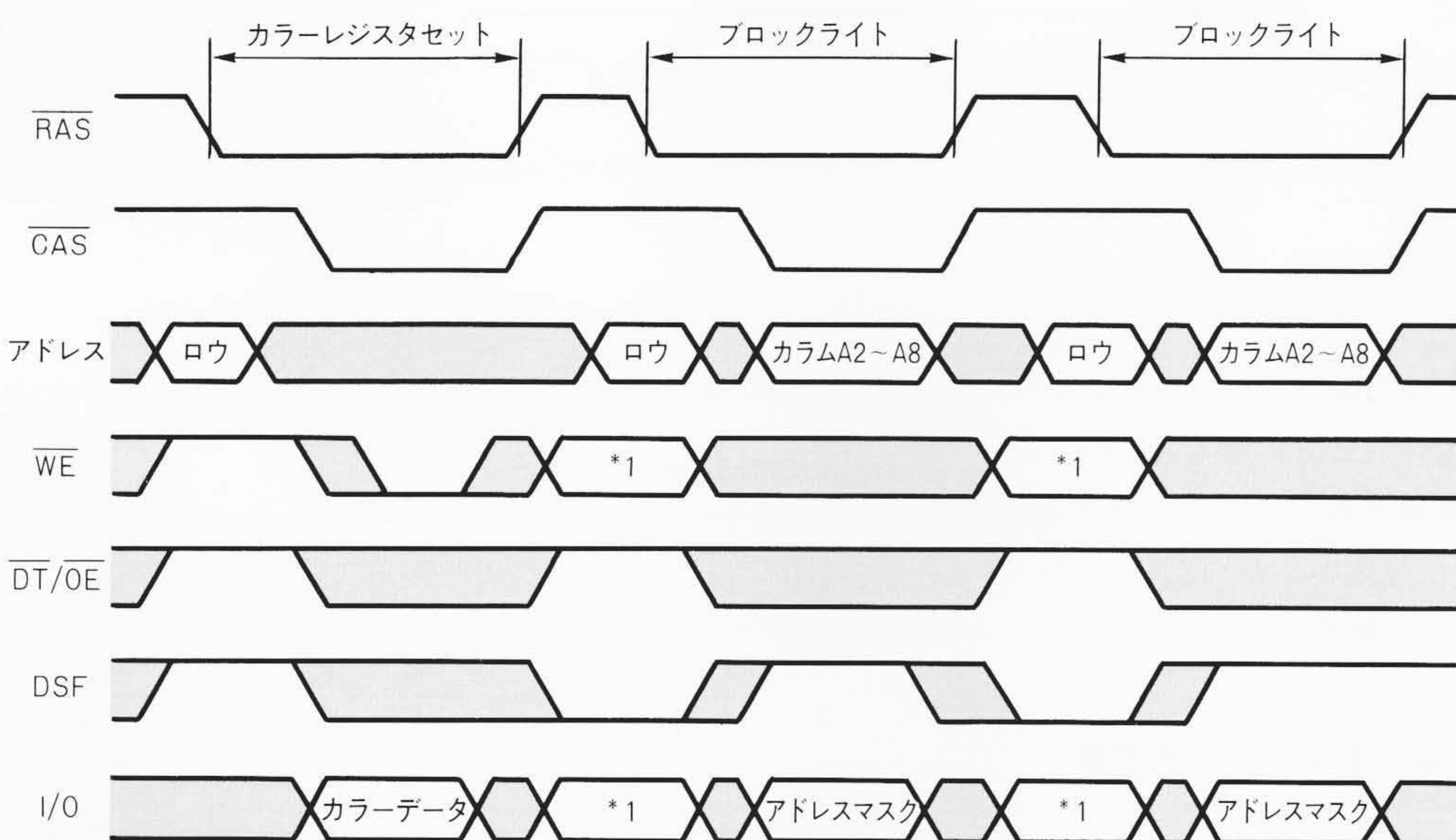
このモード時にHM534253Aでは、512ビット×4 I/OのSAM部を上位256ビット×4 I/Oと下位256ビット×4 I/O(HM538123Aでは256ビット×8 I/OのSAM部を、上位128ビット×8 I/Oと下位128ビット×8 I/Oとに)内部動作上二分割し、二分割されたSAM部の非動作側の

SAMとRAMとの間でデータ転送を行う。このため、一方のSAM部が動作中の任意の期間でスプリットデータ転送が実行でき、データ転送を行うためにRAM～SAM間で同期をとるクリティカルタイミングが大幅に緩和される。例えば、従来のデータ転送では30 nsのSAM部のサイクルにRAM部の転送タイミングを同期させねばならなかったのを、スプリットデータ転送では1 μs程度以内の任意時にRAM部の転送タイミングを挿入すればよくなる。この結果、SAMサイクルを高速にでき、表示性能が向上する。スプリットデータ転送波形を図3に示す。

3 HM534253A・HM538123Aの設計技術³⁾

3.1 70 nsのSPECを実現する高速回路技術

日立製作所の第二世代1 MビットVRAMの特色は、上記2章で述べた豊富な機能に加えて、表2に示す－7スペックを保証できる高速性がある。－7スペックでは高速ページモードサイクル(t_{pc})が45 nsと高速なので、1ウエートで40 MHzのEWSに対応が可能である。この高速ページモードでブロックライトを行えば、1ビット当たりでさらに4倍の高速化が得られる。1,280×1,024(1.25 M)画素のEWSに適している。さらにSAM系では、サイクル時間25 ns、アクセス時間22 nsと高速化を実現している。これは第一に、SAM系がシリアルアクセスであることを利用し、内部アドレスを外部アドレスに対して+1インクリメントすることによって、内部で



*1		
WE	I/O	モード
低レベル	I/Oマスクデータ	マスク
高レベル	Don't care	ノンマスク
I/Oマスクデータ 低レベル: マスク 高レベル: ノンマスク		
アドレスマスクデータ		
I/O0	カラム0(A0=0, A1=0)マスクデータ	低レベル: マスク
I/O1	カラム0(A0=1, A1=0)マスクデータ	
I/O2	カラム0(A0=0, A1=1)マスクデータ	高レベル: ノンマスク
I/O3	カラム0(A0=1, A1=1)マスクデータ	

図1 ブロックライトのタイミング波形 書込みデータは、カラーレジスタのカラーデータで与え、4カラム分を一括で書く。マスクデータは、I/O(入出力)マスクデータ(*1)とアドレスマスクデータで与える。

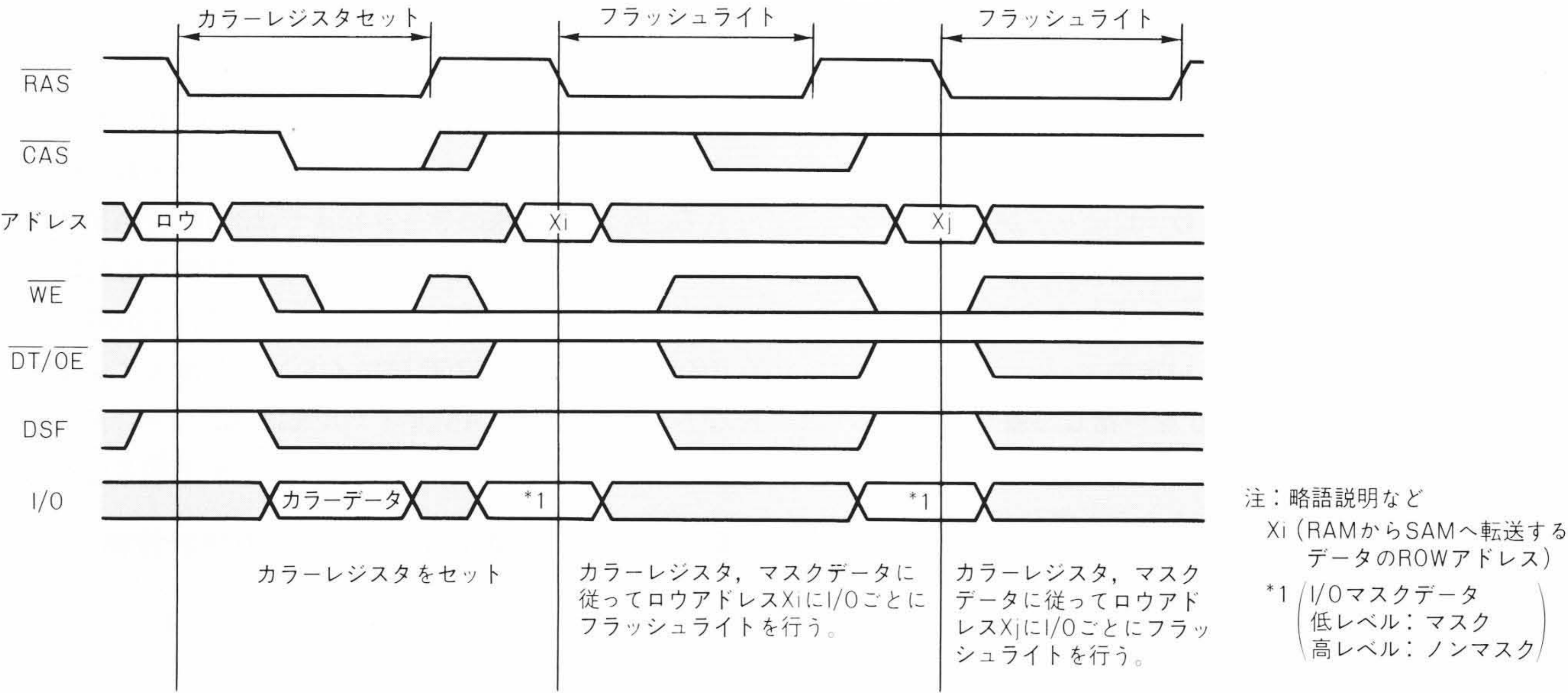


図2 フラッシュライトのタイミング波形 書込みデータは、カラーレジスタのカラーデータで与え、HM534253Aでは512ワード×4ビット分を、HM538123Aでは256ワード×8ビット分を一括で書く。マスクデータは、I/Oマスクデータ(*1)で与える。

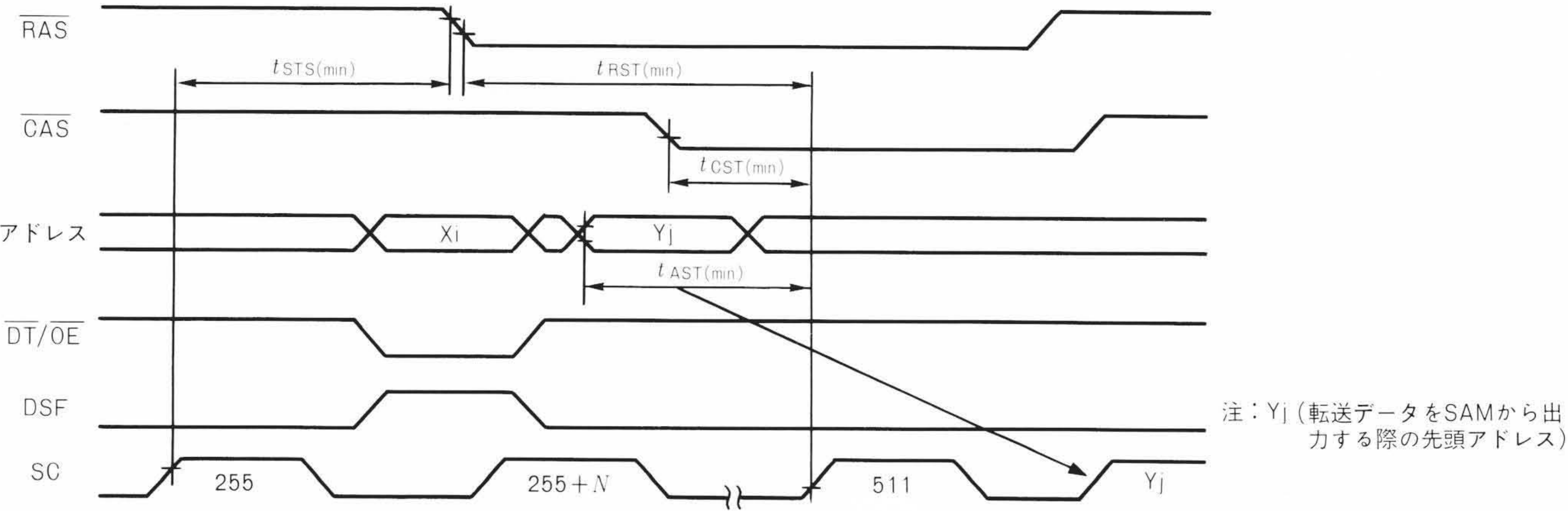


図3 スプリットデータ転送波形 $t_{STS}(\text{min})$ と $t_{RST}(\text{min})$ を守りさえすれば、SAMの255+N~511ビットのどこでもデータ転送が可能である。

の読出し動作と外部への出力動作を同時処理する、いわゆるパイプライン動作を行っていることによる(図4)。第二に、SAM部の記憶情報を増幅するアンプ(SAMメインアンプ)にダイナミックアンプを用い、かつSAMの内部バス容量をアンプ動作時に切り離すカットMOSを設置し、SAM部の読出し動作の高速化を図った。

3.2 VRAMの高密度実装を可能にする小形表面実装パッケージ

HM534253AではVRAMの高密度実装が可能なように、小形表面実装パッケージ、TSOP-type I に収容する

表2 HM534253A・HM538123A—7 スペックデータシート
—7 スペックでは、RAMアクセス(t_{RAC})が70 ns、SAMアクセス(t_{SCA})が22 nsと高速である。

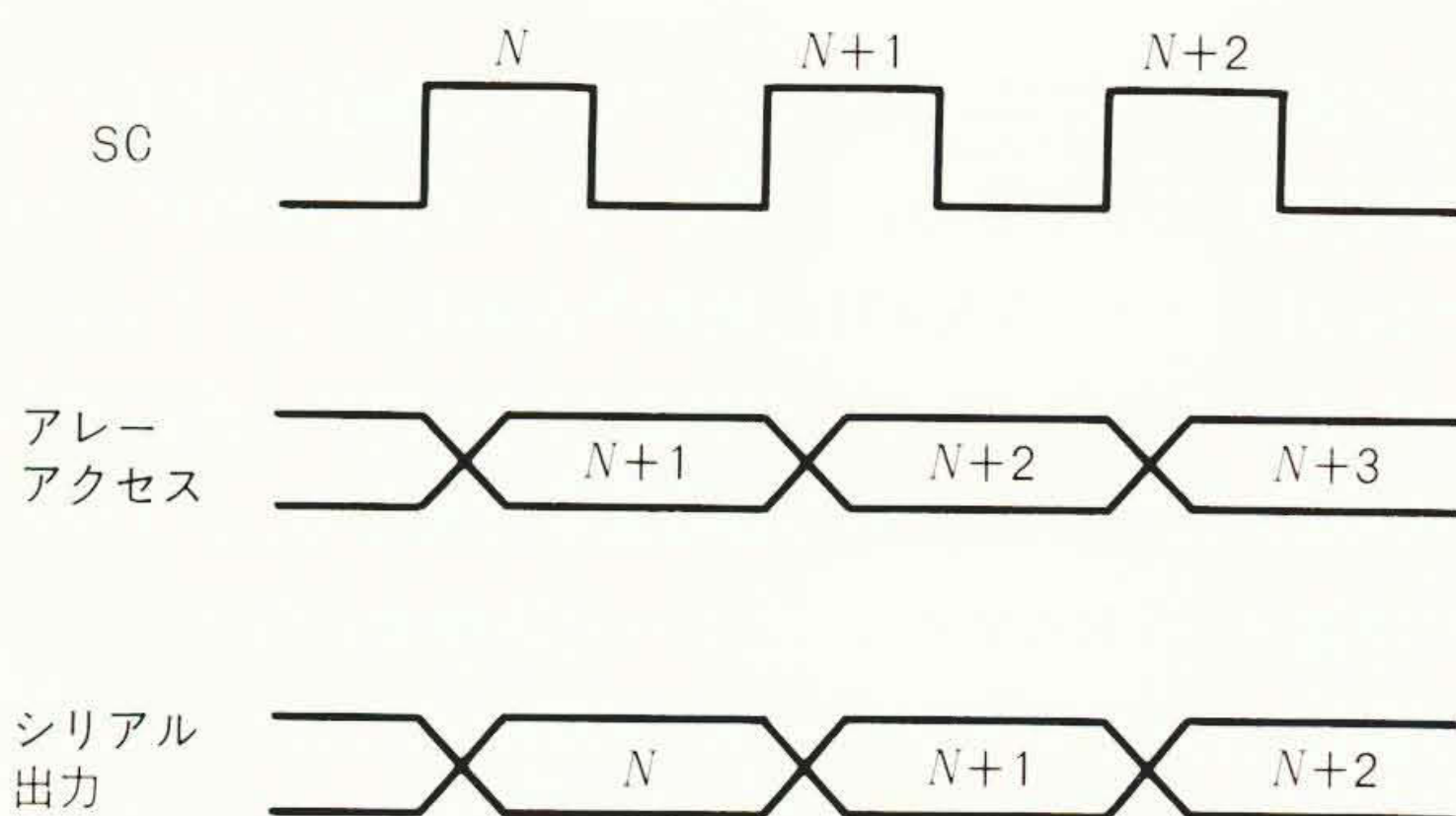
RAMサイクル時間	t_{RC}	135 ns
RAMアクセス時間	t_{RAC}	70 ns
CASアクセス時間	t_{CAC}	20 ns
アドレスアクセス時間	t_{AA}	35 ns
OEアクセス時間	t_{OAC}	20 ns
ページサイクル時間	t_{PC}	45 ns
SAMサイクル時間	t_{SCC}	25 ns
SAMアクセス時間	t_{SCA}	22 ns
SEアクセス時間	t_{SEA}	20 ns

ことを目的に、チップサイズの低減に努めた結果、 $4.15 \times 10.08 (41.8) \text{ mm}^2$ のチップサイズ(図5)に抑えて、 $8.0 \times 12.4 \text{ mm}^2$ の32ピンTSOP-type I (口絵参照)に収容することができた。さらに、HM534253AとHM538123Aとは同一チップのAIオプションが可能で量産対応を容易にした。これは日立製作所の第二世代1MビットVRAMが、いち早く4MDRAMと同じ $0.8 \mu\text{m}$ CMOS(Complementary MOS) AI 2層プロセスを採用するとともに、レイアウト技術にくふうを加えた成果である。

4 VRAMのワークステーションへの応用

4.1 VRAMを用いたシステム構成

EWSでのグラフィックスシステム構成例を図6に示す。グラフィックスプロセッサは、画素を生成する描画



注：N, N+jはアドレスの値を示す。

図4 SAMパイプライン動作 シリアル出力がNビット目を行っているとき、内部では次のN+1ビット目のアクセスを行っている。

部(VRAMのRAMポートとコミュニケーション)と表示制御を行う表示部(VRAMのSAMポートとコミュニケーション)などから構成される⁴⁾。描画速度などの描画性能を向上させるため、描画のシステムクロックをCRTの表示周期のドットクロックから同図に示すように独立にする必要があるが、従来のVRAMでは、VRAMのRAMデータをSAMに転送するタイミングでシステムクロックとドットクロックの同期をとる必要があった。今回の第二世代1MビットVRAMでは、スプリットデータ転送機能を用いることにより、ほとんどシステムクロックとドットクロックの同期タイミングを気にすることなくシステムを構成できる。

4.2 グラフィック性能の向上

このVRAMはアクセス時間を70 nsと高速化し、データバスも8ビット(HM538123A)としたため、EWSのVRAMに対するスループットが2倍以上になり基本性能を大幅に向上できる。さらに、ページモードを使えるブロックライトやフラッシュライトを用いることで、塗りつぶしや画面のクリアを高速に行える。図6のシステムで1画面のクリアを行う場合、従来のVRAMに比べてブロックライトで約20倍の2 ms, フラッシュライトでさらに10倍の200 μs に高速化できる。三次元グラフィックスなどでアニメーションを行わせる場合などに有効である。

4.3 フレームバッファ部の小形化

従来のSOJやZIP(Zigzag Inline Package)に加えて、 $8.0 \times 12.4 \text{ mm}^2$ のTSOP-type Iの小形、薄形パッケージの実現によって、フレームバッファ部の実装密度で約35

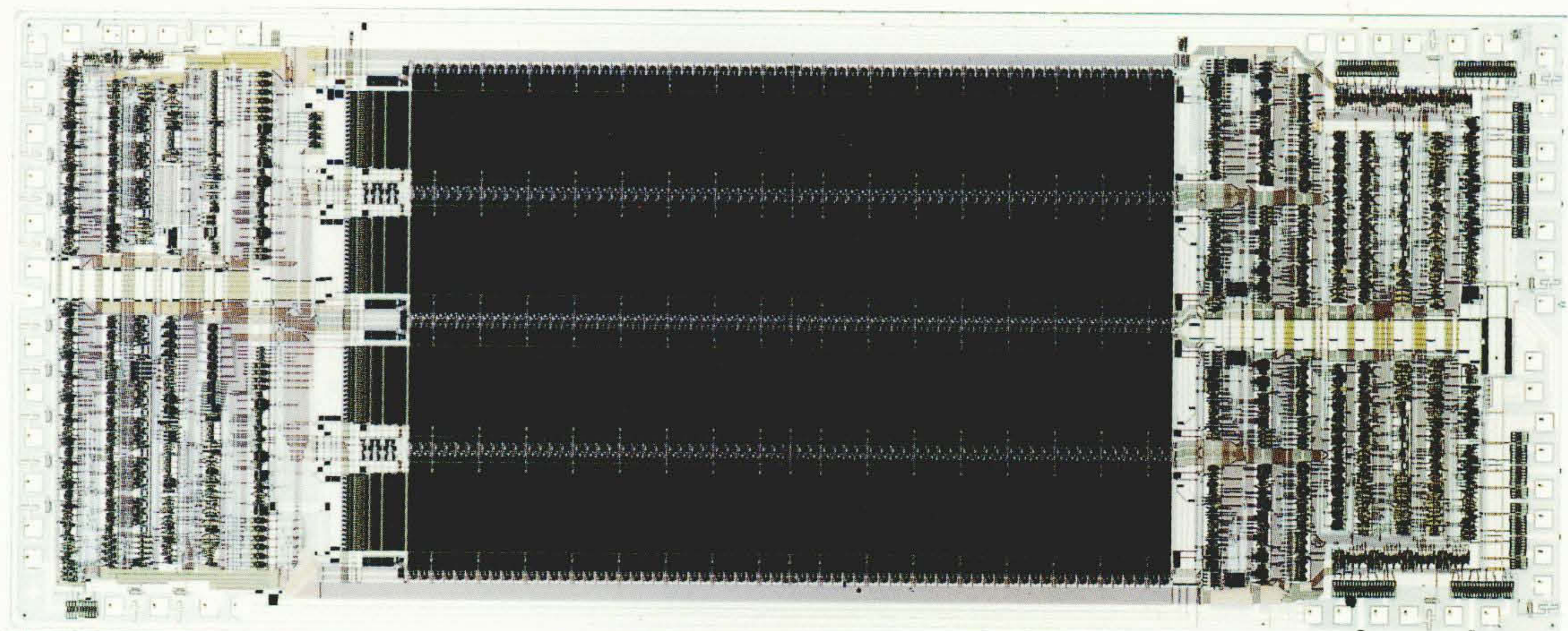


図5 HM534253A・HM538123Aのチップ ×4構成品(HM534253A)と×8構成品(HM538123A)は、メタルマスクオプションによる同一チップであり、チップサイズは $4.15 \times 10.08 (41.8) \text{ mm}^2$ である。

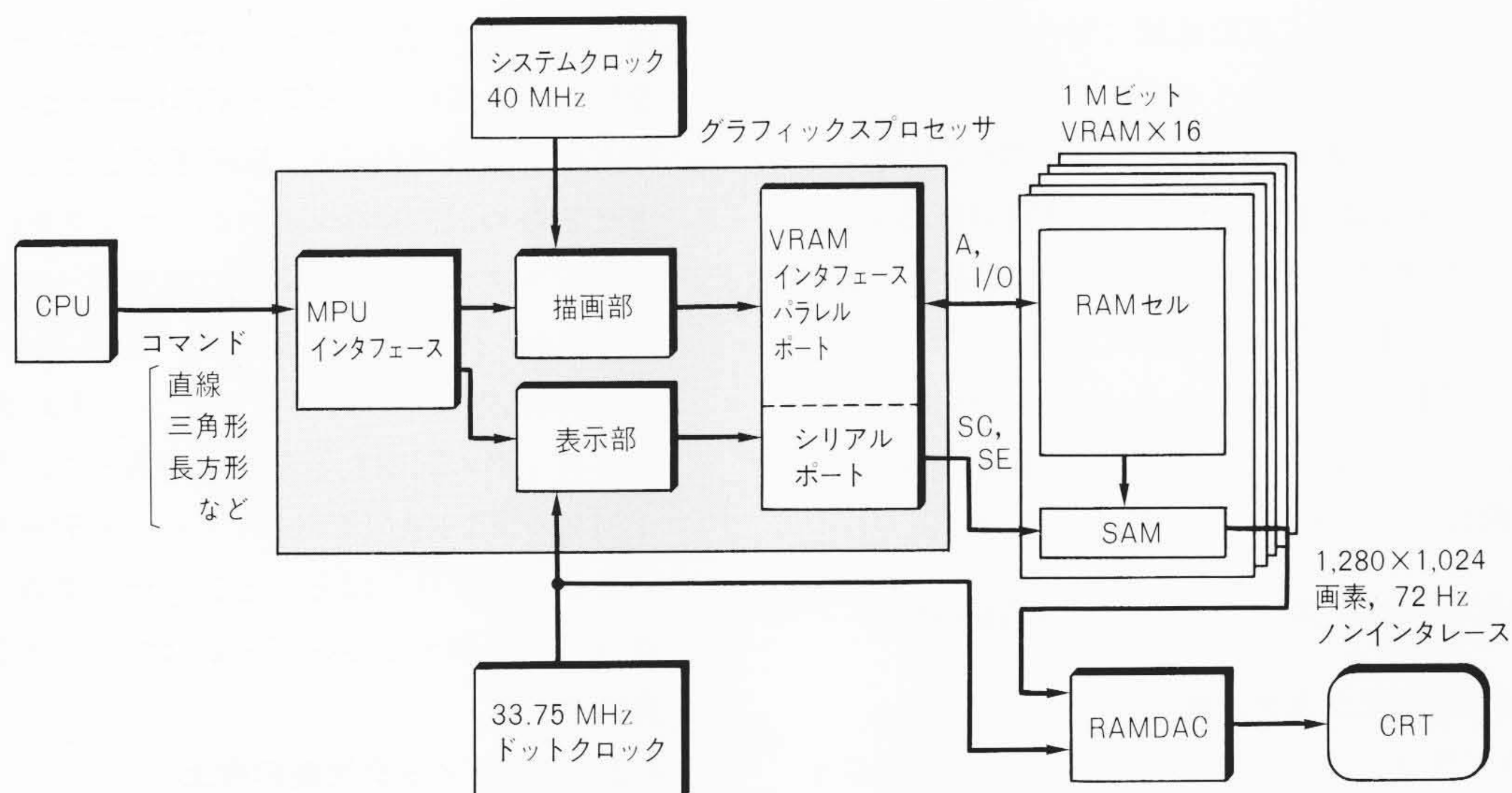


図6 グラフィックスシステムの構成例 高精細EWS(Engineering Work Station)でのグラフィックスシステムの構成例を示す。

% (対SOJ比)の小形化が図れる(HM534253A)。これはラップトップやノートタイプのワークステーションなど、携帯用途機向けには欠くことのできない長所であるとする。

5 おわりに

画像専用メモリ、VRAMはマンマシンインタフェースのビジュアル化に必須(す)なデバイスとして今後も発展を続ける。CRTサイズによらず、扱う画像データが増えるに従ってソフトでの対応は困難になり、VRAMの容量も増加する。例えば、飛行機や船舶、自動車のナビゲーションなどには地図全体をVRAMにビットマップデー

タで記憶しておけば、衛星からの信号で高速にCRTに必要な情報を表示できる。したがって、0.5 μm 時代では4~16 MビットのVRAMが使用されるだろう。さらに、ノートワークステーション向けにはバッテリー動作対応の低電圧・低電力VRAMも必要になってくる。日立製作所では次世代VRAMとして、より高速機能を備えた2 MビットVRAMを開発中であり、さらに次々世代では3.3 V動作が可能な4 MビットVRAMの開発を予定している。設計技術としてはCADツールを用いた開発期間の短縮、レイアウト、回路のくふうによってチップサイズを低減し、低価格化、高性能および高信頼度にいっそう挑戦していきたい。

参考文献

- 1) R. Pinkham, et al.: Video RAM excels and fast graphics, Electric Design, pp.161~172, Aug. (1983)
- 2) S. Ishimoto, et al.: A 256K Dual Port Memory, ISSCC '85 Digest of Technical Papers, pp.38~39, Feb. (1985)
- 3) 永島, 外: 高速マルチポートVRAMの回路設計, 電子情報通信学会技術研究報告, Vol.90 No.219, 31~38 (ICD 90-110)
- 4) 武田, 外: CGIコマンドを採用したグラフィックスLSI, DTPやOS/2システムをねらう, 日経エレクトロニクス, No.459, 157-168 (1988.10.31)