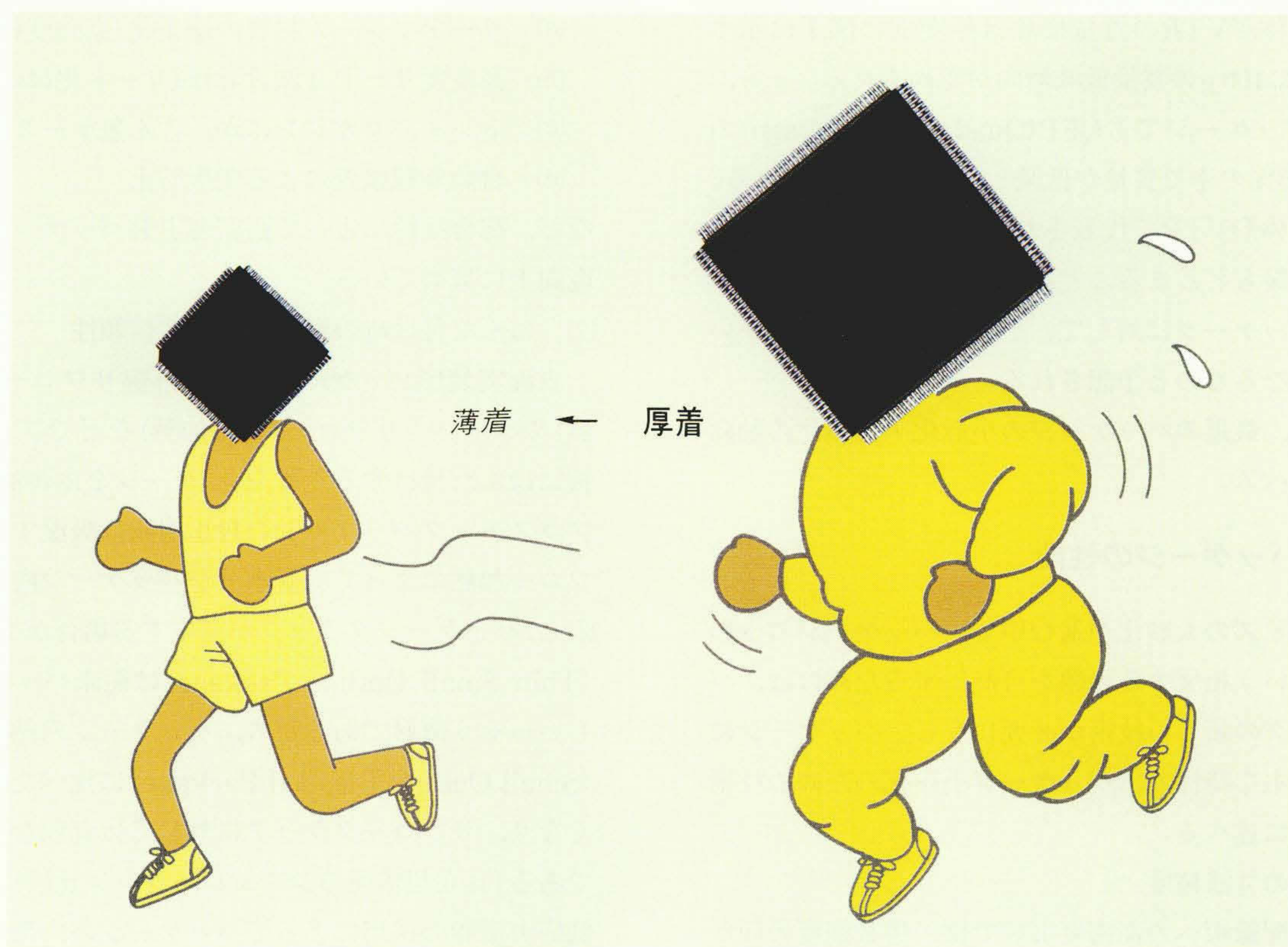


薄着でも高性能の小形パッケージ

High Performance Small Package

大塚憲一* *Ken'ichi Ôtsuka*
鈴木博通* *Hiromichi Suzuki*
増田正親* *Masachika Masuda*
清水一男* *Ichio Shimizu*



薄着化が進むパッケージ 電子機器の小形・軽量化ニーズに対応するため、パッケージの小形・薄形化が進んでいる。

カメラ一体形VTRに代表されるように映像機器の小形化が急速に進んでおり、これらに使用される半導体パッケージに対して、より小形・軽量化の要求が強くなっている(口絵)。

日立製作所では、より小形・薄形のパッケージとしてTSOP(Thin Small Outline Package), SSOP(Shrink Small Outline Package), TQFP(Thin Quad Flat Package), STZIP(Shrink Thin Zigzag

Inline Package)などの開発を進め、ニーズへの対応を図っている。

リード寸法精度、耐熱性、耐湿性、熱特性、高速化対応などのパッケージ特性に対しては、小形化を可能にするために新たな技術を開発し適用した。小形化しても信頼性は従来と同等に維持されるように配慮した。

* 日立製作所 半導体設計開発センタ

1 はじめに

電子機器の小形・軽量化指向は、種々の製品分野で広く認められる傾向である。映像機器のカメラ一体形VTRを例にとると、小形・軽量が大きなセールスポイントであるため、この傾向が特に顕著に現れている。

カメラ一体形VTRの質量推移は年度別に図1に示すように、年に100gの質量低減傾向が認められる。一方、半導体ICパッケージでもQFP(Quad Flat Package)の例で、年に25%の率で質量が低減してきたことがわかる。

カメラ一体形VTRで代表される映像機器類の小形・軽量化は今後もとどまることはなく、これを可能にするためにICパッケージに対して、小形・軽量化の要求がますます強くなるものと予想される。

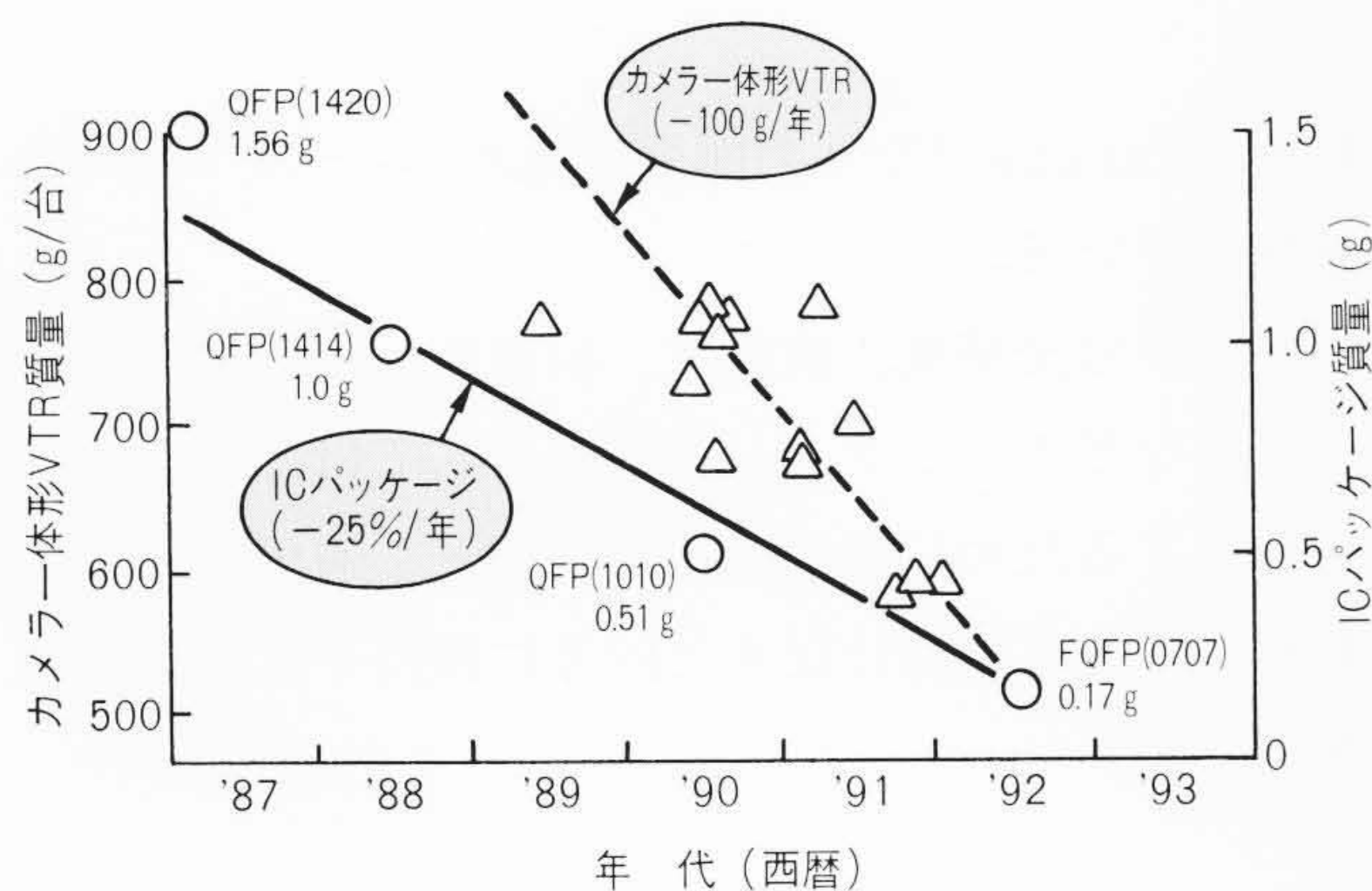
ここでは、最近のパッケージの小形化・薄形化の動向について述べる。

2 小形パッケージの性能

チップサイズの大形化が進む中で、パッケージの小形化を図るという相反する課題を可能にするためには、パッケージングの新しい技術が必要になる。パッケージに要求される主な特性と、パッケージ小形化のための技術対応を以下に述べる。

(1) リードの寸法精度

プリント配線板への高密度実装では、搭載精度の面から、パッケージ寸法に対して、アウターリード(外部端子)



注：略語説明 QFP (Quad Flat Package)
FQFP (Fine pitch Quad Flat Package)

図1 カメラ一体形VTRの軽量化傾向とICの質量変化
カメラ一体形VTRの軽量化とともに、ICパッケージの質量も軽量化が進展している。

はもちろんのこと、本体の各部に至るまでより高精度が要求されてきている。パッケージの小形化によってアウターリードのファインピッチ化が急速に進んでおり、リード寸法精度は、はんだ付け歩留りや接合信頼性に直接影響するため特に重要視されている。したがって、ファインピッチ化技術をより確実なものにするために、

- (a) リードフレーム材質の適正化(高強度材の選定)
- (b) 高精度リード寸法設計(短リード化ほか)
- (c) トレイ、マガジンほか、こん包ケースの最適設計
- (d) 自動外観検査による変形防止

など、総合技術によって高密度実装パッケージの寸法精度向上に努めている。

(2) はんだ付け時の耐熱性と耐湿信頼性

表面実装形パッケージは、赤外線リフロー(赤外線加熱)やベーパーリフロー(気相加熱)などでプリント配線板にはんだ付けするため、パッケージ全体が加熱される。プラスチックパッケージの封止樹脂は吸湿するため、リフロー加熱によって吸湿水分がパッケージ内部で気化膨張し、パッケージクラックが発生する場合がある。TSOP (Thin Small Outline Package)は従来パッケージよりもいっそう薄形であるため、パッケージ内熱応力はSOJ (Small Outline J leaded Package)に比した場合 $\frac{1}{3}$ と低くなり、リフロークラックに対しては有利なパッケージである(日立製作所のシミュレーション比較)。しかも、低応力樹脂の採用によってパッケージの内部応力を低くし、耐クラック性の向上を図っている。さらに、封止樹脂とダイパッドの界面の密着性を向上するため、図2に示すようにダイパッドに貫通穴を採用し、ダイパッドの分割によってリフロー時の水蒸気圧によるはく離発生を低減している。

薄形では吸湿した水分も抜けやすく、信頼性に関しては表1に示すように、薄形でもSOJとほぼ同等の耐湿性を確認しており問題はない。

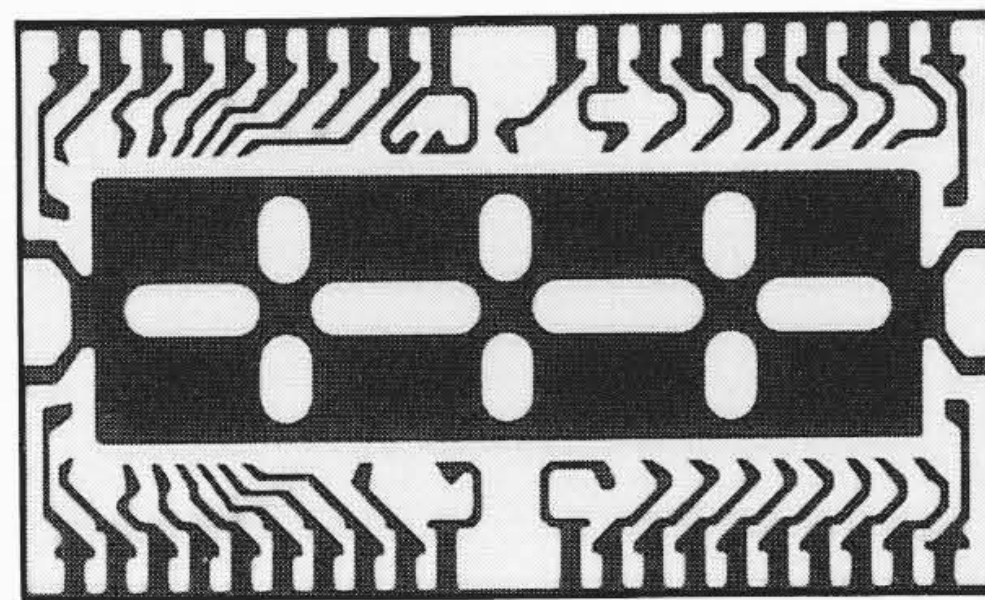


図2 貫通穴ダイパッド ダイパッドの貫通穴を複数個に増やし、密着性の向上と発生応力の低減によってリフロー耐熱性が改善される。

パッケージ内のペレット収納率を高くする上で有効な LOC (Lead On Chip) 構造 (インナーリードをペレット上に配置：後で詳述) 品についても、構成材料の熱膨張係数と構造面から応力バランスを考慮して設計されており、SOJ と同レベルの信頼性を確保している。

(3) はんだ接合部の信頼性

パッケージの小形化を可能にするためリードの微小化が進んでおり、基板のフットプリントとリードの接合面積は小さくなりつつある。また、薄形化によってパッケージ構成材料中で樹脂の占める体積が減少し、チップやリードの熱膨張率の影響が強くなり、パッケージの見掛けの熱膨張率は、エポキシ樹脂基板に比べて相対的に小さくなる傾向にある。このため、薄形パッケージでは、はんだ接合部に生じる応力を低減するため、必要に応じてリード厚を薄くし、適正化を図っている。

(4) 放熱特性

ASIC 製品などでのデバイスの高消費電力化、表面実装形パッケージの小形化、高密度実装化などが進展する中で、熱放散効率の向上が要求されている。特に樹脂封止形 IC、LSI パッケージはプリント配線基板に高密度に実装されるため、パッケージ固有の熱抵抗構造もおおの消費電力デバイスに適した対応が望まれる。放熱構

造としては、図 3、4 のようなリードフレーム構造をくふうして、熱放散性の改良を図っているタイプ (放熱リード構造) と、単独の熱放散性部品 (ヒートスプレッド、異形状・多層構造など) を構成しているタイプに区分される。前者は比較的消費電力の低い 1 ～ 2 W 程度までの熱特性を許容するパッケージとして最適であり、日立製作所では本格的に量産中である。後者については 2 W を超える高消費電力用途向けパッケージとして構造開発の段階にある。開発中のパッケージ構造の代表例として、HQFP (Quad Flat Package with Heatsink) の構造モデルを図 5 に示す。

(5) 高速化対応

半導体素子の高速動作を満足するためには、素子設計だけでなくパッケージ設計に負うところも大きい。特に、高速化によって発生する熱の問題や、パッケージの小形・薄形化設計によってインナーリードやアウターリードのパターンが狭小になり、自己インダクタンスの増

表 1 TSOP信頼度評価結果 耐リフローストレス後の信頼度に対しても問題のないことを確認した。

No.	試験項目	試験条件	結果	備 考
1	温度サイクル	-55～150℃ 500サイクル	0/45	項番 2 (耐リフローストレス) 実施後
2	耐リフロ一性	85℃, 32%, 168 h 吸湿後 VPS (215℃, 90 s)	0/45	VPS : ベーパー リフロー
3	高温・高湿バイアス	85℃, 85%RH, V _{cc} = 5.5 V 1,000 h	0/38	項番 2 実施後
4	PCT	121℃, 100%, 2 気圧 200 h	0/25	項番 2 実施後
5	高温保存	150℃, 1,000 h	0/20	—
6	はんだ付け性	230℃, 5 s	0/11	—
7	高温動作	T _a = 125℃, V = 7.0 V 1,000 h	0/35	—

注：略語説明ほか PCT (Pressure Cooker Test)
VPS (Vapor Phase reflow Soldering)
TSOP- I (Thin Small Outline Package- I)
S RAM (Static RAM)
サンプル：1 M SRAM, パッケージ：TSOP- I (32ピン)

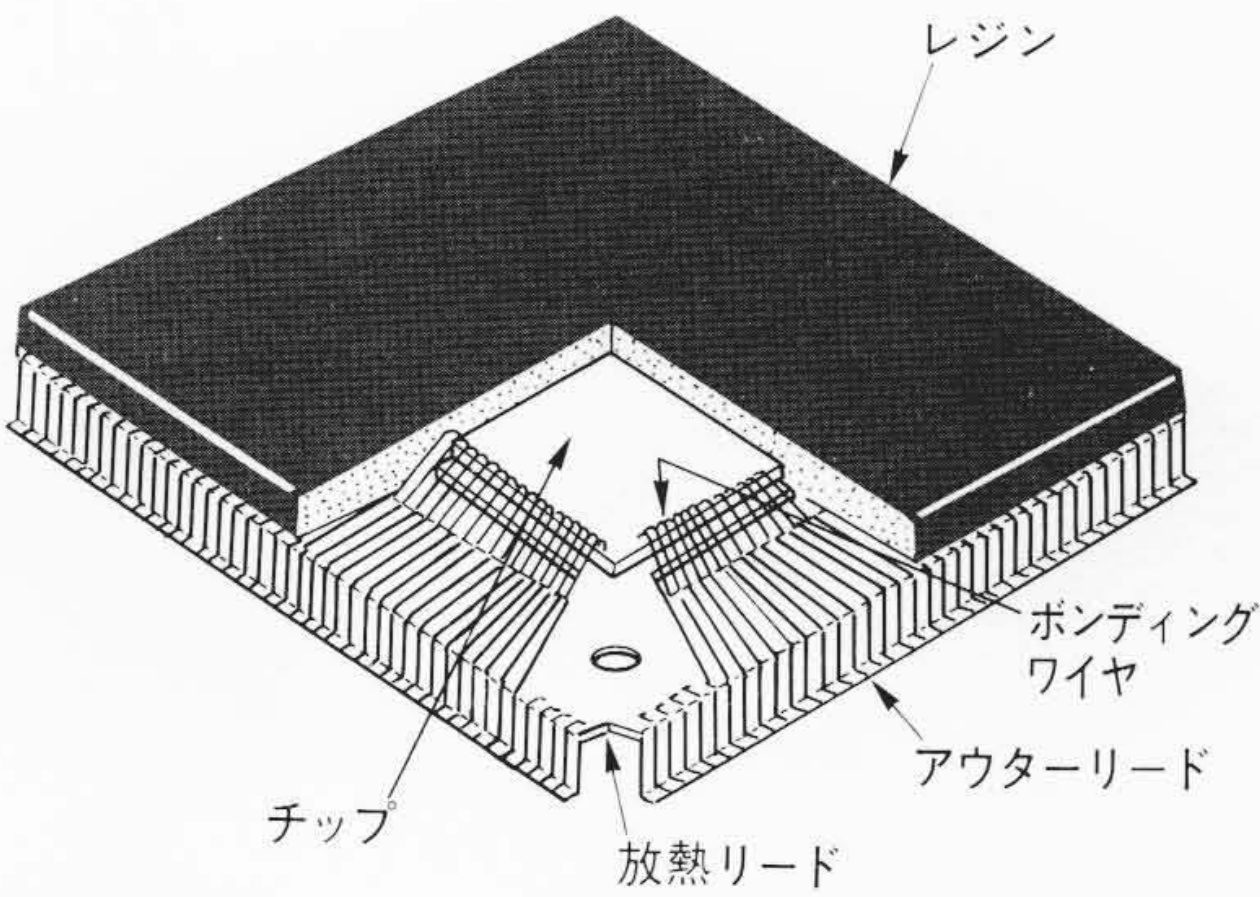


図 3 放熱リードパッケージ (HQFP : Quad Flat Package with Heatsink) 構造モデル ダイパッドから引き出す放熱リードにより、チップの発熱を効率よく実装基板に伝導させ、システムの低熱抵抗化を図る。

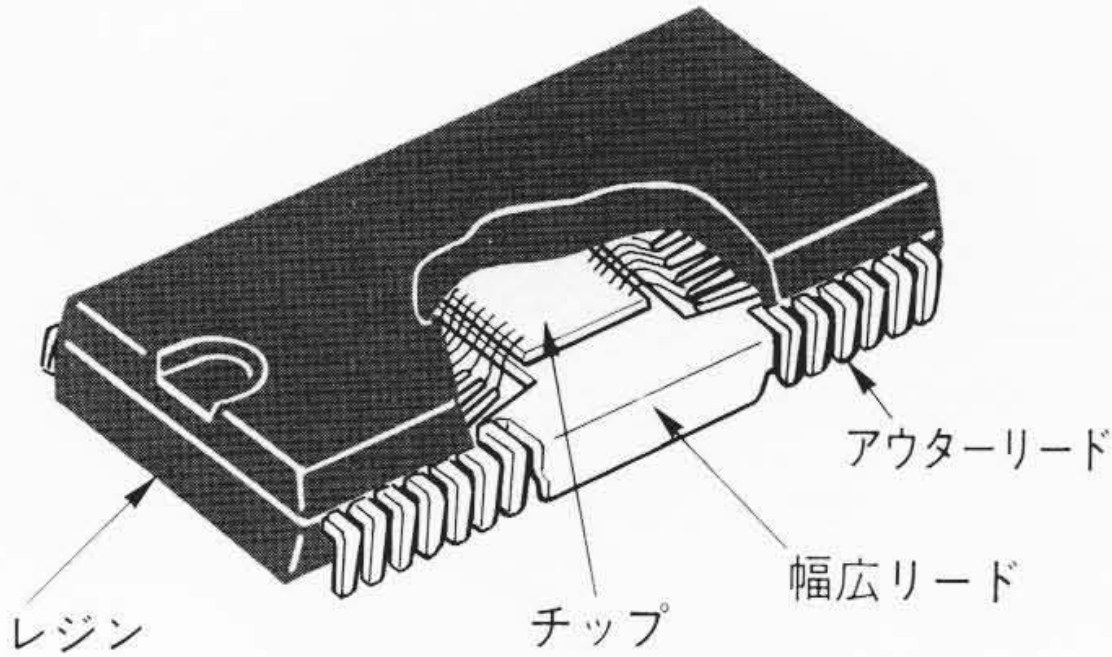


図 4 幅広フィンリードパッケージ (HSOI : Small Outline I-Leaded Package with Heatsink) ダイパッドから引き出す幅広フィンリードにより、ICパッケージ固有の低熱抵抗化を図っている。

大をきたし、ノイズ発生に結び付くことがある。これらを解決するためには、

- (a) 低熱抵抗パッケージの設計
- (b) 電気的特性(自己インダクタンスの低減ほか)を加味したパッケージ設計

が重要視される。ここで、後者の電気的特性を考慮したパッケージ設計例について述べる。一例として16 M DRAM(Dynamic RAM)で採用しているLOC構造がある。LOCは図6に示すように、チップ上にリードフレームが載る構造であり、従来の構造に比べてパッケージの小形化が可能になった。また、小形パッケージへの大チップ収納を可能にするとともに、電気的特性面では図7に示すように、電源線あるいは接地線として使うインナーリード(バスバーリード)とセンスアンプや入力部など、各回路ブロックを個別にワイヤボンディングすることを可能にし、チップ内のAl配線を短縮し高速化に対応したものである。

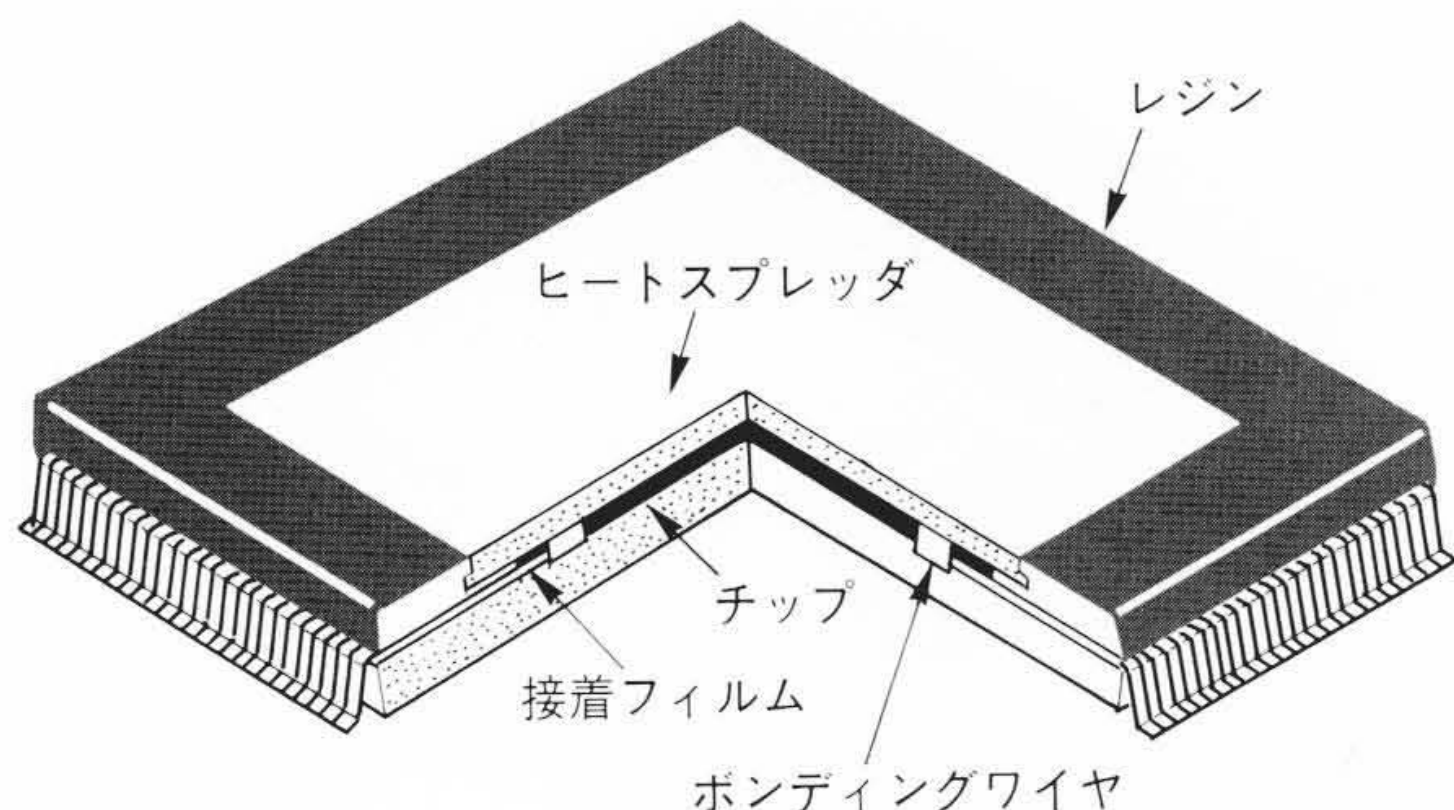


図5 ヒートスプレッダ形パッケージ(HQFP)構造モデル
熱放散部品としてヒートスプレッダ(表面露出タイプ)構造化し、低熱抵抗化を図っている。

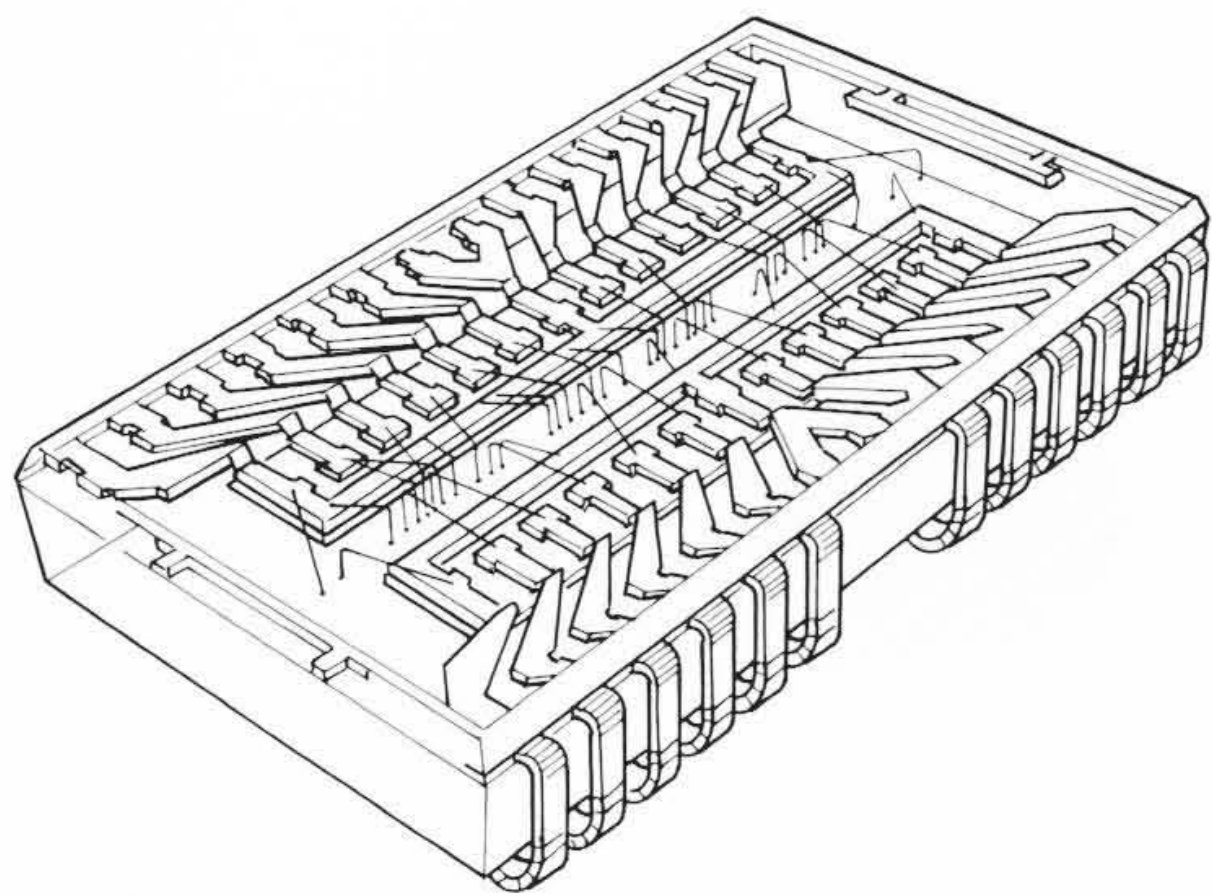
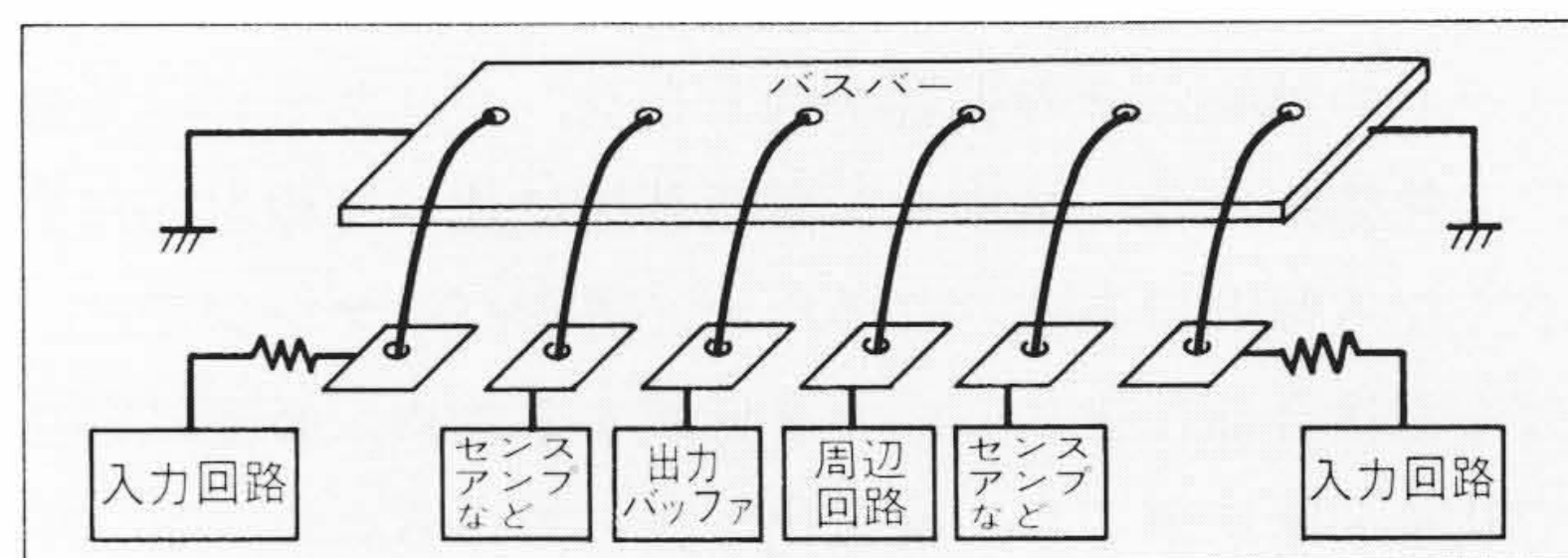
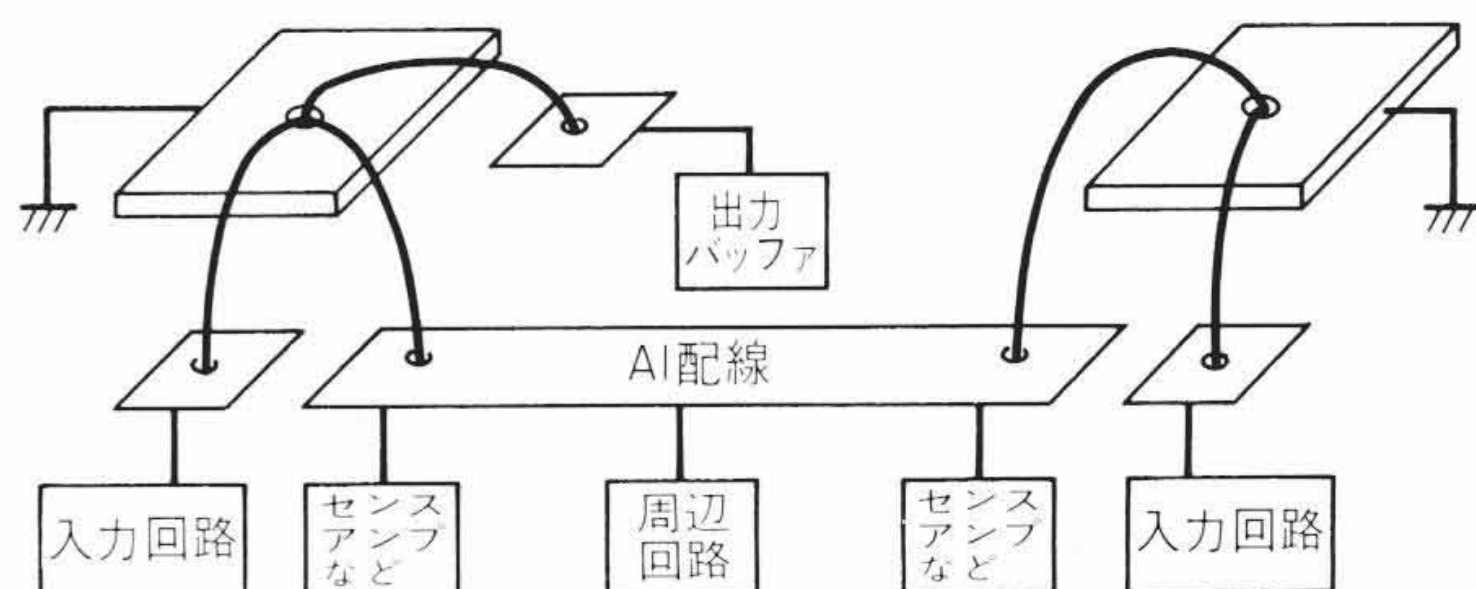


図6 LOC(Lead On Chip)構造パッケージ 半導体素子上にインナーリードを配置する構造(LOC)であり、SOJに16 M DRAMを搭載した例を示す。

他の例としては、高密度実装を満足するためにはパッケージの小形化はぜひとも必要であるが、これに伴い必然的にパッケージ内部の配線パターンも微細化する。特に、リードフレームタイプではインナーリードが細長くなるほど、自己インダクタンスの増大による電気特性の劣化が問題になる。この自己インダクタンス成分低減のために多層化技術を確立した。この多層化技術の一例を



(a) LOC技術



(b) 従来技術

図7 LOC構造を用いた高速回路例 バスバーによって自由に電源線を引き出すLOC構造で高速デバイス対応とした。従来はAI配線で共有した電源線方式であった。

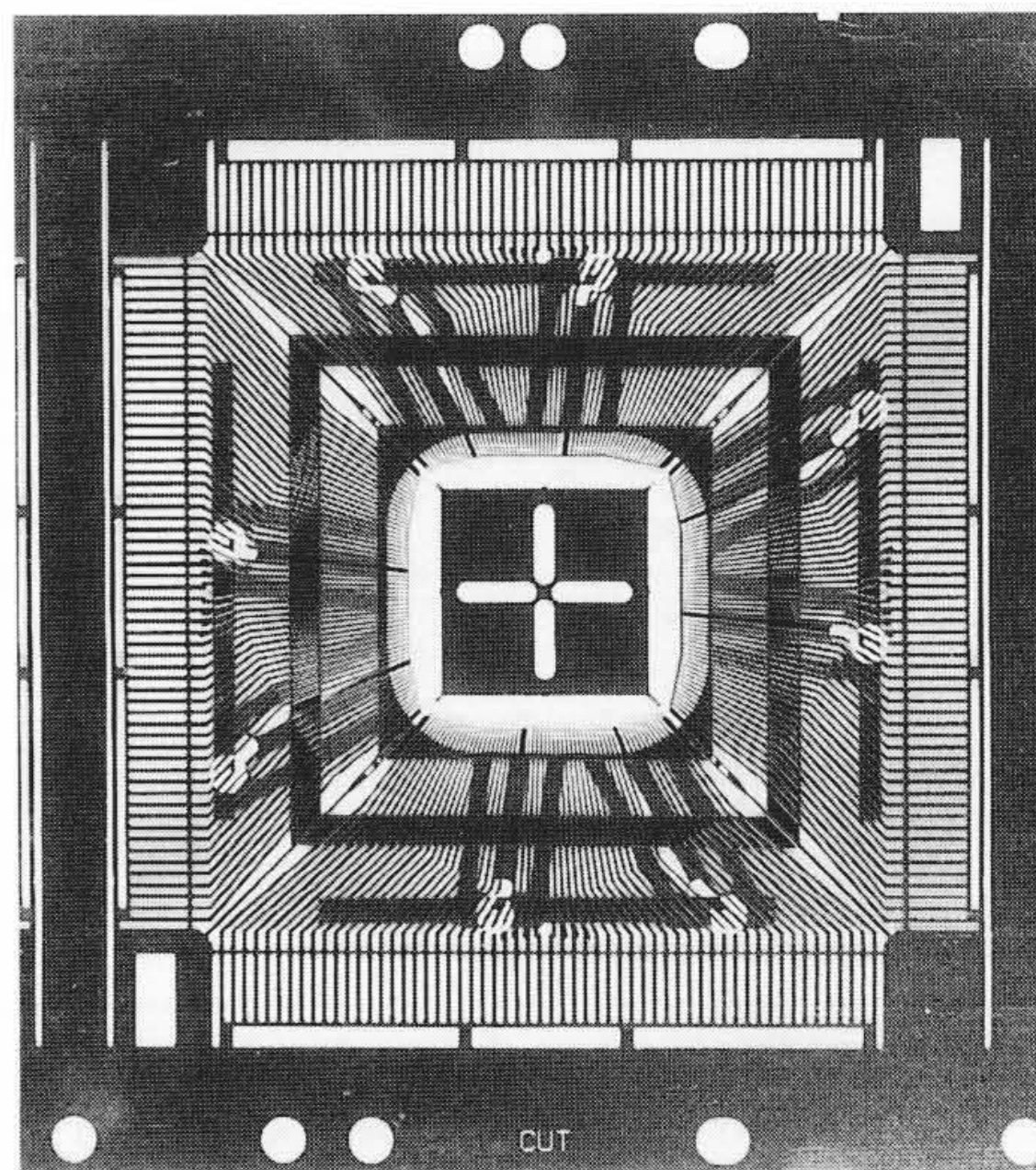


図8 多層構造リードフレーム 電源層を従来のリードフレームに積層した2層構造タイプである。

図 8 に示す。電源層を従来のリードフレームに積層したもので、自己インダクタンスの大幅低減に寄与している。

3 小形パッケージラインアップ

電子機器の高密度実装化に対応して、半導体パッケージの主流は従来のスルーホール挿入形から表面実装形へ変わりつつあるが、表面実装形パッケージの中でも用途に応じて種々のタイプを用意している。

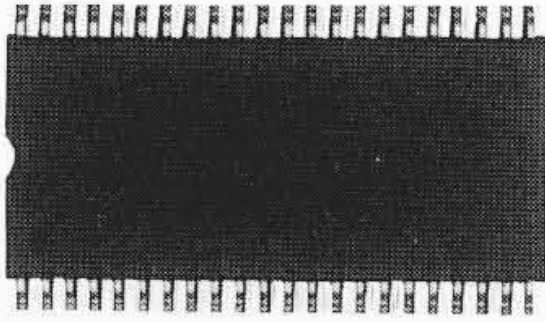
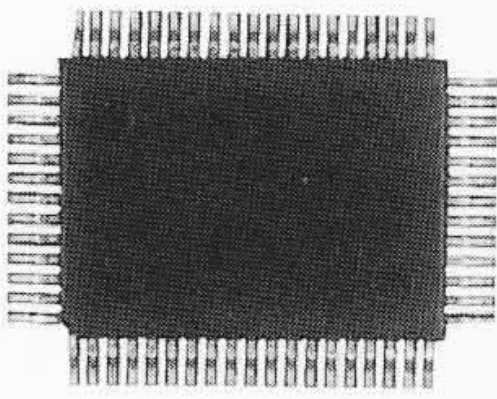
現在、最も広く使用されている代表的な表面実装形パッケージは、表 2 に示す SOP (Small Outline Package) と QFP である。SOP はパッケージの 2 辺にアウターリードを配置しており、ガルウイング形状でリードピッチは 1.27 mm である。QFP はパッケージの 4 辺にアウターリードを配置しており、ガルウイング形状でリードピッチは 1.0 mm、0.8 mm、0.65 mm および 0.5 mm がある。

これらのパッケージに対して、より小形化のニーズに対応するため開発したパッケージが SSOP (Shrink Small Outline Package)、TSOP および TQFP (Thin Quad

Flat Package) である。それぞれについて、日立製作所でのラインアップ状況を表 3、4、5 に示す。SSOP は、SOP に対してアウターリードピッチを狭小化して小形化したものである。また、TSOP、TQFP はパッケージの本体厚さを 1 mm に薄形化したものである。QFP と TQFP の厚さの比較を図 9 に示す。TSOP には、アウターリードピッチが 0.5 mm でパッケージの短辺方向にリードを配置した Type I とアウターリードをパッケージの長辺方向に配置し、SOP を薄形化したような Type II がある。

また、STZIP (表 6) は、リード挿入形の小形パッケージとして日立製作所が開発したオリジナルパッケージである。従来の ZIP (Zigzag Inline Package) は、面実装パッケージの SOJ に比べ 1.6 倍の大きさがあったが、LOC 構造の採用によってパッケージ内への最大ペレット収納率を 90% に高めるとともに、アウターリードピッチを従来の $\frac{1}{2}$ に狭小化して SOJ の約 $\frac{1}{3}$ に小形化した。

表 2 SOP, QFP パッケージ ガルウイングリード形状の表面実装パッケージとして代表される SOP, QFP パッケージである。

S O P		Q F P	
			
600 mil 幅, 1.27 mm ピッチ, 44 ピン		サイズ: 14×20, 1.0 mm ピッチ, 64 ピン	

注: 略語説明 SOP (Small Outline Package)

表 3 SSOP シリーズ SOP のリードピッチは 0.8→0.65→0.5 と狭小化している。

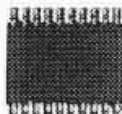
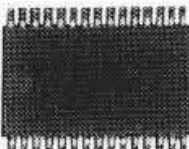
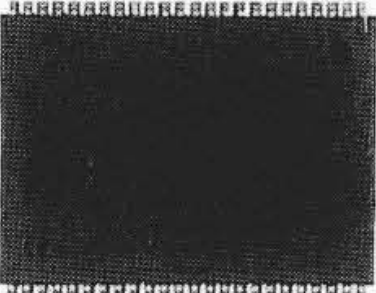
パッケージ サイズ		5.715 (225 mil)	7.62 (300 mil)	9.525 (375 mil)	15.24 (600 mil)
ピン 数	ピッチ mm				
	0.8	—	24, 30 (開発中)	—	48
	0.65	16, 20	30	30	—
	0.5	—	—	48, 56 (開発中)	—

表 4 TSOP シリーズ モジュール、メモリカード対応として、取り付け高さを 1.2 mm Max. とした TSOP I, II パッケージである。

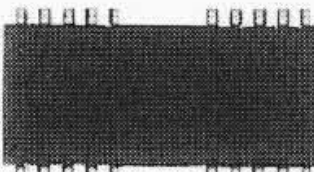
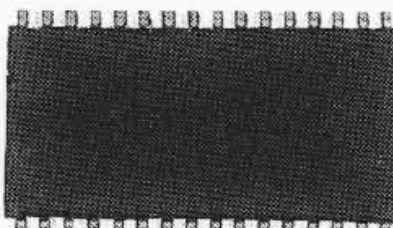
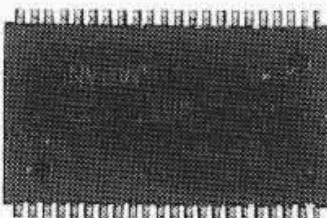
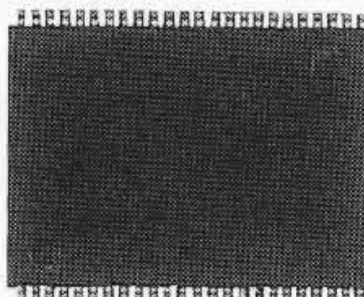
パッケージ		サ イ ズ		6 × 16	8 × 14	8 × 20	—
Type I	ピン 数	ピッチ mm				—	
			0.5	20	32		20, 32
		サイズ(幅)	(300 mil)	(400 mil)	(400 mil)		(550 mil)
Type II	ピン 数	ピッチ mm					
			1.27	20	28, 32	—	—
		0.8	—	—	44	48	

表5 TQFPシリーズ 電子機器の小形, 軽量, 薄形化に最適な高信頼性のLSIパッケージである。

パッケージサイズ		12×12	14×14
ピン数	ピッチ mm		
	0.8	—	44, 64
	0.65	—	80
	0.5	80	100

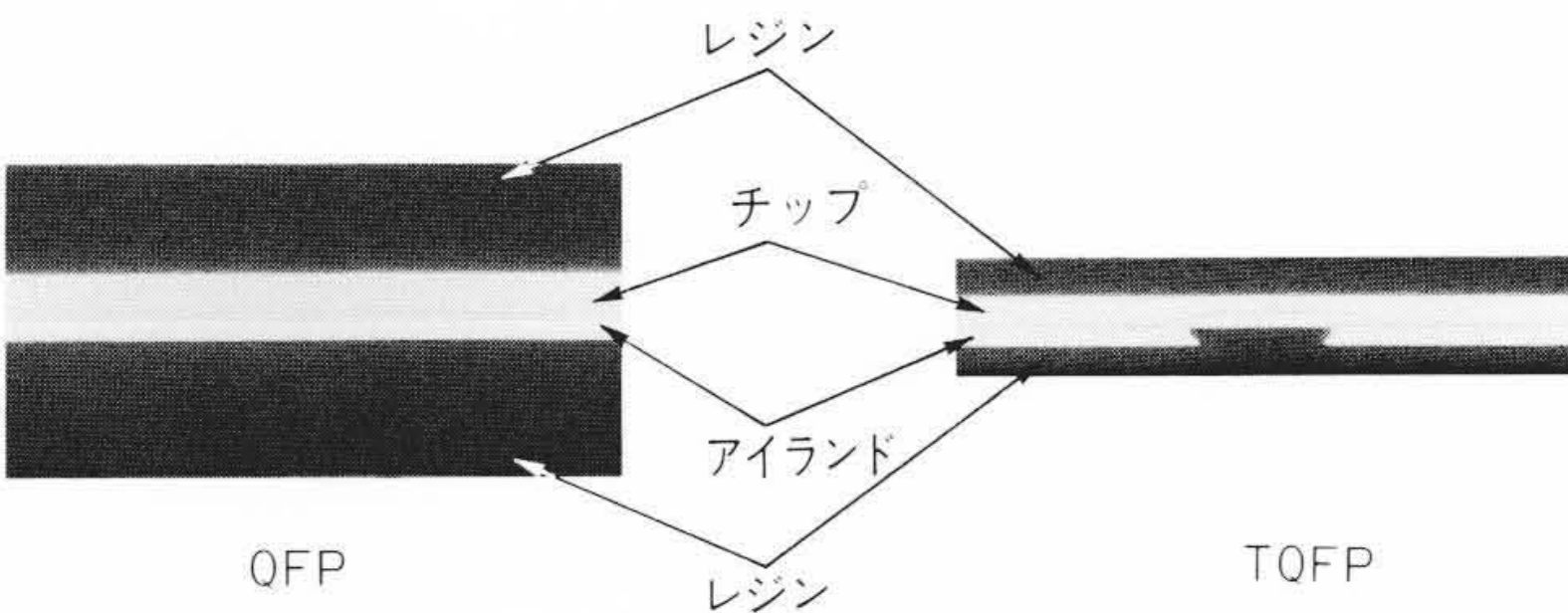


図9 QFPとTQFPのパッケージ厚さ比較 パッケージ厚は従来比で約 $\frac{1}{3}$ に薄形化している。

また、パッケージの小形化に伴い、小形でも良好な熱特性を得るために、プラスチックタイプの表面実装形パッケージとして放熱特性を考慮したパッケージも増加している。それらの代表的なものがHSOP (Small Outline Package with Heatsink)やHQFPである。低熱抵抗パッケージのラインアップを表7に示す。

4 おわりに

電子機器の小形・軽量化は、映像機器のカメラ一体形VTRに代表されるように、今後さらに急速に進むものと予想される。日立製作所では、空間実装効率を高めるた

表6 STZIPシリーズ 薄形でリードピッチを25 milに狭小化しているため、ZIPの $\frac{1}{4}$ サイズの実装スペースになる。

呼び寸法	ピン数	リードピッチ (端子間直線)
325 mil	20	25 mil (0.635 mm)

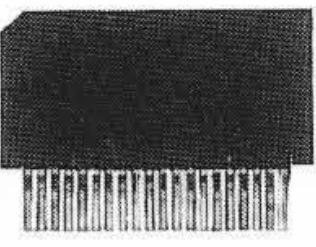


表7 低熱抵抗パッケージラインアップ SOP, QFPのパッケージ外形を基本寸法とし、製品用途に適した各種の低熱抵抗パッケージをそろえている。

パッケージ	呼び寸法 [()内はmil]	ピン数 (●量産中, ○開発中)														
		16	18	20	26	28	30	44	48	56	64	80	100	136	160	
HSOP	(300)	●		●												
	(375)				○		○									
HSOI	(375)				●											
HQFP	0707					●			○							
	1010									●	○					
	1414											●				
	1420										●	●	○			
	2828													●	○	
HQFI	(300×300)		●													
	(430×460)					●										
	(500×600)							●								

めのパッケージ小形化技術やリードピッチ狭小化により、厚さ1.0 mmのTSOP, TQFPやSSOP, STZIPを開発するとともに、パッケージの小形化に伴い問題となる低熱抵抗化や高速化についてもニーズへの対応を図ってきた。今後は、さらに薄い厚さ0.5 mmのTSOPやSTZIPの面実装タイプなどの開発を行い、これらを共通的な技術として各種のパッケージに展開し、パッケージの小形化ニーズによりいっそうの対応を図っていきたい。

参考文献

1) 大塚, 外: 多ピン化対応のQFPパッケージ技術動向, Semicon NEWS, 10月号, 15~23(1989)

2) 内藤, 外: 「薄いと弱い」イメージを打破した厚さ1 mmのLSIパッケージ, NIKKEI MICRODEVICES, 9月号(1988)

3) 安生, 外: メモリー向けリードフレームに大変革LOC構造を使う16 M DRAM, NIKKEI MICRODEVICES, 2月号, 15~23(1991)

4) 村上, 外: 薄形, 高密度, 高速対応パッケージ技術, 日立評論, 72, 12, 1251~1258(平2-12)

5) 鈴木: 低コスト向きQFP用多層リードフレームを実用化, NIKKEI MICRODEVICES, 2月号, 15~23(1991)