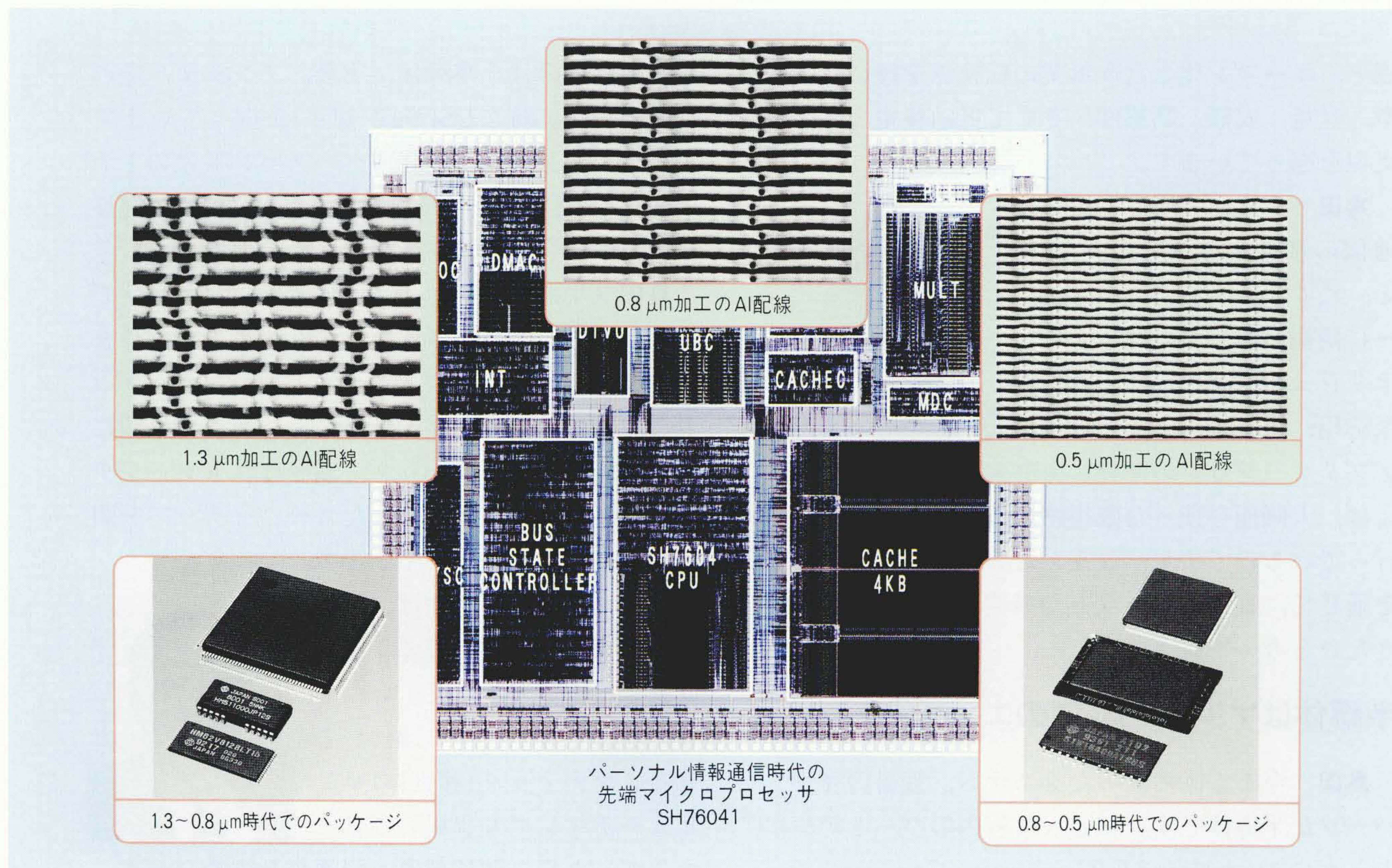


パーソナル情報通信機器を担う先端LSI技術の動向

Advanced LSI Technologies for Personal Information Equipments

増原利明* Toshiaki Masuhara 河合末男* Sueo Kawai
常松政養** Masayasu Tsunematsu



パーソナル情報通信時代の先端マイクロプロセッサSH7604(HD647604)のチップ写真 1.3 μm加工(1MビットDRAM), 0.8 μm加工(4MビットDRAM), 0.5 μm加工(16MビットDRAM)のAI配線パターン, および1.3~0.8 μm時代でのパッケージ(上から0.5 mmピッチQFP, SOJ, TSOP)と0.8~0.5 μm時代でのパッケージ(上から0.3 mmピッチQFP, BGA, TCP)を示す。CMOS LSIを中心とする半導体技術により, 無線, 通信, 動画像, 音声, コンピューティングなど多くの処理ができるパーソナル情報通信機器やパーソナルエンターテインメント機器が製品化され始めた。

情報通信機器のパーソナル化, 携帯化が進展している。21世紀を展望すると, 画像・音声・データの処理ができるパーソナル情報通信機器が生活のすみずみにまで浸透し, マルチメディア, ノマディックコンピューティング(Nomadic Computing:どこにいても計算機が使える)時代となることが予測できる。このけん引車となるのがCMOS(Complementary Metal Oxide Semiconductor)LSIを中心とする半導体技術である。

今後, 素子の微細化がさらに進む一方, MOSトランジスタの耐圧などの制限と低消費電力化の必要性

のため, 低電圧動作が必須(す)となる。低電圧で高速の動作を行うため, MOSトランジスタ構造, 配線プロセス技術, 回路技術のそれぞれに革新が必要となるであろう。また, LSIのパッケージ技術では, ますます小型化, 薄型化および多ピン化が進むことにより, 機器の小型化に貢献することになる。

1980年代と比較して1990年代の半導体技術の道は平たんなものではない。優れた個別技術と総合化の両方が限界を越えるLSIに結実すると信じ, 道を切り開いていきたいと考える。

* 日立製作所 半導体事業部 工学博士 ** 日立製作所 半導体事業部

1 はじめに

半導体開発の過去を振り返って見ると、1970年代は電子式卓上計算機に応用されるカスタムLSIが、1980年代はパソコン(パーソナルコンピュータ)やワークステーションに応用されるマイクロプロセッサ、メモリなどのLSIがそれぞれけん引車となってきた。

1990年代に入って、無線、通信、動画像、音声、コンピューティングなど多くの処理ができるパーソナル情報通信機器やパーソナルエンターテイメント機器が製品化され始めた。これらの機器は従来の単一機能の機器が持っていた機能と比較してはるかに高度なコンピューティング機能、動画像・音声などの信号処理機能、およびストレージ機能を持ち、同軸、光LAN、無線などのインタフェースを通してネットワークに接続できる通信機能を備えている。しかも、最近では電池で動作する超小型、携帯端末まで開発されるようになった。

ここでは、この発展の原動力となる先端半導体技術の中で、特にプロセス、デバイス、回路、パッケージ技術の現状と今後の方向について述べる。

2 パーソナル情報通信機器に必要な半導体技術

西暦2000年ごろの情報通信ネットワークでは、ワークステーション、パソコン、ノートブック型パソコンといった現在主流の情報機器とデジタル移動無線、PDA(Personal Digital Assistant)、双方向テレビなど新しい情報通信端末が、無線LAN、光LANなどによってデジタル通信網に接続される。これらの信号は、ATM(Asynchronous Transfer Mode)交換機と光データハイウェイを通してグローバルネットワークに接続され、いつでも、どこでも、だれとでも情報の通信が可能な時代が実現されることになる。

以上で述べた高度情報通信時代を支える半導体の機能は、きわめて多様になる。必要な機能のうち、光LAN(100～数百メガヘルツ)や無線通信(数百メガヘルツ～数ギガ・数十ギガヘルツ)への接続のためのフロントエンドや中間周波数アナログ信号処理では、高周波用のGaAsやSiのFET(電界効果トランジスタ)、バイポーラなどの個別半導体、IC、モジュールが利用される。それ以外の部分は、音声、動画像などの信号処理LSIとそのコントロール、演算のためのマイクロプロセッサとメモリであり、外部メモリのコントローラや信号処理も含めてほとんどの機能が先端CMOS LSIで実現される。

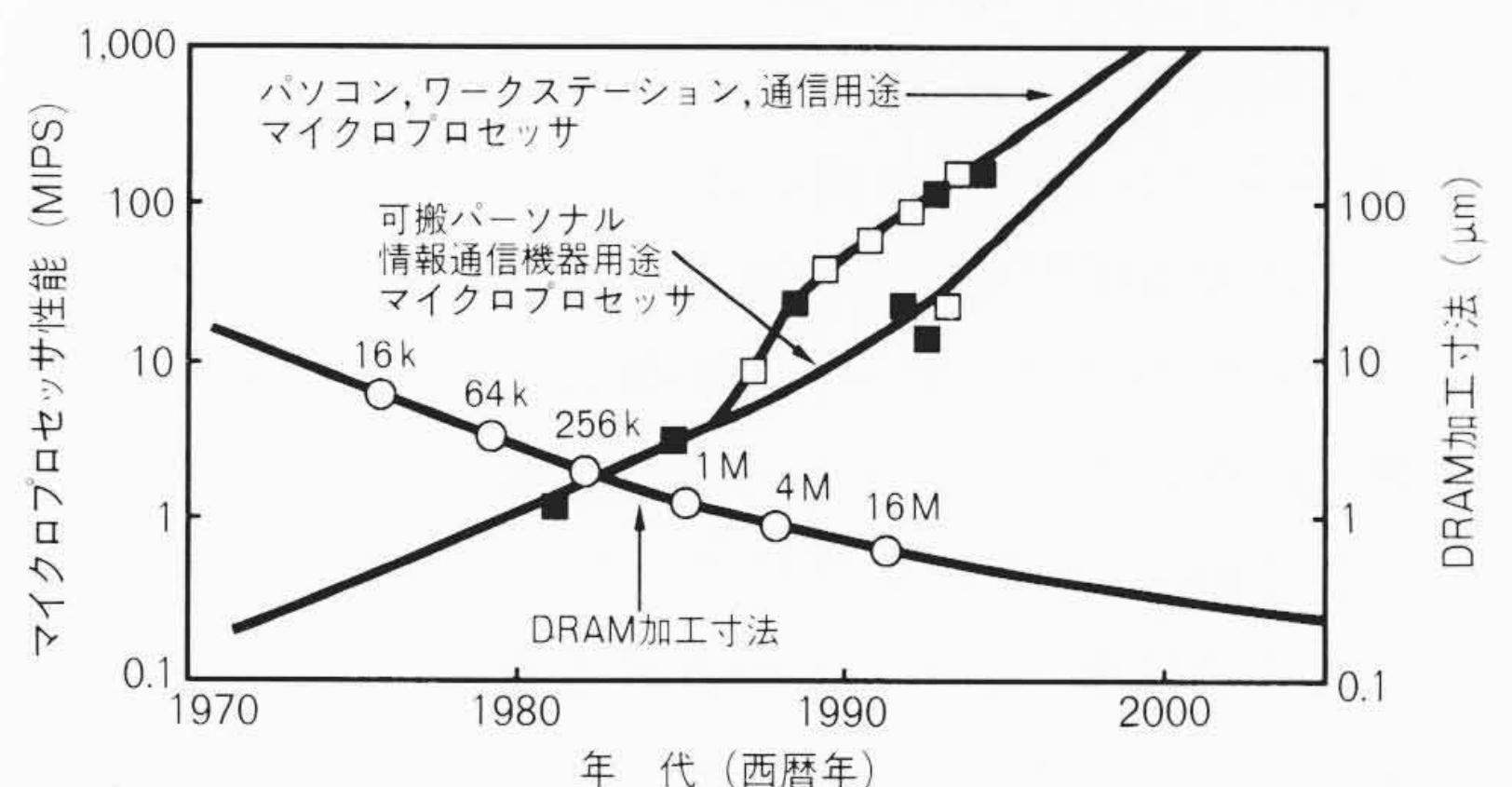
パーソナル情報通信機器用LSIとしては3.3 V以下の低電圧、低電力で高い性能を実現し、基板実装面積、体積、重さが小さいことが重要となる。

以上の特徴を実現するためのプロセス、回路、パッケージ技術について、現状と今後の展望を次に述べる。

3 CMOSデバイス・プロセス技術

過去のLSIの発展の経緯を振り返ってみると、微細加工による集積度向上と性能向上の両方がLSIの発展の原動力であった。DRAMの加工寸法の推移とマイクロプロセッサの性能の推移を図1に示す。DRAMの最先端製品に適用された微細加工技術はマイクロプロセッサに適用され、機能と性能の向上が実現されてきた。特に最近では、RISC(Reduced Instruction Set Computer: 縮小命令セット型コンピュータ)によって比較的チップの占有面積の小さいプロセッサが実現されてきたこと、パイプライン処理や複数命令の同時処理などの技術が進歩したことにより、高性能化が著しく進展した。この結果、'90年代末では1,000 MIPS級、また可搬情報通信機器用途でもそれより数年遅れて同等の性能を持つプロセッサが実現される。すでに日立製作所は、0.3 μm BiCMOS(Bipolar CMOS)による2プロセッサをオンチップ化した1,000 MIPSのマイクロプロセッサの試作品を発表している¹⁾。

微細化による問題点はどのように解決され、今後どのような技術が必要になるであろうか。MOSトランジスタの微細化に伴うLSIの動作電圧の変化とCMOSゲート遅延時間の変化を図2に示す²⁾。MOSトランジスタの耐圧は微細化とともに低下するが、ゲート長5 μm から0.8 μm

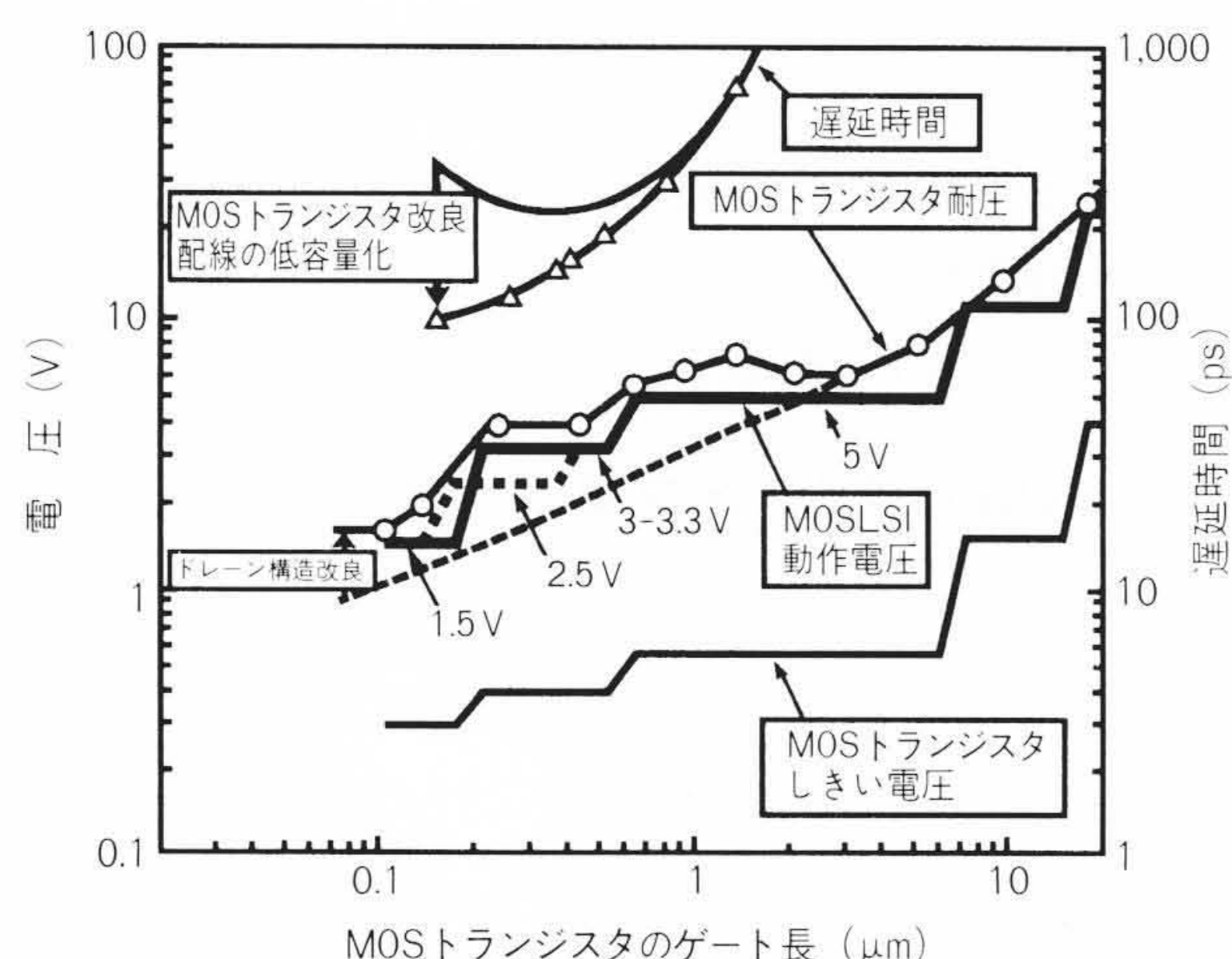


注: 略語説明ほか

MIPS (Million Instructions Per Second)

○, □ (日立製作所), ■ (他社)

図1 マイクロプロセッサの高速化, DRAM加工寸法の推移
西暦2000年には加工寸法0.2～0.3 μm , パソコン, ワークステーション用途では1,000 MIPSのマイクロプロセッサが実現する。このときのLSIには 10^8 素子が集積される。



注：略語説明 MOS (Metal Oxide Semiconductor)

図2 MOSトランジスタの微細化に伴うLSIの低電圧化とCMOSゲート遅延時間の推移

MOSトランジスタの耐圧により、LSIの動作電圧が制限され有効動作電圧が低下し、 $0.2\mu\text{m}$ 以下では高速化が困難となる。

まではドレイン構造のくふうによって動作電圧 5 V が維持できた。しかし、今後、トランジスタの耐圧はさらに減少する。また、LSI の大規模化による消費電力の増加を抑え、今後主流となる電池動作に対応するためにも、3 ~ 3.3 V 仕様の LSI が主流となっていく情勢にある。一方、MOS トランジスタのしきい電圧 (Threshold 電圧) をこれ以上下げると、ソース ~ ドレイン間のリーク電流が増大し、LSI の待機時電流が増加するため、今後、大幅な低しきい電圧化は困難である。このため、動作電圧としきい電圧の差の有効動作電圧が小さくなり、MOS トランジスタの電流駆動能力が低下する結果、回路の高速化が困難となる。したがって、これからは、MOS トランジスタの耐圧を上げ、電流駆動能力をできるだけ高くする改良や、配線の低容量 (キャパシタンス) 化が必要となる。

MOSトランジスタの耐圧はドレーンでのホットキャリアの許容電圧^{*)}で決められる。また、電流駆動能力を高くするためには、ゲート長の微細化とゲート絶縁膜の薄膜化が有効である。ドレーン最大電界に対しては、ゲート長5 μm 以上で使用されていたシングルドレーン構造ではすでにホットキャリア許容電界を超えているが、二重ドレーン、オーバーラップ構造などの改良によって電界緩和が行われ、今後もいっそうの構造改良が必要とな

※) ホットキャリアの許容電圧とは、電界で加速された電子がドレーン近傍の酸化膜を劣化させ、トランジスタの増幅率劣化を生じる限界電圧のことである。

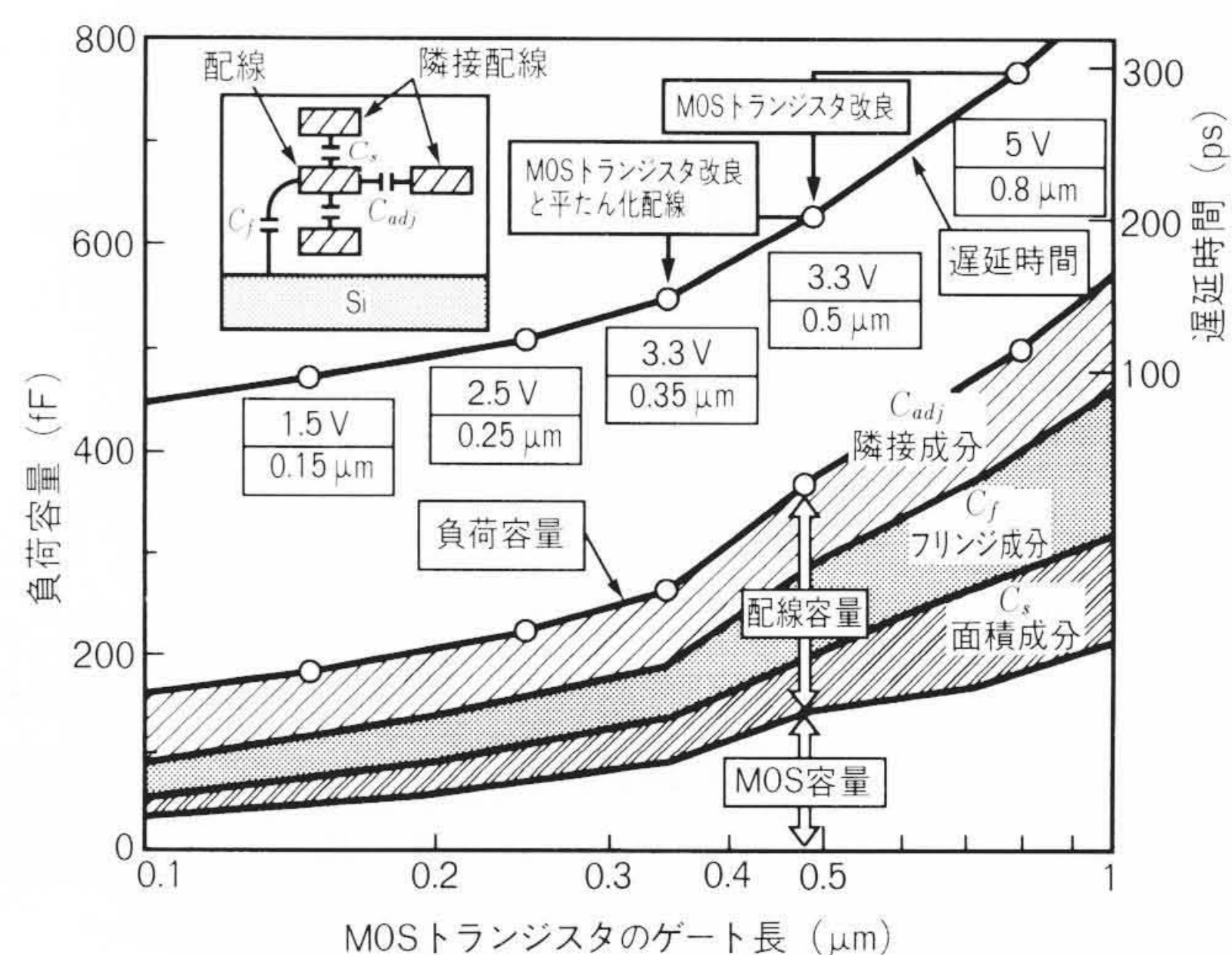


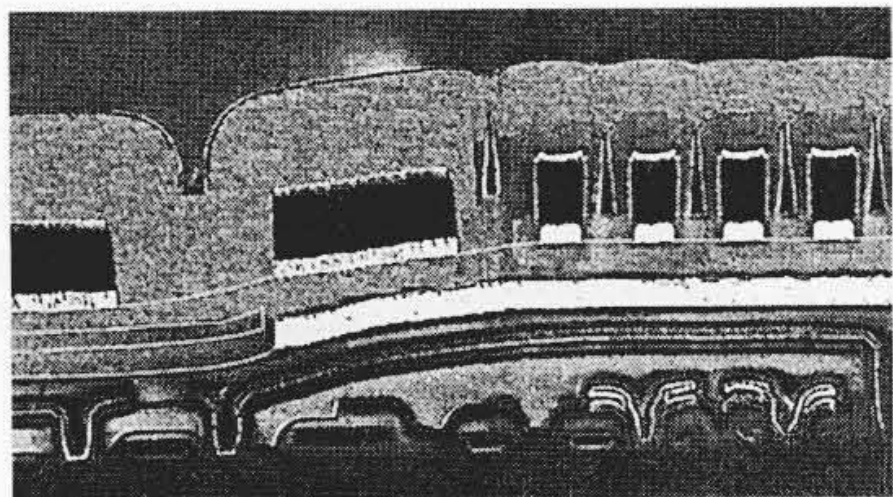
図3 CMOSプロセスの各世代における負荷容量と遅延時間の推移

微細化とともに、隣接配線との容量、フリンジ容量が増大するため、配線の平たん化による低容量化、MOSトランジスタの改良が必要となる。

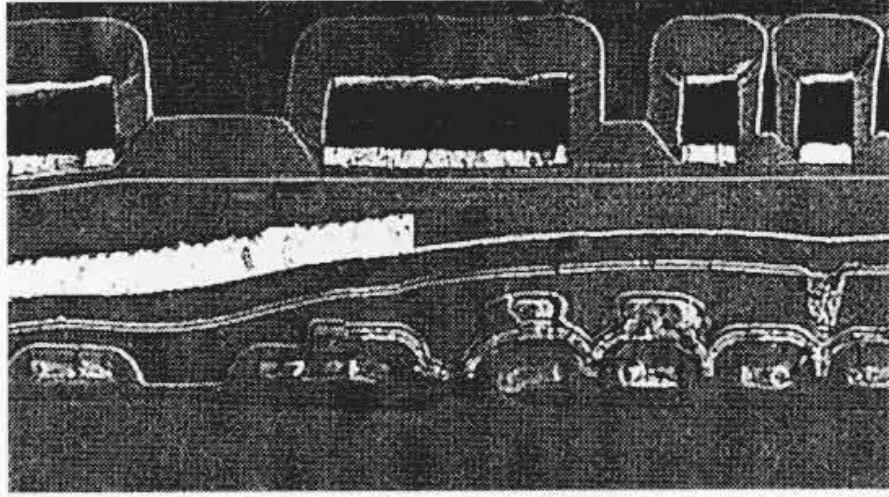
る。また、ゲート絶縁膜電界に対してはゲート長 $0.8\text{ }\mu\text{m}$ までは比較的余裕があったが、今後、ゲート絶縁膜の薄膜化がさらに必要となり、低欠陥結晶、複合ゲート絶縁膜などの導入が進むと考えられる。

次に重要なのは配線の寄生容量低減である。多層配線の配線容量を含めたゲートの負荷容量の $0.8\text{ }\mu\text{mCMOS}$ から $0.15\text{ }\mu\text{mCMOS}$ プロセスの各世代での推移と、2入力NANDゲートの遅延時間の推移を図3に示す。配線容量では面積成分よりも隣接成分 C_{adj} とフリンジ成分 C_f が大きく、今後微細化によってますます C_{adj} と C_f の比率が増加する。このため、配線層間絶縁膜を厚くし、隣接配線との距離を大きくする配線構造が今後の技術方向となる。通常のCVD膜を高温でリフローした層間絶縁膜による平坦化例を図4(a)に、CMP(Chemical Mechanical Polishing)法と呼ばれる機械研磨と化学エッチの両方を同時に行った層間絶縁膜の平坦化例を同図(b)に示す。このほかにエッチバック法など多くの層間膜の厚膜、平坦化法がある。

以上、低電圧化に対応するプロセス・デバイスの高速化に焦点をあてて述べたが、微細化のためのリソグラフィの進展、イオン打込みや高速アニール、シリサイド利用など接合形成技術、ウェーハの大口径化と枚葉処理技術の進展、プロセスのターンアラウンドタイムの縮減など、今後もプロセスの革新が続いていくと思われる。



(a) CVD絶縁膜による層間絶縁膜平たん化



(b) CMP法による層間絶縁膜平たん化と厚膜化

注：略語説明 CVD(Chemical Vapor Deposition)

図4 通常のCVD膜における層間絶縁膜とCMP法により平たん化を行った層間絶縁膜の比較
層間絶縁膜の平たん化によって厚膜化が実現され、容量が減少し、高速化が実現される。

4 低電圧回路技術

パーソナル情報通信機器に特有な動作条件としては、低電圧と電池動作があげられる。この問題についての三つのケースを図5に示す。すなわち、(a)異なる電源電圧を持つLSI間の接続の問題、(b)アナログとデジタルの混在、(c)低電圧の信号伝送の必要性である。この中で、(b)のアナログとデジタルの混在は、特にデジタルのLSIからの電流雑音がアナログ系に侵入し、系全体のSN比(信号対雑音比)を悪化させたり、電磁放射を起こすことがあり、機器レベルでも、LSIの中でも細心の注意が必要である。電源配線の配線レイアウト、バイパス容量、電磁シールド、雑音に強い回路の採用など多様な対策が必要となる。(c)に示す低振幅の信号伝送については、最近いくつかの新方式が提案されている。特に、最近、プロセッサが高速化した結果、プロセッサとメモリ間の信号のスループットを上げるため各種の伝送が提案されている。この例を表1に示す。LVTTTL以外は整合終端であるので、入出力バッファとその消費電流設計については細心の注意が必要となる。

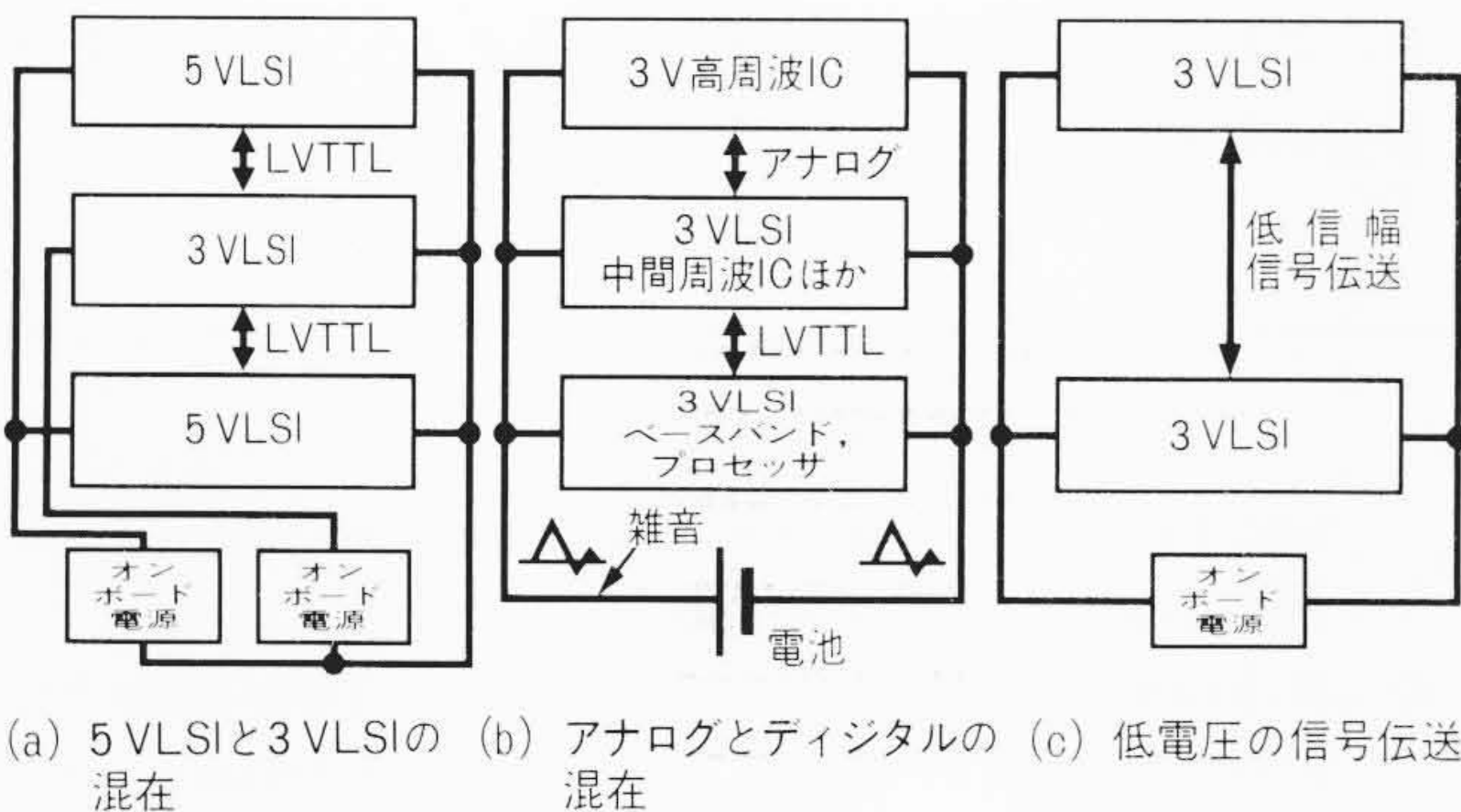


図5 低電圧LSIの回路構成上の問題
低電圧LSIでは、インタフェース、アナログ・デジタルの混在、低振幅信号伝送などが重要な回路技術となる。

低電力の回路の例もいくつかふられている。矢野ら²⁾が提案したトリー型論理では従来のCMOSと異なり、パスゲートで論理を構成、信号再生用のバッファを付けた回路を用いて面積、遅延、電力とも従来CMOSの0.6~0.7に縮減している。このほかに、システムやLSIレベルで休止する回路を多くして電力を減らすなど、今後は回路面でもさらに高性能化と低電力化が進むと思われる。

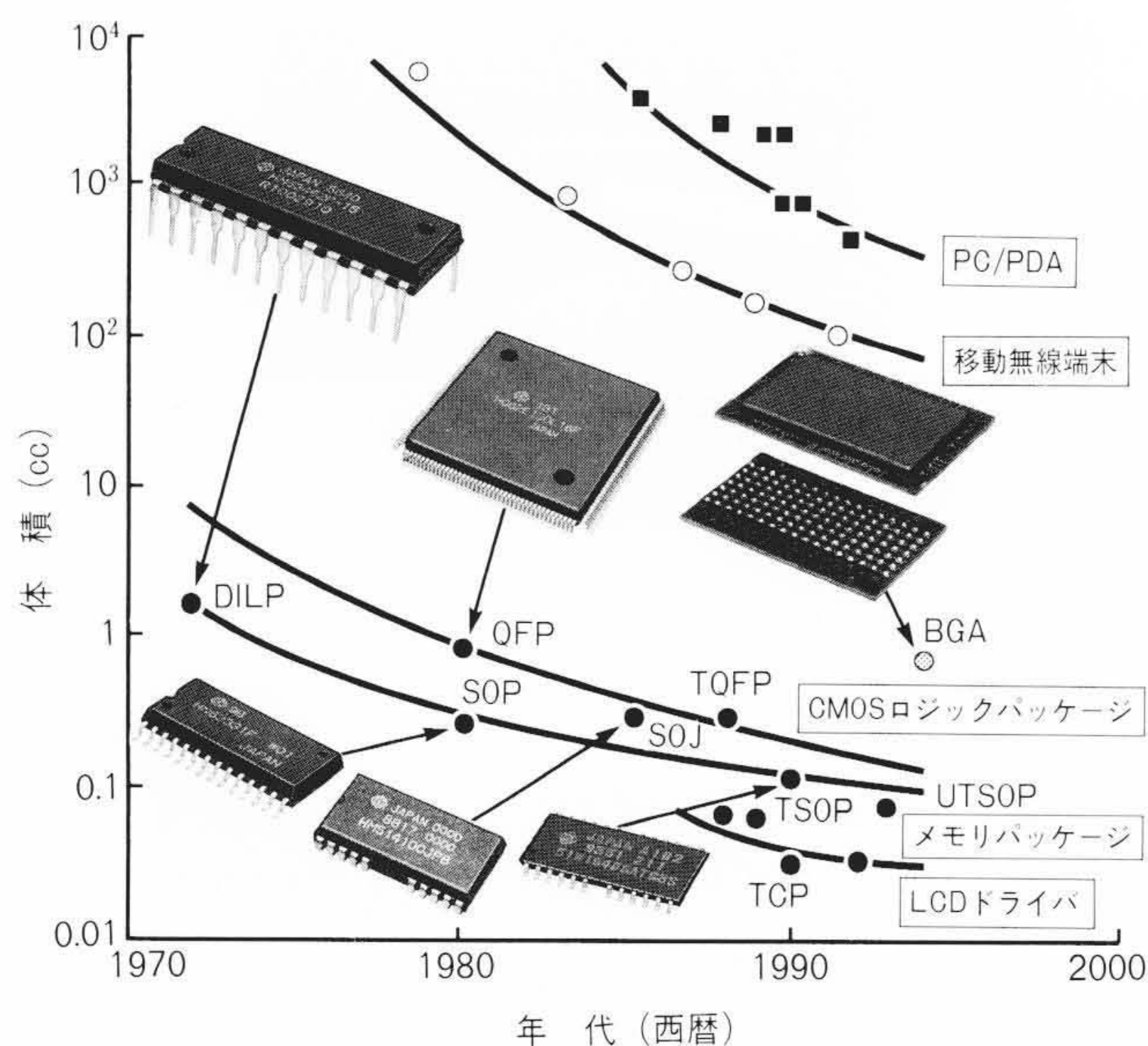
5 パッケージ技術

LSIパッケージの分野も、ピンの微細化、外形の小型化、軽量化が進んでいる。パソコン、PDAの体積とLSIパッケージの小型化の状況を比較して図6に示す。小型化では、1980年代に挿入実装から面実装へのシフトが起こった。最近では0.5mmピッチが量産の標準となっているが、先端のものでは0.3~0.4mmピッチのものが製品化され始めている。また、TCP(Tape Carrier Package)、UTSOP(Ultra Thin Small Outline Package)など0.5~0.6mm厚の薄型パッケージも開発されてきた。以上の小型化、薄型化はリードフレーム、レジンなどの改良によって実現し、実装時の赤外線、ペーパリフロー

表1 低電圧信号伝送の方式
LVTTTL以外は整合終端なので、入出力バッファとその消費電流設計では細心の注意が必要である。

	LVTTTL	GTL	CTT	Rambus
入力振幅	2~0.8V	$V_R \pm 50\text{ mV}$	$V_R \pm 200\text{ mV}$	$V_R \pm 200\text{ mV}$
出力振幅	2.4~0.4V	1.2~0.4V	$V_R \pm 400\text{ mV}$	$V_R \pm 300\text{ mV}$
出力電流	$\pm 2\text{ mA}$	-40mA	$\pm 10\text{ mA} \pm 20\%$	-35mA
終端	オープン	25,50Ω	25,50Ω	20Ω
V_R (リファレンス電圧)	—	0.8V	1.5V	1.9~2.4V
プルダウン方式	プッシュプル	プルダウン	プッシュプル	プルダウン

注：略語説明ほか GTL(Gunning Transceiver Logic)
CTT(Center Tap Terminated Interface)
Rambus(Rambus Interface : Rambus社提案の仕様)⁴⁾



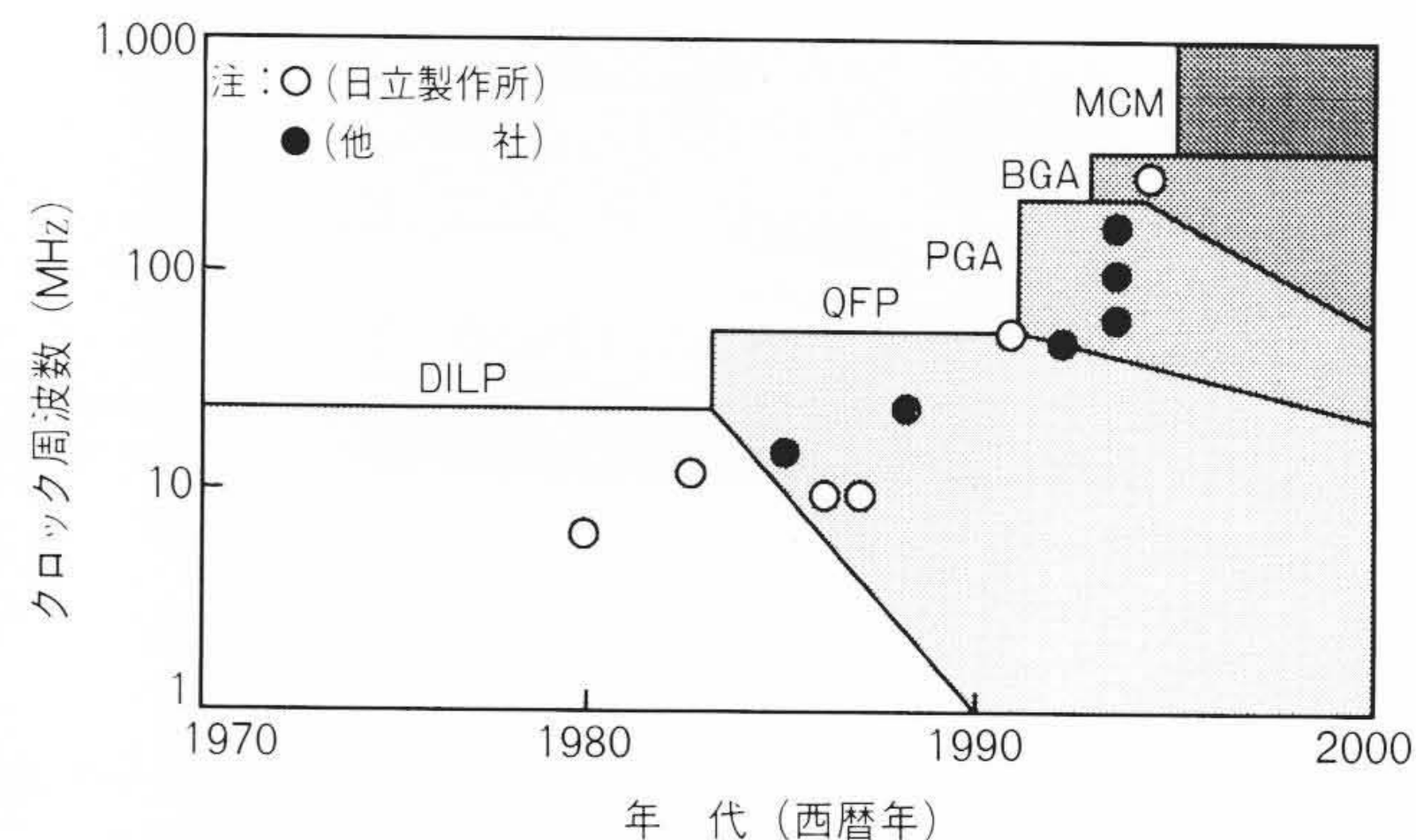
注：略語説明 DILP (Dual-In-Line Package)
 SGP (Small Outline Package)
 SGP (Small Outline J-Lead Package)
 QFP (Quad Flat Package)
 TQFP (Thin Quad Flat Package)
 TSOP (Thin Small Outline Package)
 BGA (Ball Grid Array)

図6 パーソナル情報通信機器の体積減少を実現するためのパッケージの小型化

'80年代に挿入実装から面実装へのシフトが起こった。BGAなどパッケージ底面に格子状に端子を配置したパッケージも最近出現している。

によってパッケージが200~260℃の高熱にされてもクラックが生じないように、高度な技術改良が加えられた結果による。

上述したパッケージは、二辺または四辺から入出力を取り出す形式のものである。しかし、最近、LSIのピン数が増大してきたこと、また高速の信号の伝送が必要となってきたことから、パッケージの底面に格子状に端子を配置したグリッドアレーが用いられるようになってきている。この状況を図7に示す。高速のプロセッサではPGA (Pin Grid Array) が用いられているが、今後、高速



注：略語説明 MCM (Multi-chip Module)

図7 高速マイクロプロセッサ、キャッシュメモリ用パッケージの動向

パッケージの底面に格子状にピンを配置したグリッドアレーが用いられている。今後BGAへのシフト、MCMの使用が加速される。

のプロセッサやキャッシュメモリではBGA (Ball Grid Array) が用いられるようになるであろう。また300 MHz以上の速度になってくると、MCMが必要になってくる。以上のように、今後もパッケージ技術の多様化は進展すると思われる。

6 おわりに

ここでは、パーソナル情報通信機器に応用する半導体のうち、特にCMOSデバイス、プロセス、回路とLSIパッケージに焦点をあて、技術動向と今後の方向について述べた。21世紀は、まさにノマディックコンピューティング、マルチメディアなどのパーソナル情報通信が主役となる舞台であり、今後の半導体技術に対する期待は大きい。しかし、ここで述べたように、従来の単純な微細化では限界が近づいており、低電圧化、高速化、小型化のいずれに対してもさまざまな革新が必要となる。

ますます重要性を加えていくパーソナル情報通信機器に向け、半導体技術の革新と総合化の新しい道を切り開き、これをもって顧客の期待にこたえるLSI製品を開発していきたい。

参考文献

- 1) O.Nishii, et al.: A 1000 MIPS BiCMOS Microprocessor with Superscalar Architecture, 1992 ISSCC Dig. Tech. Papers, pp.114~115 (Feb. 1992)
- 2) 増原, 外: 高性能サブミクロンデバイス技術の現状と将来, 電子情報通信学会論文誌C-II, Vol.J72-C-II, (1989-5)
- 3) K.Yano, et al.: Lean Integration; Achieving Quan-

tum Leaps in Performance and Cost of Logic LSIs, 1994 Custom IC Conference.

- 4) N.Kushiyama, et al.: 500 MByte/sec Data-Rate 512 Kbits×9 DRAM Using a Novel I/O Interface, 1992 VLSI Circuit Symposium Dig. Tech. Papers, pp.66~67 (June 1992)