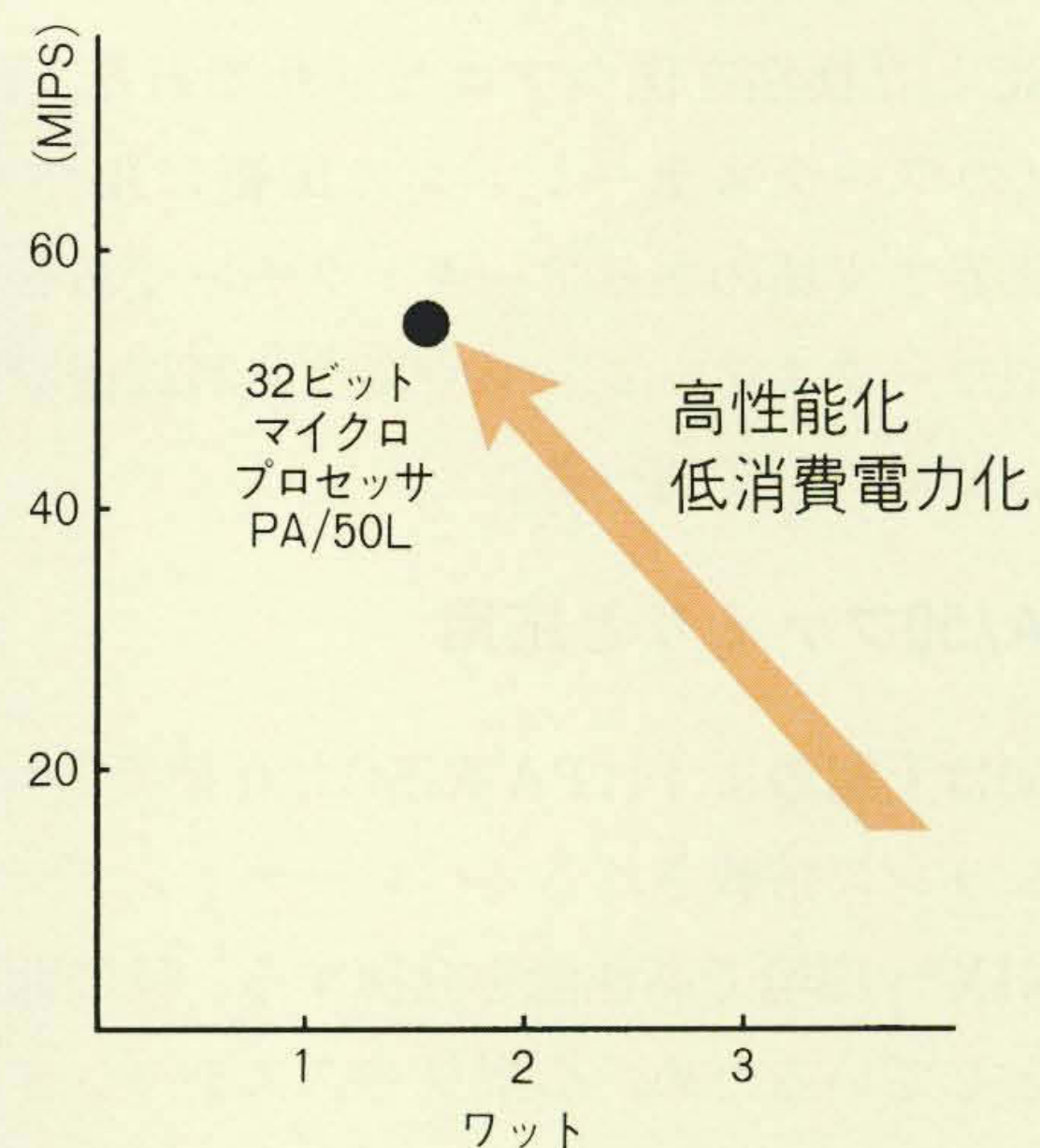
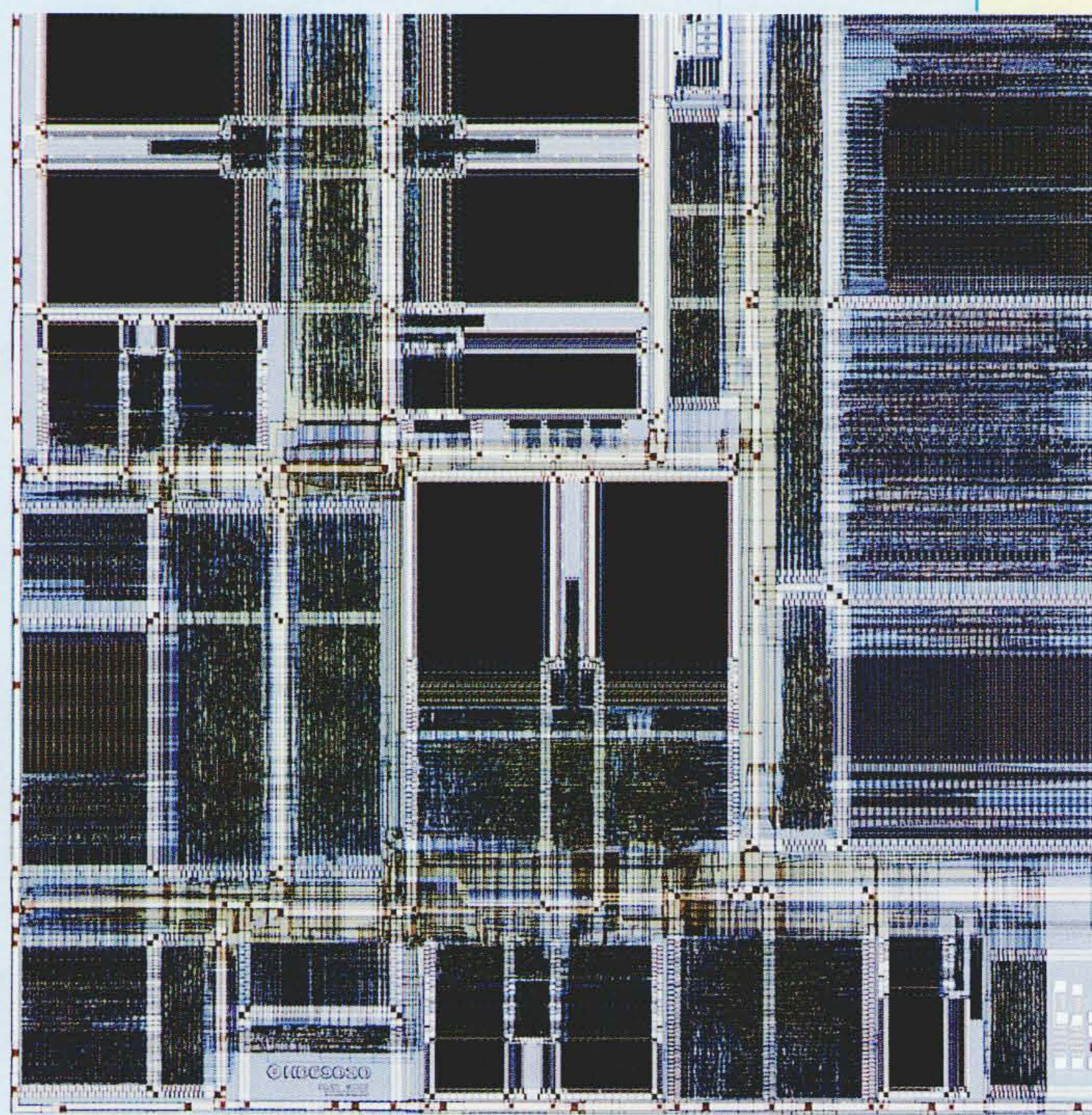


ワークステーション・制御機器用のRISC型 マイクロプロセッサ

High-performance Low-power RISC Processor for Workstations and High-end Controllers

船橋恒男* Tsuneo Funabashi 桂 晃洋*** Kôyô Katsura
内山邦男** Kunio Uchiyama 海永正博**** Masahiro Kainaga



注：略語説明

MIPS (Million Instructions Per Second)

ワークステーション用ローパワーRISCマイクロプロセッサ 32ビットマイクロプロセッサPA/50は、0.6 μ m CMOS/AI 3層プロセスを用い、約122万トランジスタを集積した。33 MHz動作時に1.3 Wの低消費電力を実現している。

計算機装置の高性能化・小型化のニーズはますます高まっている。このため、それらのキーコンポーネントであるRISC (Reduced Instruction Set Computer) プロセッサにも高コストパフォーマンスが求められている。

日立製作所は米国 Hewlett-Packard Company (以下、HP 社と 言う。)の PA-RISC¹⁾ (Precision Architecture-RISC: HP 社の商標) に準拠した高性能32ビットマイクロプロセッサとしてPA/50を開発した。PA/50は仮想記憶サポートによってマルチ

ユーザー・マルチタスクに対応しており、さらに処理語内の異なるバイト配列も処理できるため、ワークステーションだけでなく制御機器への応用にも適している。特に消費電力を低く抑え、また外部の高速キャッシュメモリを不要にしておき、装置の小型化が容易となっている。

サポートツールに関しても、HP 社から制御機器用に高性能コンパイラなどを含むツールキットが発売されている。

* 日立製作所 半導体事業部 ** 日立製作所 中央研究所 *** 日立製作所 日立研究所 **** 日立製作所 システム開発研究所

1 はじめに

計算機のダウンサイジングとともに、ワークステーションも一人一台の時代を迎えつつある。このため、コスト重視の小型ワークステーションに対する需要が高まっている。これに用いられるプロセッサに対しても高性能・小型化、低消費電力化および低価格化が求められている。このようなニーズにこたえるために、32ビットマイクロプロセッサPA/50を開発した。PA/50は、HP社のPA-RISCと互換性を保つプロセッサである。PA-RISCはHP社のワークステーションに広範に用いられており、全世界で実績のあるアーキテクチャである。ここでは、小型ワークステーションや高性能制御機器用に開発したPA/50について述べる。

2 PA/50ファミリと応用

PA/50は上記のようにPA-RISCと互換であり、ワークステーションに搭載されるオペレーティングシステムであるUNIX^{※1)}環境で高性能を発揮する。特に低消費電力を特徴としているため、小型ワークステーションに最適である。さらに、グラフィックス命令やリアルタイム応答を重視した機構を内蔵しており、FAコンピュータ、X端末、通信機器、ロボット、計測器などの高性能組み込み制御機器にも適している。

これらの応用に対して、PA/50では図1に示すように2種類の製品をラインアップしている。PA/50Lは電源電圧3.3V・周波数33MHzであり、PA/50Mはそれぞれ5V・50MHzである。PA/50Lはすでに小型ワークステーション3050RX/200、および3050RX/100Cに搭載されている。

3 PA/50の機能と特徴

3.1 特 徴

PA/50Lの特徴ある仕様を、表1を参照しながら以下に述べる。

- (1) PA-RISC互換であり、表2に示すようにこのアーキテクチャの特徴をそのまま受け継いでいる。
- (2) オペレーティングシステムに関し、UNIXではビッグエンディアン^{※2)}配列のデータと命令語を扱い、多くの

※1) UNIXは、X/Openカンパニーリミテッドがライセンスしている米国ならびに他の国における登録商標である。

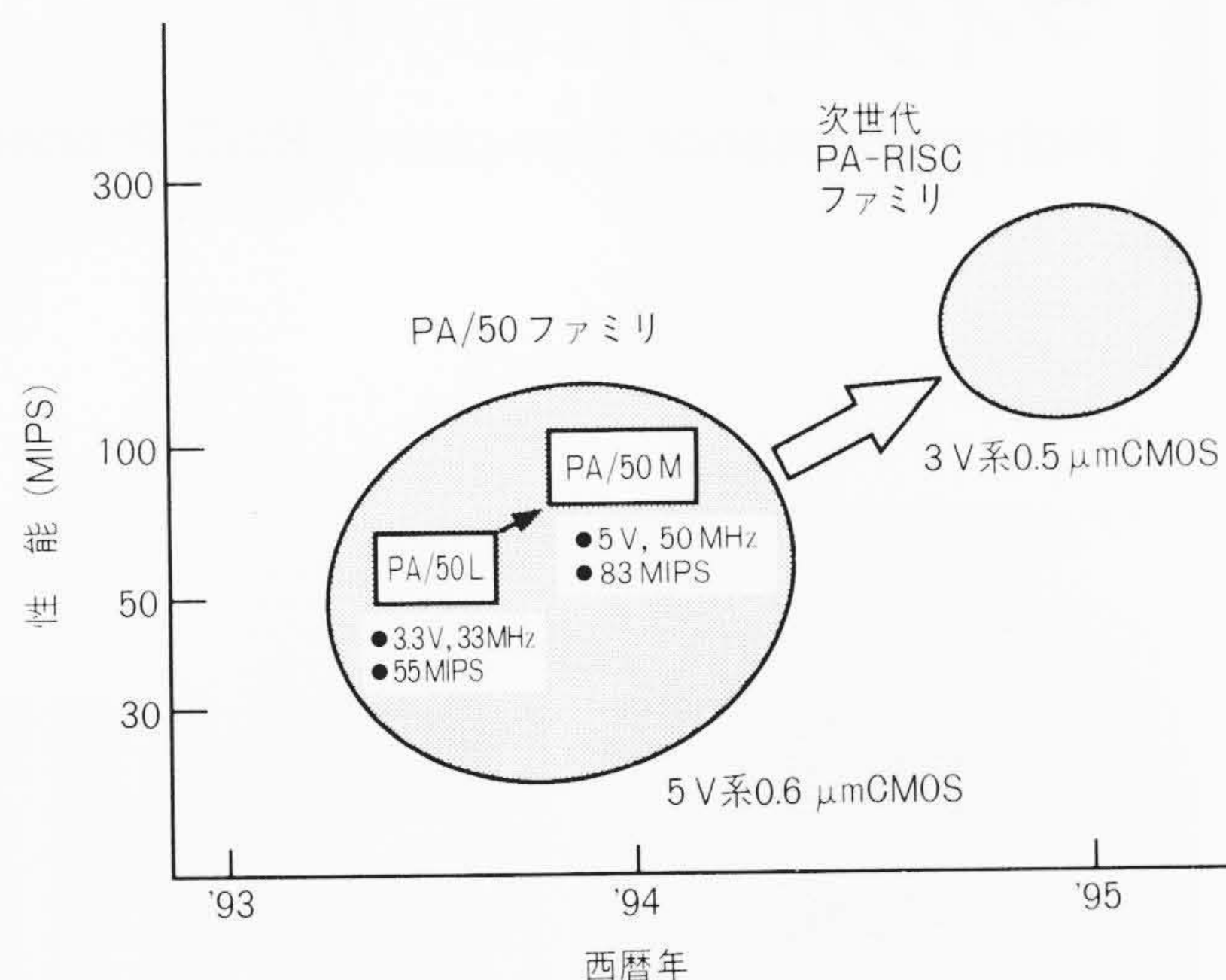


図1 PA/50ファミリ

同一チップでPA/50L(3.3V, 55MIPS)とPA/50M(5.0V, 83MIPS)の品ぞろえを行う。

パソコン(パーソナルコンピュータ)ではリトルエンディアン対応である。PA/50では、どちらのエンディアンもサポートしている。

- (3) 仮想記憶制御機能を持っており、アドレス変換高速化のためにTLB(Translation Lookaside Buffer)を持っている。変換単位(ページ)には4kバイト固定のものと可変大容量(256kバイト~32Mバイト)のものがある。どちらもページ単位にキャッシュメモリ動作を禁止することが可能である。
- (4) キャッシュメモリを内蔵しており、外部にキャッシュメモリを設けなくても高性能を発揮するため、装置の小型化に有効である。
- (5) 浮動小数点演算器を内蔵しており、四則演算のほかに平方根演算、丸め演算および連続して領域判定可能な比較命令を実行できる。この連続比較命令は、クリッピング処理の高速化に有効である。
- (6) PA/50では外部メモリとして通常のDRAMを接続できる。代わってSDRAM^{※3)}(Synchronous DRAM)を用

※2) メモリ内のデータはバイト(8ビット)を単位として番地が付けられる。32ビットデータは4バイトから成るが、下位バイトのアドレスが大きく、上位バイトのアドレスが小さいデータ配列をbig endianと言う。これとは逆に下位バイトのアドレスが小さい配列をlittle endianと呼ぶ。

※3) 外部クロック信号に同期して、1サイクルごとにデータ転送が可能なDRAMで、データ転送の高速化に有効である。

表1 PA/50Lの主な仕様

混合エンディアン対応, シンクロナスDRAMサポート, 低消費電力を主な特長としている。

項 目	仕 様
アーキテクチャ	PA-RISCレベルI (48ビットアドレス)
命 令 セ ッ ト	PA-RISC命令 命令語長は32ビット一定
デ ー タ 配 列	ビッグエンディアンおよびリトルエンディアン
論理アドレス空間	4 Gバイト×2 ¹⁶ 空間
物理アドレス空間	4 Gバイト
ア ド レ ス 変 換	ページ: 4 kバイト固定, 他に256 kバイト~32 Mバイト空間: 4 Gバイト, 16ビット空間レジスタ
ア ド レ ス 変 換 バ ッ ク ア ッ プ	命令 TLB: 16 エントリ×2-way(固定ページ用)+2 エントリ(ブロック用) データ TLB: 32 エントリ×2-way(固定ページ用)+2 エントリ(ブロック用)
汎(はん)用レジスタ	32ビット×32
キャッシュメモリ	命令キャッシュ: 8 kバイト データキャッシュ: 4 kバイト 非キャッシュ指定可能 コピーバック動作 ラインサイズはともに32バイト
浮動小数点演算	単精度浮動小数点, 倍精度浮動小数点 IEEEフォーマット
性 能 (33 MHz)	55 MIPS (Dhrystone, HI-UX) 11 MFLOPS (Linpack Inner Loop)
外 部 メ モ リ	標準DRAM, EPROM, シンクロナスDRAMほか
動作周波数	33 MHz(入力は64 MHz単相)
電 源 電 圧	3.3 V単一
消 費 電 力	typ. 1.3 W(パワーセーブ時1/8)
パ ッ ケ ー ジ	QFPI60ピン
プ ロ セ ス	0.6 μmCMOS
集 積 度	11.3×11.0 mm ² (約122万素子)

注: 略語説明 ほか IEEE(米国電気電子学会)
MFLOPS(Million Floating Operations Per Second)
DRAM(Dynamic RAM)
EPROM(Electrically Programmable ROM)

いることにより、外部キャッシュメモリなしにシステムの高性能化が可能となる。このためSDRAMとのインタフェースを内蔵するが、通常のメモリも接続されるため、直結型のインタフェースは採用しない(図2参照)。そのかわりSDRAM固有のバンク制御やモードレジスタ制御をサポートしている。

(7) 低消費電力化を図っており、システムの電源小型化が可能となっている。性能評価プログラム「Dhrystone」実行時、55 MIPSの高性能とtyp. 1.3 Wの低消費電力を両立させている。

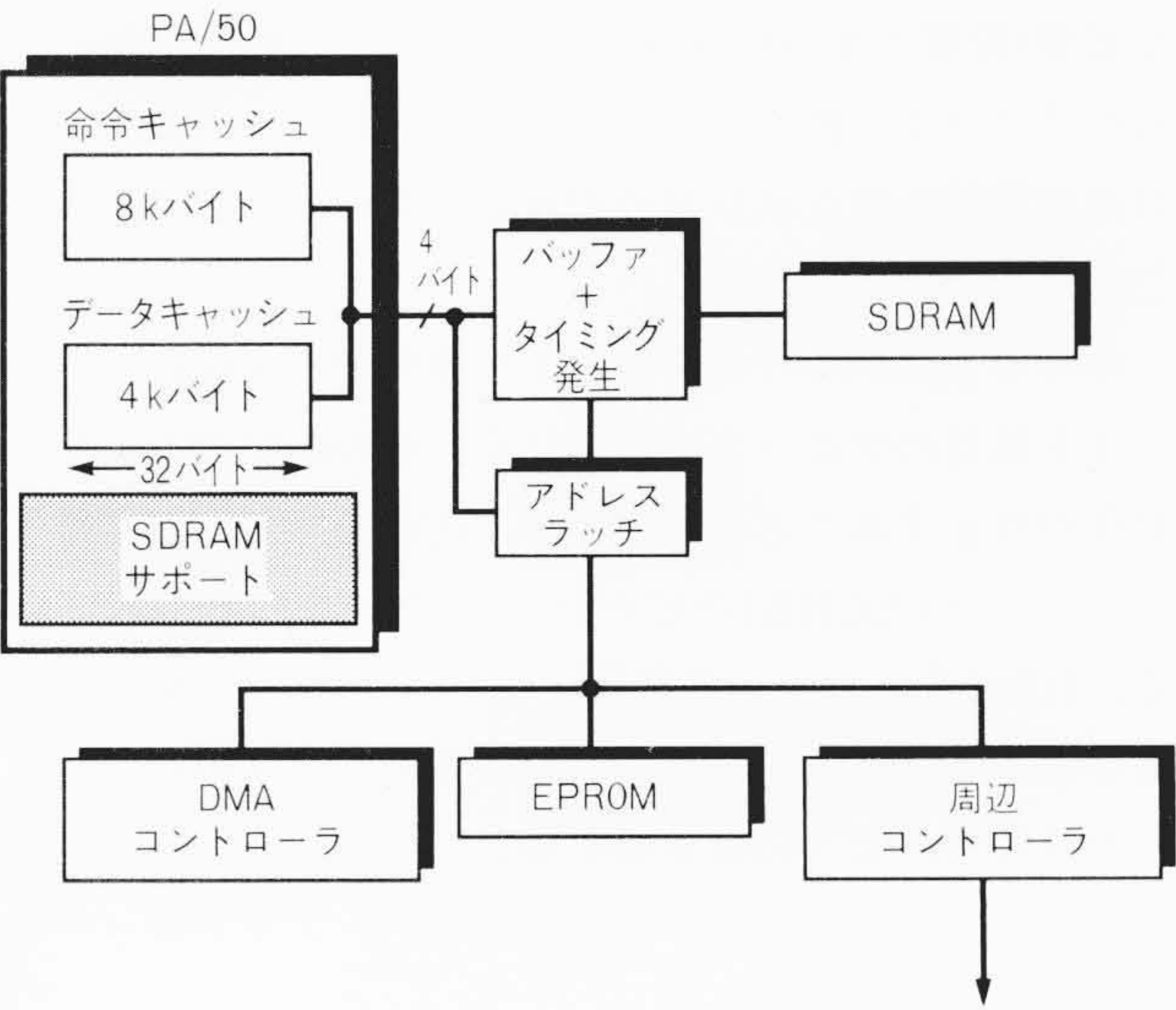
パワーセーブモードでは動作周波数を $\frac{1}{8}$ に下げることができる。このため前記の消費電力1.3 Wは0.16 Wに低減でき、ラップトップ機器に適用できる。

表2 PA-RISCの特徴

並列処理, リアルタイム処理およびグラフィック処理の高速化が可能であり、ワークステーションだけでなく高性能組み込み制御応用にも適している。

項 目	特 徴
命 令 セ ッ ト	●豊富な並列実行命令(演算+分岐など) ●グラフィックに適した命令セット: ビットフィールド操作命令, 領域判定命令など ●高速ストリング処理: 開始時と終了時の端数バイト処理命令あり。
命 令 機 能	●次命令無効化機能(Nullification): 分岐制御に応用してプログラムループのコードサイズおよび処理時間低減が可能 ●アドレス修飾機能: ブロックデータ転送の高速化が可能
割 込 み 処 理	●割込み受付時の退避用レジスタ: 高速タスクスイッチが可能 ●32種類の外部割込みが受付可能 ●インターバルタイマが規定: 複数のプログラム間の統一的な時間管理が可能 ●プログラムデバッグ手法が規定: 分岐時やメモリ参照時にトラップ発生, シングルステップ実行可能
拡 張 性	●演算機能拡張可能: コプロセッサおよびSFU ●64ビットへの拡張可能

注: 略語説明 SFU(Special Function Unit)



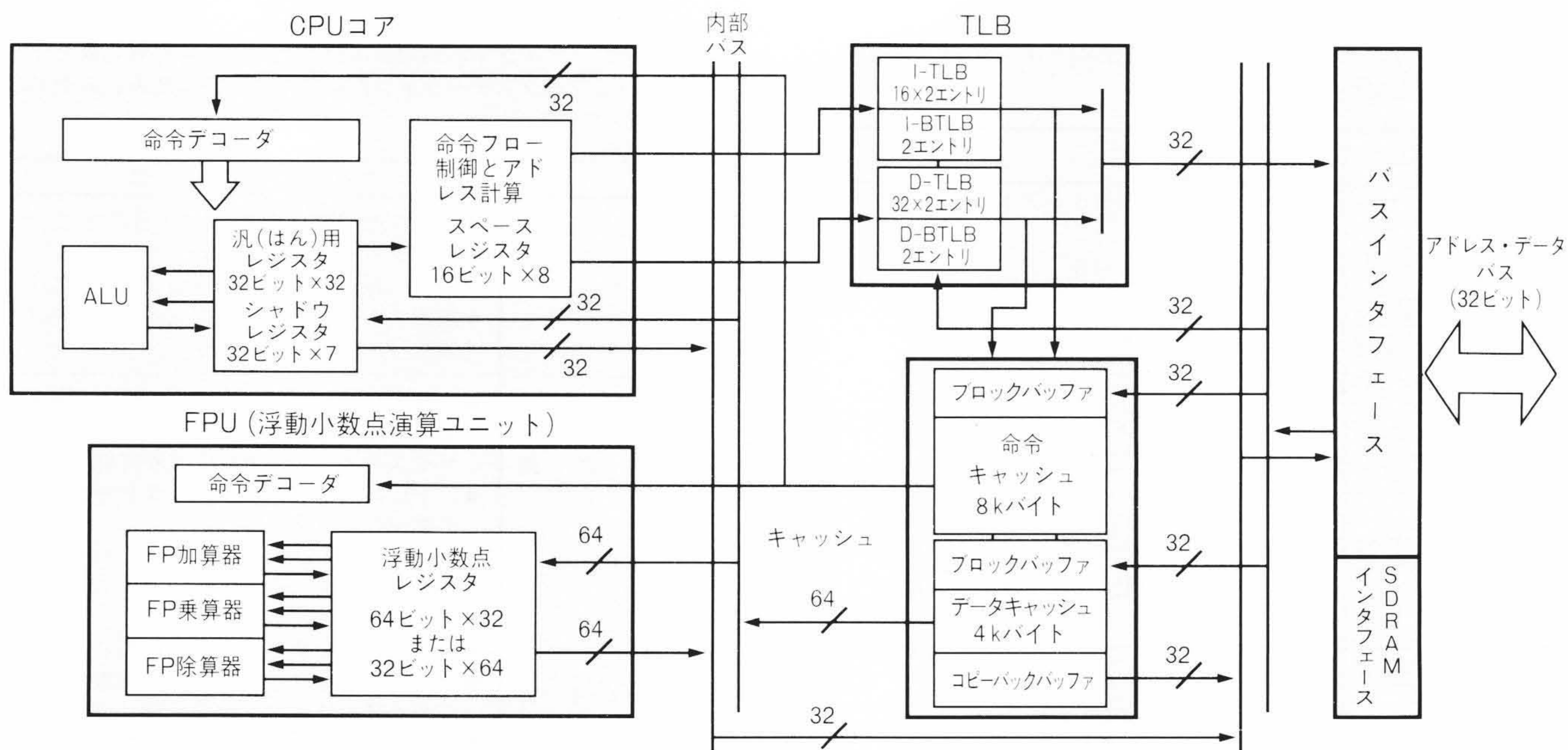
注: 略語説明
DMA (Direct Memory Access)

図2 外部キャッシュレスシステム

内蔵キャッシュと外部シンクロナスDRAMにより、外側にキャッシュメモリを設けずにシステムを高性能化する。このため、SDRAMサポート機能をPA/50に内蔵する。

3.2 高性能化技術

PA/50の内部構成を図3に示す。これらのハードウェアは5段のパイプライン構成で動作し、1サイクルに1



注：略語説明

ALU (Arithmetic Logic Unit), FPU (Floating-Point Unit), BTLB (Block TLB), I (Instruction), D (Data)

図3 PA/50のブロック図 キャッシュメモリが12kバイト、TLBが100エントリ内蔵されている。さらに、浮動小数点演算ユニットやSDRAMサポート回路もオンチップされている。

命令を実行する。浮動小数点演算では、演算に4サイクル必要(除算と平方根演算を除く。)であるが、演算器の中もパイプライン動作させているので、レジスタ競合がなければ浮動小数点演算命令が連続していても1サイクルごとに命令は処理されていく。

キャッシュメモリと外部メモリ間のデータ転送は、32バイト単位のブロックで行われる。その間プロセッサの動作が停止することを防ぐため、PA/50ではBB(ブロックバッファ)とCBB(コピーバックバッファ)を設けている。BBはキャッシュに外部メモリからのデータなどを書き込むときに用いられ、CBBはキャッシュの内部データを外部のメモリに書き戻す場合に用いられる。データキャッシュに関しては、ソフトウェア・プリフェッチングを実現する命令がある。

3.3 サポートツール

PA/50には、特に制御機器応用向けに開発されたサポートソフトウェアがHP社からEmbedded Systems

Toolkitとして提供される。このツールキットは、HP社のワークステーションHP9000/700および800シリーズ対応となっており、Cコンパイラ、アセンブラ、リンカおよびライブラリに加えて、EPROM用コード変換ソフトも含まれている。さらに、他のワークステーションやパソコン上でも動くGNUツールが米国Cygnus社からサポートされる予定である。

4 おわりに

ここでは、小型ワークステーションや高性能制御機器をターゲットとして開発した32ビットRISCマイクロプロセッサPA/50の主な特徴について述べた。これらの応用では今後さらに高性能・小型化が進んでいき価格重視の傾向も強まっていく。これらのニーズにこたえるため、今後も引き続き、よりコストパフォーマンスを追求したRISCマイクロプロセッサを開発していく。

参考文献

- 1) PA-RISC 1.1 Architecture and Instruction Set Reference Manual Third Edition : HP(1994-2)