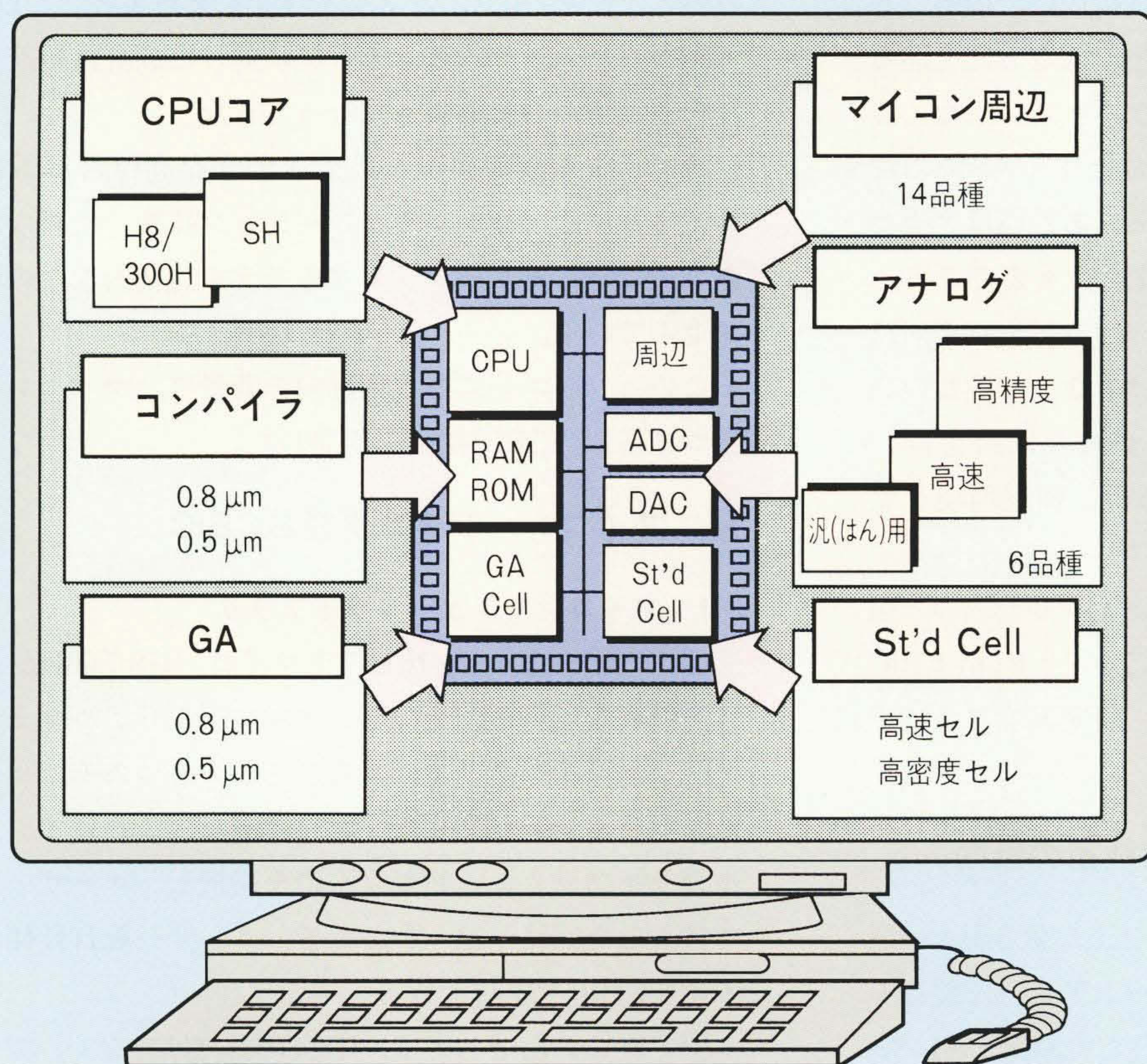


マイクロコンピュータとA-D変換器, D-A変換器を 搭載できる新ASICシリーズ

New ASIC Series(HG71C) for System on Chip with Microcomputer and Analog Function

萩原吉宗* Yoshimune Hagiwara 大野康宣* Yasunori Ôno
秋山俊恭* Toshiyasu Akiyama 松浦達治** Tatsuji Matsuura



注：略語説明
マイコン (マイクロコンピュータ)
SH (32ビットマイコンSHシリーズ)
GA (Gate Array)
St'd Cell (Standard Cell)

マイコンとアナログ機能を搭載したCBIC EWS(Engineering Workstation)でマイコンコア、アナログモジュールを含むCBIC(Cell Based IC)の設計が可能となった。

携帯電話などのパーソナル情報機器の小型化、ハンディ化に伴い、より高集積な集積回路へのニーズが高まっている。特にASIC(Application Specific Integrated Circuit)で、用途に適した電子回路を一つのLSIに実現することは、小型化を図るうえで有効な手段である。近來の情報機器は、マイコンやメモリなどの複雑なLSIを搭載する一方、より小型化へ向かっている。このため、ASICに対しても、マイ

コン、メモリあるいはアナログ機能をオンチップ化したシステムオンチップの実現が期待されている。

このようなニーズにこたえるため、新たにFFF(Flexible, Fast and Friendly)ASICシリーズの展開を進めている。今回H8/300HマイコンおよびA-D変換器、D-A変換器を搭載可能な0.8 μm CBIC(HG71Cシリーズ)を開発した。また、EWS上で、このCBICを設計できる新しい設計環境を実現した。

* 日立製作所 半導体事業部 ** 日立製作所 中央研究所

1 はじめに

携帯電話、ノート型パソコン(パーソナルコンピュータ)など、ここ数年来パーソナル情報機器への需要が急増しているため、小型化の一方、使いやすさ向上のための情報処理の高度化が図られている。このような動向にこたえるため、高性能なマイコン、高集積なメモリが開発されてきた。一方、情報機器の高度化に伴い、機器ごとに機能、規模の最適化を行い、小型化、低電力化を図ることが重要になってきた。このようなニーズにこたえるためには、システムオンチップを可能とするASICの技術が必要である。特にマイコン、メモリあるいはアナログ機能を1チップに搭載するCBIC技術が重要である。このCBIC技術は、単にマイコン、メモリ、アナログ回路を1チップに実現できる製造技術だけでなく、機器の設計者が容易にCBICの設計を行え、複雑な回路を持つCBICを短期間で開発できるような設計、開発環境を整えることも不可欠である。

ここでは、開発を進めているFFF ASICシリーズの一環としてマイコン、アナログ機能を搭載できる0.8 μ m CBIC(HG71Cシリーズ)、およびその設計、開発環境について述べる。

2 システムオンチップ化ASIC技術の動向

ASIC技術は、単純なゲートをチップ上に敷き詰め、配線層でユーザーの回路を実現するゲートアレー、製造工程の最初からユーザーの回路に最適化したStd Cell、またユーザーの用途に応じた構成のメモリをDA(Design Automation)で実現するコンパイラ方式のCBICなどが

すでに実現され、広く普及している。しかし、半導体の高集積化が進むにつれて、プリント基板上にGA、CBICと組み合わせて用いていたマイコン、A-D変換器、D-A変換器も同一チップ上にオンチップ化したいというニーズが高まってきた。微細化が進む半導体技術では、すでに0.8 μ m加工技術のレベルでも、このようなオンチップ化を実現できるレベルに達している。設計技術の動向をみると、従来のGA、コンパイラなどを対象としたDAツールから、システムオンチップに向けた設計技術、ツールの進展がみられるようになってきた。

特に、大規模な回路を扱えるような高位言語設計技術、より精度の高いシミュレーション技術、複雑な機能を高速にシミュレーションするモデル化技術などの発展が進んでいる。

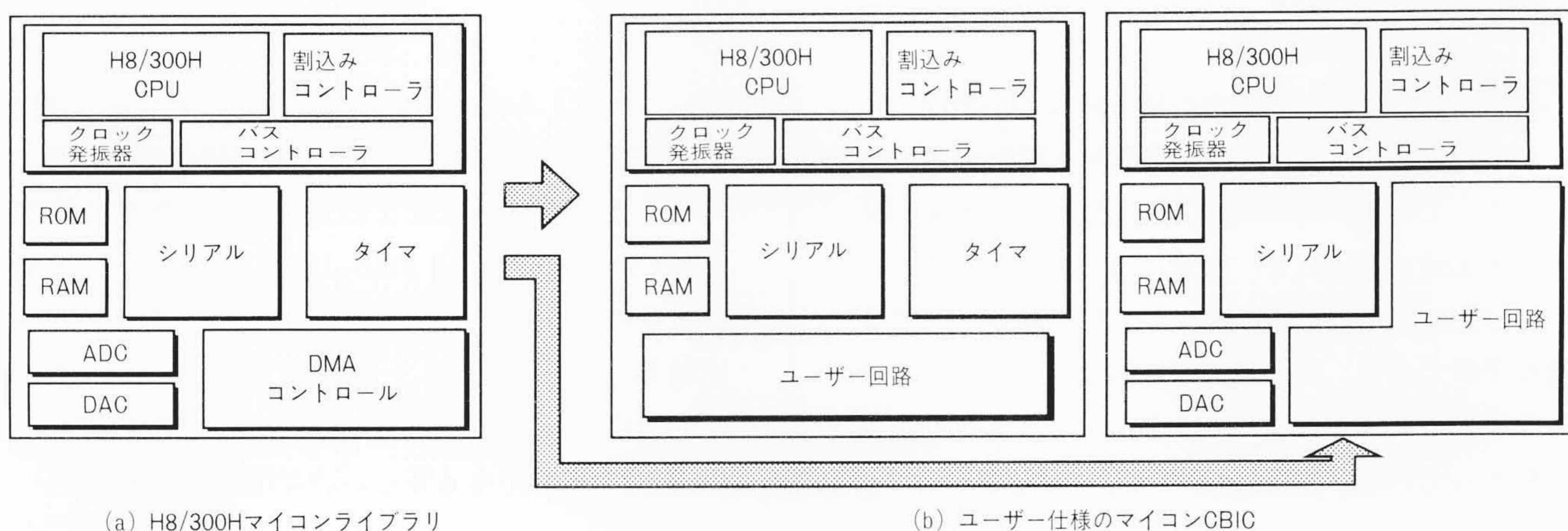
このようなニーズと技術動向を背景に、マイコン・アナログ搭載のCBIC技術を開発した。

3 マイコン・アナログ搭載CBIC

3.1 マイコンモジュールライブラリ

図1に示すように、16ビットマイコンH8/300Hシリーズを構成しているCPUコア、タイマ、シリアルコミュニケーションインタフェースなどを一つ一つのモジュールとしてラインアップした。ユーザーは、これらモジュールのライブラリから必要なものを選択し、ユーザー独自で設計した回路と組み合わせて、ユーザー独自仕様のマイコンCBICを実現できる。

マイコンの品ぞろえは、H8/300Hだけでなく、32ビットマイコンSHシリーズへも展開する予定である。



注：略語説明 ADC (A-D変換器), DAC (D-A変換器), DMA (Direct Memory Access)

図1 H8/300Hマイコンのモジュールライブラリ化 H8/300Hマイコンのモジュールのライブラリから、ユーザーの仕様に合わせてモジュールを選択することにより、ユーザー仕様のマイコンCBICを実現できる。

3.2 アナログモジュールライブラリ

従来、アナログ回路を搭載したLSIの設計は、半導体メーカーの専門の設計者の持つ多くのノウハウの下に行われてきた。しかし、ASIC化が進むにつれて、限られた専門設計者だけでは対応できなくなってきた。このため、非専門設計者でもアナログ回路をASICに搭載できるような技術へのニーズが高まってきた。

これにこたえるため、アナログ搭載CBIC技術を開発した。アナログ回路は、A-D変換器、D-A変換器に限定し、ユーザーはこれらのモジュールをデジタル回路と組み合わせて使用する。アナログ回路部分の開発は日立製作所で行い、機能、性能を確認したA-D変換器、D-A変換器のモジュールライブラリがユーザーに提供される。

ユーザーは、市販のA-D変換用ICをプリント基板上でマイコンと組み合わせて使うようにCBICを設計する。

A-D変換器モジュール、D-A変換器モジュールの精度、性能を図2に示す。高速版はVTRカメラのようなビデオ信号処理を主用途とし、高精度版は小型HDD(Hard Disk Drive)のサーボ制御などを主用途とする。汎(はん)用A-D変換器、D-A変換器はマイコンの応用分野を主用途とする。

3.3 その他のセルライブラリ

以上の高機能なセルライブラリに加え、従来のCBICと同様のセルライブラリを、表1に示すように品ぞろえした。

(1) メモリコンパイラ

ユーザーの機器の仕様に合わせて、メモリの構成(ビット

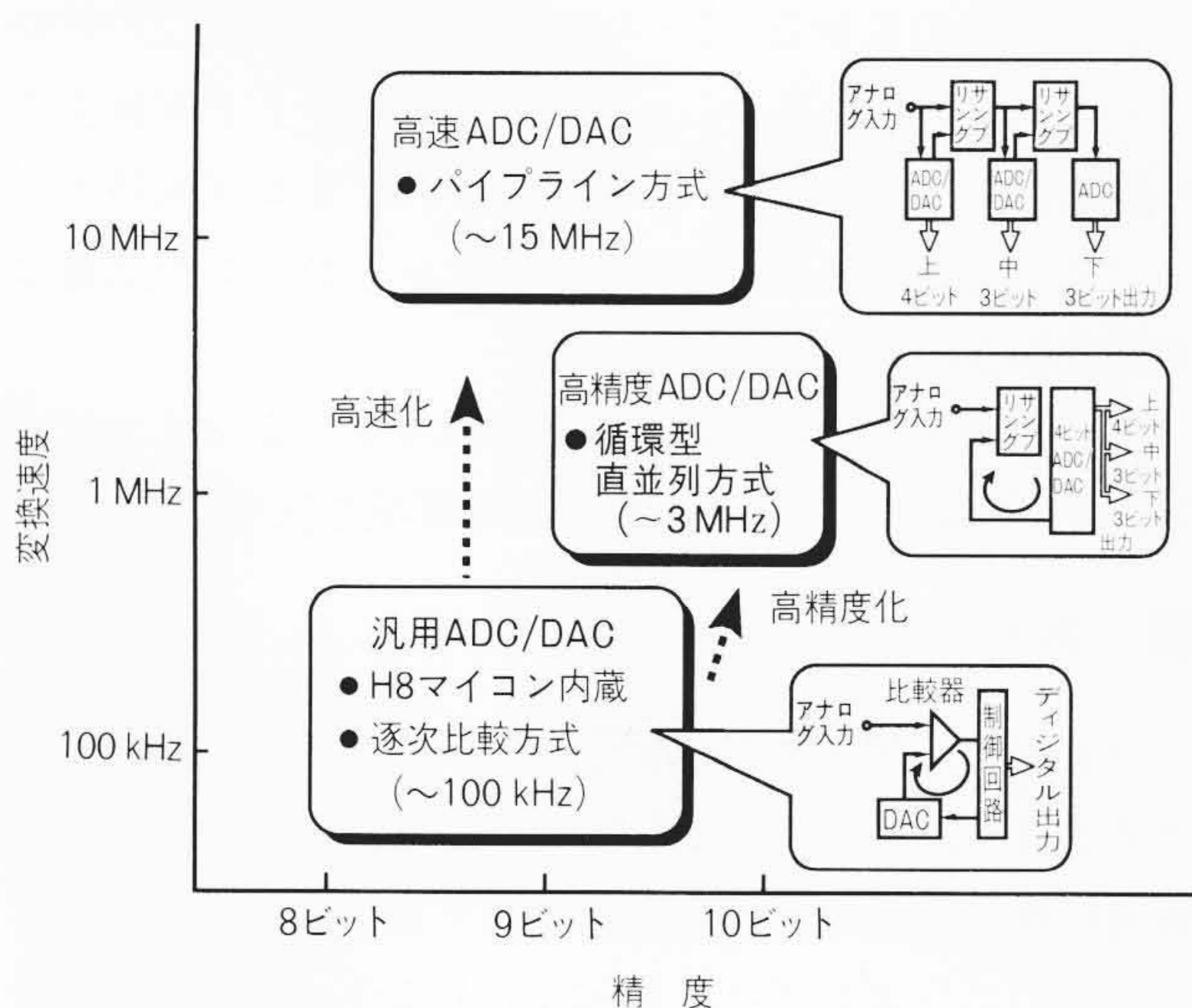


図2 オンチップADC、DACの性能

標準マイコン搭載の低速のADC/DACのほか中速高精度(10⁶), 高速(15~20 MHz)のADC/DACのモジュールライブラリをラインアップした。

表1 HG71Cシリーズのセルライブラリ一覧表

マイコン、アナログ、メモリコンパイラ、標準セルを組み合わせでCBICを実現する。マイコン、メモリ、標準セルは、3~5Vの範囲で使用可能である。

セル名		内容
マイコン	CPU	16ビットH8/300H, 32ビットSH(計画中)
	周辺	タイマ, シリアル, ポートなど14種
アナログ	ADC	10ビット15 MHz*, 10ビット3 MHz*, 10ビット100 kHz
	DAC	8ビット20 MHz, 10ビット500 kHz*, 8ビット100 kHz
	その他	オペアンプ, アナログコンパレータほか
メモリコンパイラ	RAM	最大32ビット, アクセス: 30 ns(5 V時)
	ROM	最大1.15 Mビット, アクセス: 50 ns(5 V時)
標準セル	高集積タイプ	内部セル: 278種, I/Oセル: 134種, ゲート速度: 0.58 ns/ゲート(2入力NAND)
	高速タイプ	内部セル: 278種, I/Oセル: 134種, ゲート速度: 0.30 ns/ゲート(2入力NAND)
	GAセル	内部セル: 278種, I/Oセル: 180種, ゲート速度: 0.30 ns/ゲート(2入力NAND)

注: *(開発中)

ト数,ワード数)をメモリコンパイラによって自動的に生成できる。このコンパイラは、ROM、RAMともに適用される。シミュレータで用いる遅延情報もライブラリとして提供される。

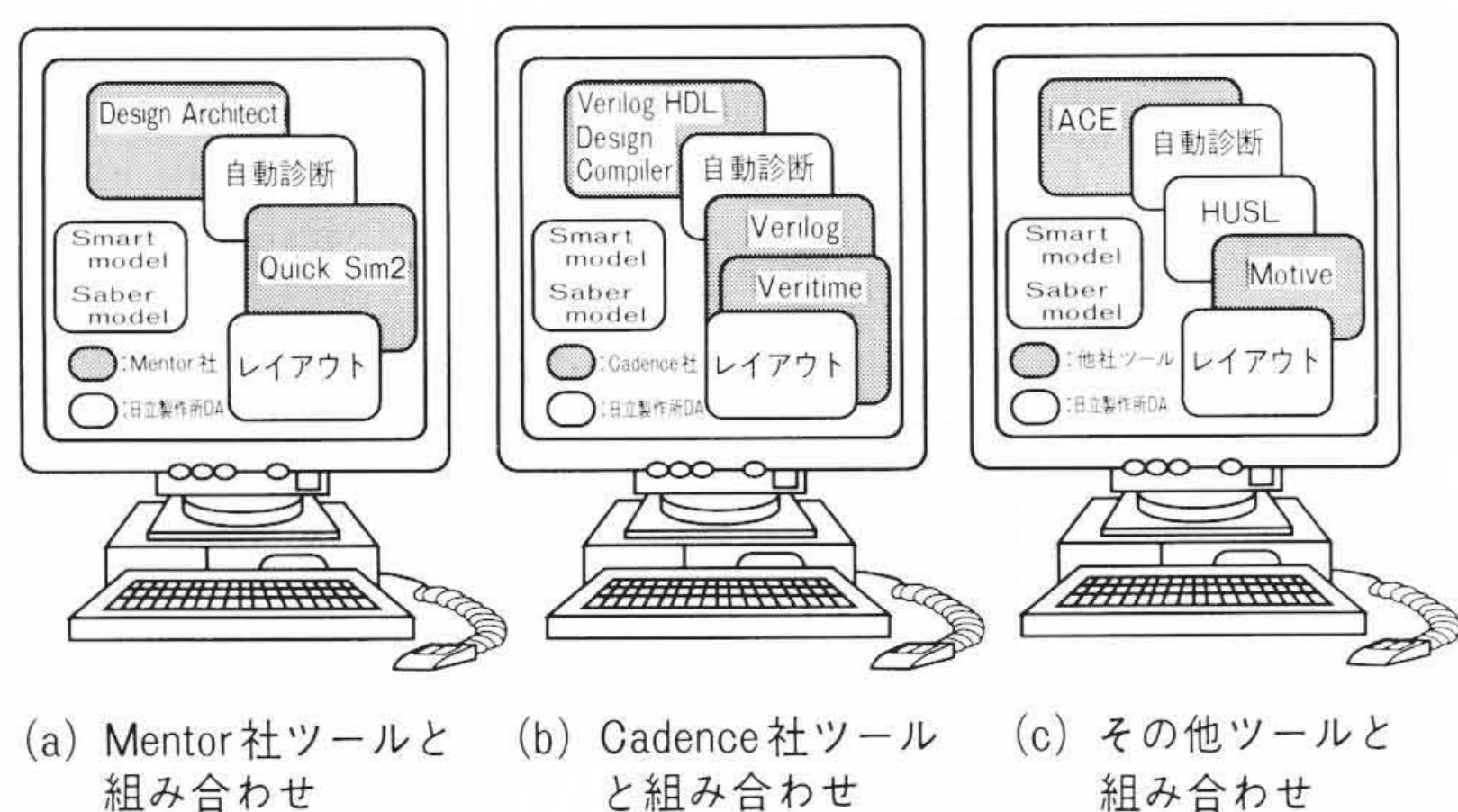
(2) 標準セルライブラリ

ユーザーの回路を構成するためのゲート、フリップフロップなどの標準セルライブラリをラインアップした。表1に示すように、内部セル、I/Oセルとも品ぞろえを図った。また、今後のASICの技術動向を踏まえて、CBICのチップ上の一部の領域に、GAのセルを配置できるようにし、CBICの高機能化とGA開発の短期間化を同時に実現できるようにした。このために、CBICとGAのセルライブラリの図面、機能を統一化し、円滑な移行性を図った。

4 設計環境

4.1 オープンツール化

ASICのユーザーは、それぞれの設計対象に合わせて多種、多様な設計環境を持っている。特に近年は、EDA(Engineering Design Automation)の専門メーカーから、多くのASIC設計ツールが販売されている。ASICのユーザーは、このような専門メーカーからの設計ツールを利用する傾向がますます高まっている。一方、半導体技術の高度化により、半導体メーカーはみずから持つノウハウを反映する必要性が高くなってきた。そのためこのような動向を踏まえて、EDAの専門メーカーの設計ツールへセルライブラリを移植し、かつ独自の設計手法やDAツール、デザインキットとEDA専用メーカーのツールとを組み合わせたオープンツール環境を構築した。



注：略語説明ほか

HUSL (Hitachi Universal Logic Simulator)
Design Architect (米国Mentor社の図面入力ツール)
Quick Sim2 (米国Mentor社のシミュレータ)
Verilog HDL (米国Cadence社の高位記述言語の名称)
Veritime (米国Cadence社のタイミング検証ツール)
Design Compiler (米国Synopsys社の論理合成ツール)
ACE (米国Intergraph社の図面入力ツール)
Motive (米国View-logic社のタイミング検証ツール)

図3 オープンツール化したマイコンアナログCBIC設計環境
Mentor社、Cadence社などのツールのほか日立製作所のオリジナルDAツールをEWS上で組み合わせることが可能である。ユーザーの既存の設計環境への適応が容易となる。

オープンツール設計環境の例を図3に示す。同図に示すツール以外にも、今後Compass社ツールなどへも展開してゆく予定である。

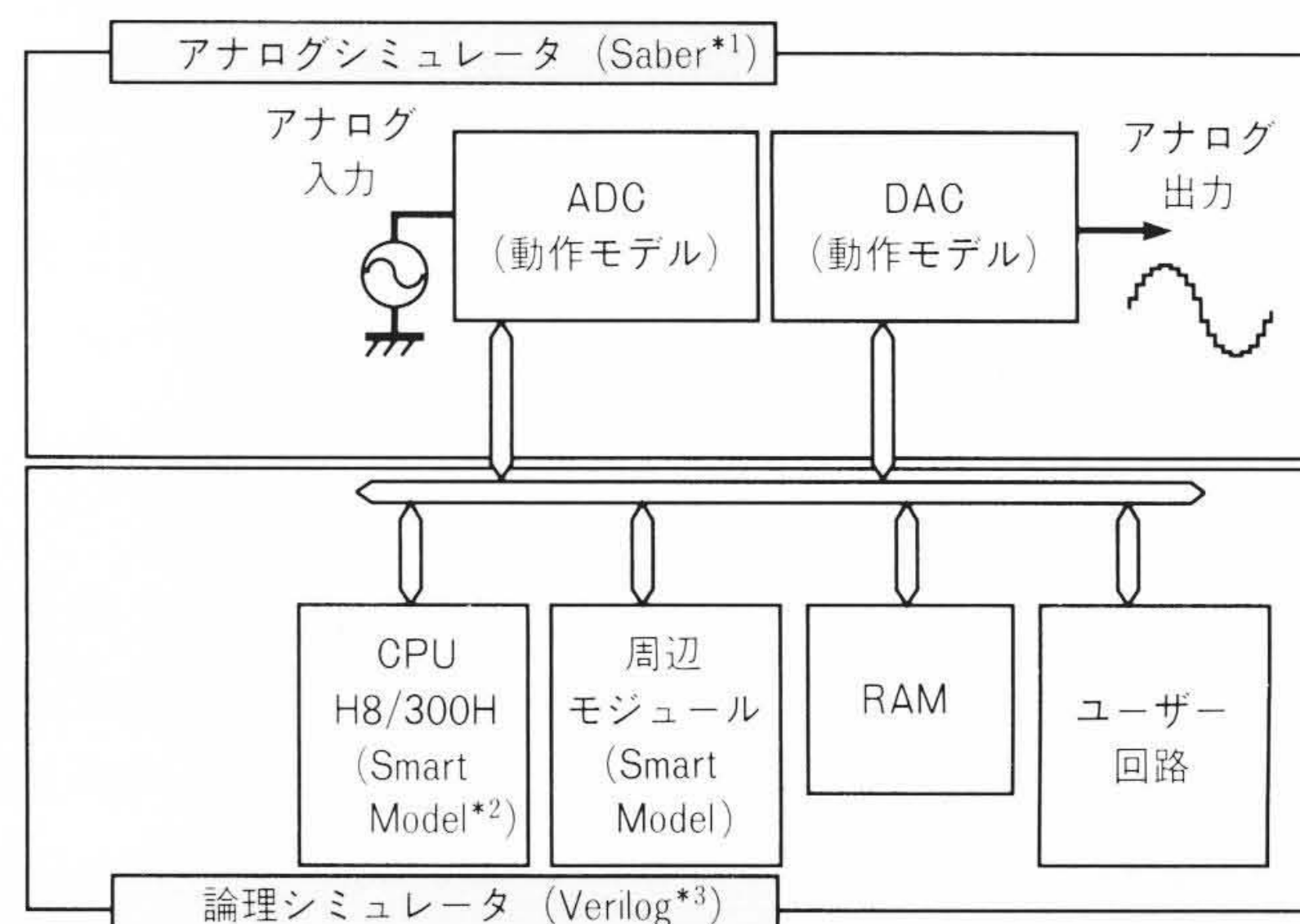
4.2 高精度設計

ASICの大規模化、高速化に伴い、設計精度の向上が重要な課題となってきた。特にプロセスの微細化に伴う配線抵抗の増加は、従来のシミュレーションの精度不足の問題点を顕在化させてきている。これを解決するために、従来の負荷容量対応の遅延モデルから、負荷容量と配線抵抗分を考慮した新しい遅延モデルを開発した。従来モデルの遅延成分(t_d :素子ディレイ, t_c :負荷容量依存ディレイ)に新たに配線抵抗に起因する成分(t_s :波形なまりによるディレイ, t_L :抵抗成分を考慮した配線ディレイ)を付加した。これにより、製造したシリコンチップに、より近い遅延時間の評価をシミュレーションでできるようになった。

さらに、論理回路を解析し、チップのどの部分でも、クロックスキューが最小となるように、クロック配線を自動的に分配し、負荷バランスを等しくするツールを開発した。

4.3 システムオンチップ設計

今後は、マイコンコア、アナログモジュールのような



注：*1 Saber (Analogy社のアナログシミュレータ)
*2 Smart Model (Synopsys社の高位シミュレーションモデル)
*3 Verilog (Cadence社の論理シミュレータ)

図4 アナログ・デジタル混在シミュレーション

マイコンコア、周辺モジュールはSmart modelで、アナログはSaber上の動作モデルで、RAM、ユーザー回路はVerilogシミュレータのモデルでそれぞれ連動動作ができる。

大規模、複雑なセルライブラリを含んだシステムオンチップ設計を完結させるための設計環境が必要となる。特に、シミュレーション環境の構築が鍵(かぎ)となる。このような設計環境を構築するために、マイコンモジュールに関しては米国のSynopsys社の協力を得てSmart Model*1)を開発した。

これにより、ユーザーが持つ各種のEDA専門メーカーのツールへの搭載が可能となり、ユーザーサイドでのシステムオンチップの設計作業が行えることとなった。

また、A-D変換器、D-A変換器に関しては、アナログ・デジタル混在シミュレータSaber*2)上で作動する機能モデルを開発した。これにより、アナログ回路とデジタル回路を組み合わせたシミュレーションを高速に実現できるようにした。

以上の開発により、図4の例に示すようなマイコン、アナログ搭載CBICの統一的な設計環境を実現した。

5 おわりに

マイコン・アナログ搭載CBICを実現するためのセルライブラリ、統合設計環境を開発した。ポータブルな情報通信機器で、今後ますます増加するシステムオンチップ化へのニーズにこたえるべく、セルライブラリ、設計環境をブラッシュアップするとともに、0.8 μm CMOS技術から、0.5 μm CMOS技術へと展開してゆく予定である。

*1) Smart Modelは、米国Synopsys社の商標である。

*2) Saberは、米国Analogy社のシミュレータ名称である。