

高速・低電力64 MビットDRAM

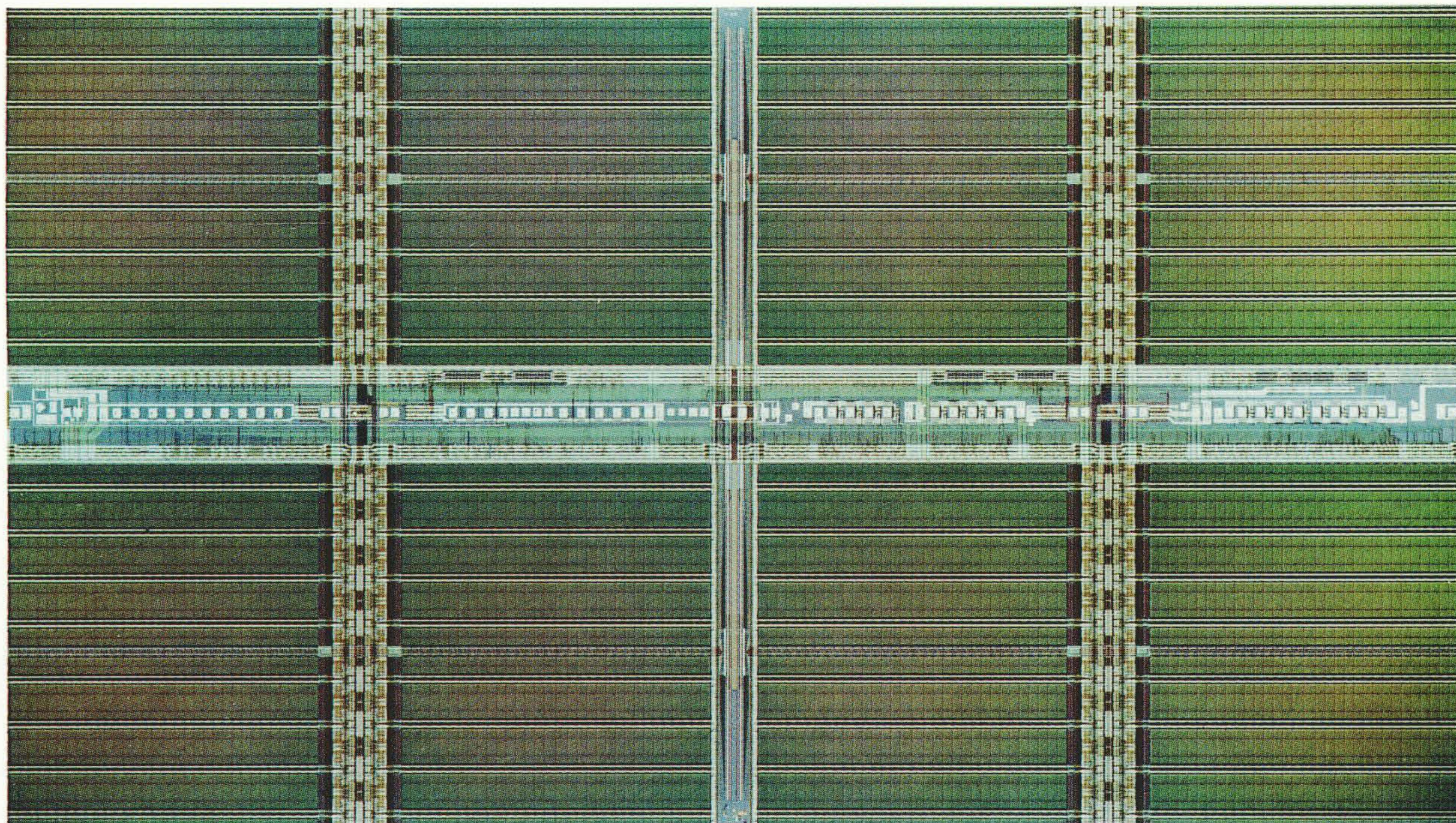
High Speed/Low Power 64 Mbits DRAM

宮沢一幸* *Kazuyuki Miyazawa*

橘 正** *Tadashi Tachibana*

松野庸一*** *Yōichi Matsuno*

松浦展巳**** *Hiromi Matsuura*



注：略語説明 DRAM(Dynamic RAM), CMOS(Complementary Metal Oxide Semiconductor)

64 MビットDRAMチップ ビット構成が $\times 1$, $\times 4$, $\times 8$, $\times 16$, チップサイズが $227.8 \text{ mm}^2 (11.43 \times 19.93)$, メモリセルサイズが $1.67 \text{ } \mu\text{m}^2 (1.76 \times 0.95)$, プロセスが $0.35 \text{ } \mu\text{m}$ CMOS技術であり, メタル3層配線を持った改良型のスタックメモリセルである。

DRAMは高度情報化社会を支えるキーデバイスとして, さらにテクノロジードライバとして, ほぼ3年で4倍の高集積化が進んできた。現在は $0.5 \text{ } \mu\text{m}$ 微細プロセス技術を使用して, アクセス時間 60 ns の16 MビットDRAMを開発・量産している。ワークステーションの高性能化, MPU(Micro Processing Unit)の高性能化・高機能化に伴い, 今後ますます大容量DRAMに対する要求は厳しくなる。

それにこたえるため, 日立製作所は米国TI(Texas Instruments)社と共同で, 最先端の $0.35 \text{ } \mu\text{m}$ 微細プ

ロセス技術と高速化技術, 低電圧・低消費電力化技術により, 高速・低消費電力の64 MビットDRAMを開発した。ビット構成も, 64 Mワード $\times 1$ ビット構成, 16 Mワード $\times 4$ ビット構成, 8 Mワード $\times 8$ ビット構成, および4 Mワード $\times 16$ ビット構成の4種類があり, これらを同一チップ上に実現し, 配線工程でビット構成を選択できるようにした。これにより, スーパーコンピュータからパソコン(パーソナルコンピュータ)まで幅広い用途での大容量化, 高性能化にすばやく対応できるようになった。

* 日立製作所 デバイス開発センタ ** 日本テキサス・インスツルメンツ株式会社 *** 日立製作所 半導体事業部
**** 日立超LSIエンジニアリング株式会社

1 はじめに

64 MビットDRAMは4 MビットDRAMや16 MビットDRAMなどの従来の世代に比べ、システムの高ビット化・高速化・低消費電力化の要求が強くなってきている。また、大容量化に伴うテスト時間の増加、高集積・チップサイズの増加に伴う歩留り低下などの問題がますます大きくなってきている。ここでは、このようなユーザー、および技術動向から要求される性能を満たすために開発した64 MビットDRAMについて述べる。

2 高速アクセス・低ノイズ技術

64 MビットDRAMは、第1世代から多ビット化・低消費電力化の要求が強くなってきている。しかし、入出力のビット構成が×8ビット、×16ビットと大きくなるに従って、出力バッファ回路からのノイズの影響で、入力特性が劣化する(図1参照)。そのうえ、電源電圧3.3 V版から入出力の規格はLVTTTL(Low Voltage Transistor Transistor Logic)が適用されるため、High入力レベル V_{ih} が従来のTTLインタフェースに比べて2.4 Vから2.0 Vと0.4 V厳しくなっている。

出力の駆動能力を下げて電源ノイズを低減する方法があるが、アクセスを遅延させるため高速化とあい反する。このため、次に述べるような方法で出力駆動能力を下げずにノイズを低減するとともに、日立製作所と米国TI社の高速回路技術を結集し、50 nsの高速アクセス(図2参

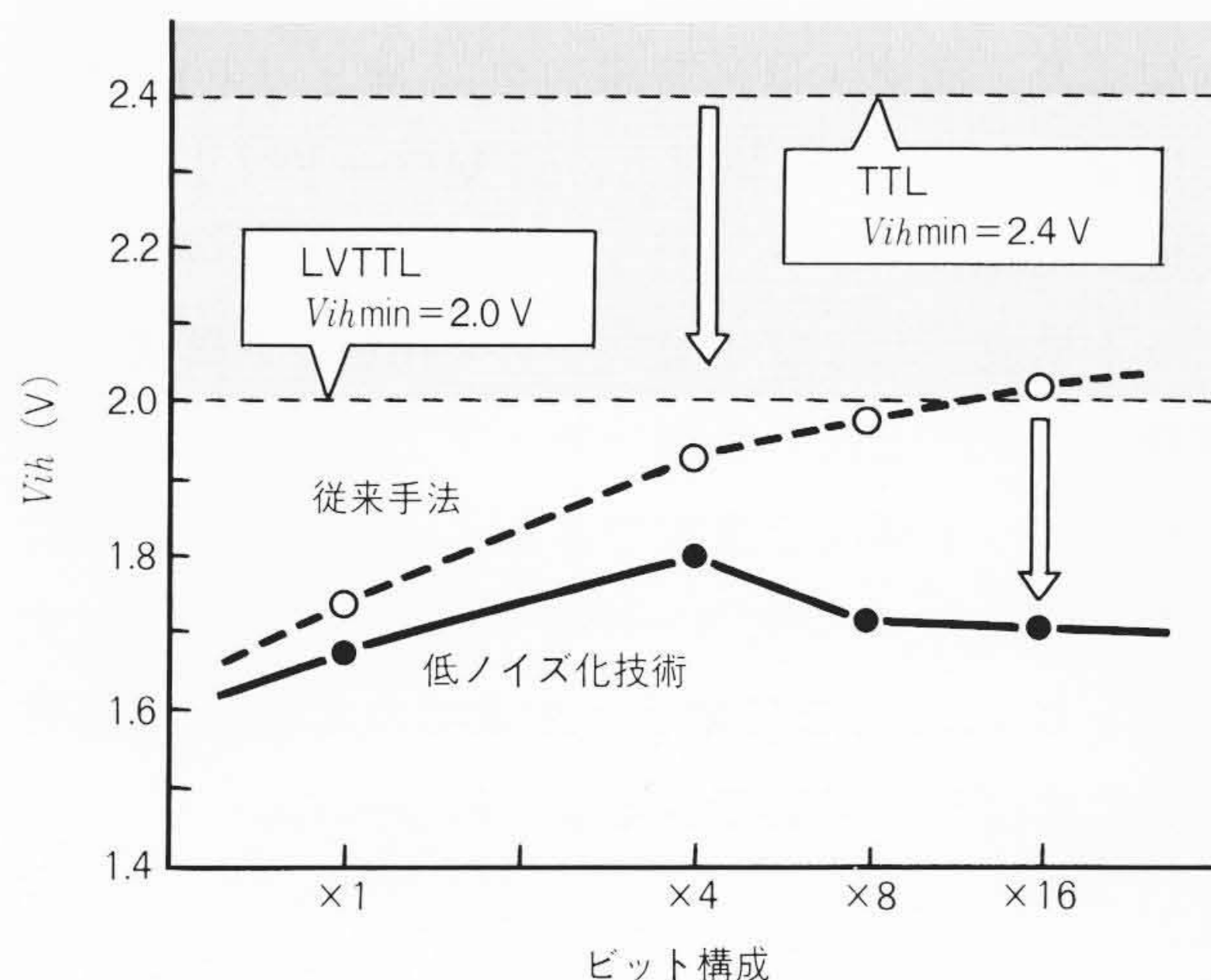
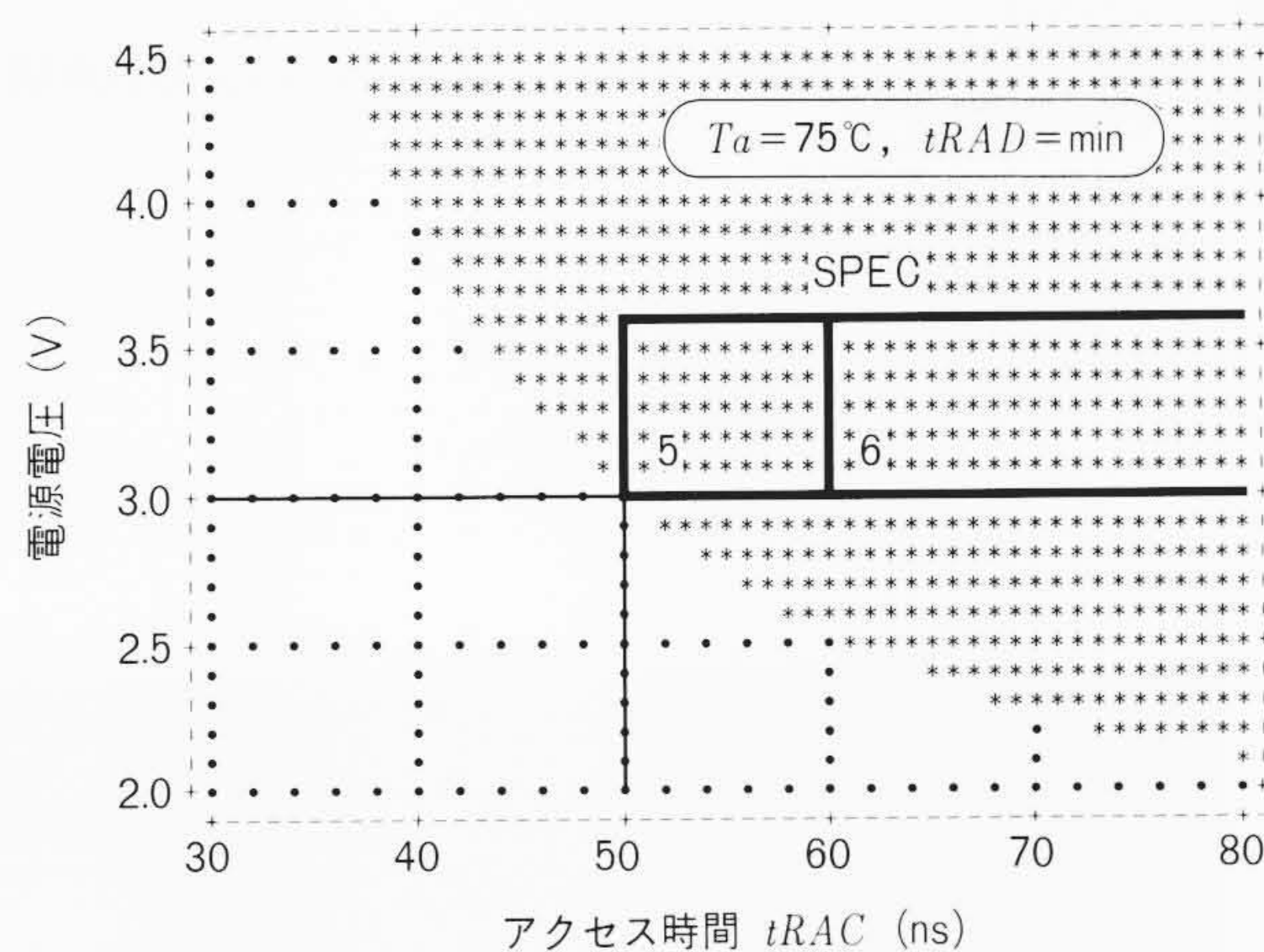


図1 入出力構成の多ビット化と入力レベルマージン
低ノイズ化技術により、入力レベルマージンを0.2 V以上確保できた。



注：略語説明 SPEC (Specification)

図2 アクセス電源電圧シュムー

周囲温度75℃、電源電圧3 Vでアクセス時間50 nsを実現した。

照)を実現した。

パッケージ構造としてボンディングパッドをチップの中央に配置するLOC(Lead On Chip)構造を採用している。この構造を活用して、低ノイズ技術を確立し、入力マージンを確保するため、パッケージのリードフレームから、入出力回路およびその電源配線から基板までを含んだ3万素子の回路解析を行った。この解析により、出力回路からのノイズは電源配線だけでなく、図3に示すように基板からのノイズ伝搬の影響が大きいことが明らかになった。

対策としては、(1) リードフレームを入力初段用電源と出力回路、および他の電源に分離する、(2) 基板から入力初段用電源をシールドして、出力回路からのノイズの影響を抑える、(3) 出力回路のピーク電流を低減するために、トランジスタサイズの最適化を図るなどを行った。しかし、×8ビット、×16ビット構成は最適化だけでは効果が不十分なので、出力の駆動能力を配線層の切換えで下げられるようにした。これらの改善により、図1に示したように V_{ih} について0.2 V以上のマージンを確保することができ、高速アクセスも達成することができた。

3 リフレッシュサイクル

DRAMは、メモリ容量の増加に伴う動作電流の増加を抑えるため、リフレッシュサイクル(n)を1世代につき2倍ずつ増やしてきた(図4参照)。また、リフレッシュ動作によってメモリへアクセスできない時間を増加させないために、最大リフレッシュ時間($t_{REFmax.}$)を増やし、 $t_{REFmax.}/n$ の値を15.6 μ sと一定とした。しかし、64 M

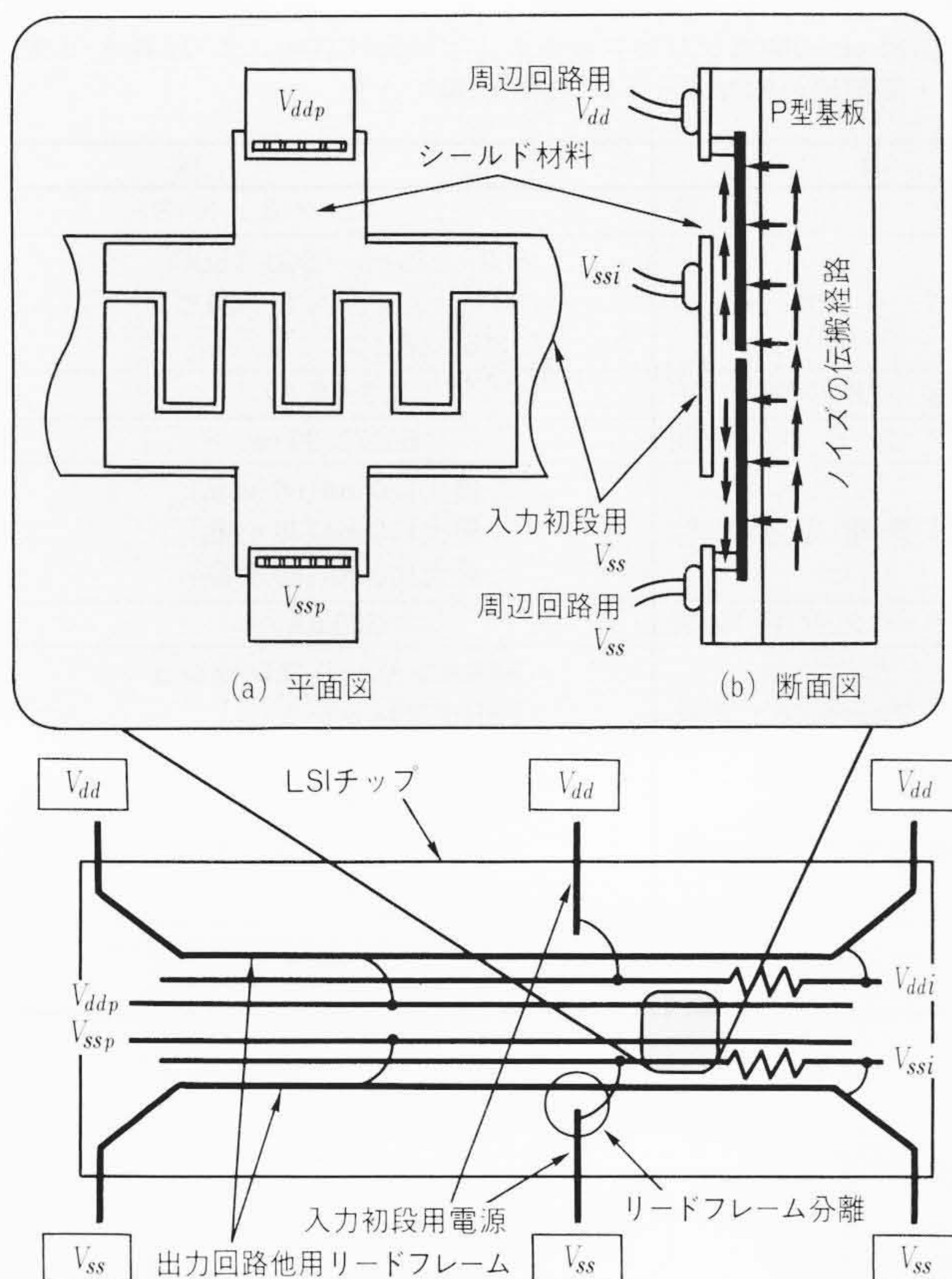


図3 LOCリードフレームの電源取り回し

リードフレームを入力初段用電源と出力回路および他の電源に分離し、入力初段用電源を基板からシールドして出力回路からのノイズの影響を抑えた。

ビットDRAMでは、 $t_{REFmax.}=128\text{ ms}$ になり、リフレッシュ時間の実力に対しマージン確保が困難になってきている。また、 $t_{REFmax.}$ と n の値は、各世代JEDEC (Joint Electronics Design Engineers Council)でのユーザーとメーカーの重要な項目であるが、いつも決定には時間を要した。

しかし、64 MビットDRAMからはこの規定をCBR (Column Address Strobe before Row Address Strobe)リフレッシュモードで $15.6\text{ }\mu\text{s}$ に1回リフレッシュ動作を入れ、 $t_{REFmax.}$ や n の値については特に規定しないことがJEDECで決定された。今後、ユーザーは世代に関係なく $15.6\text{ }\mu\text{s}$ に1回CBRリフレッシュを入れることで、リフレッシュに関するシステム変更をしなくてよいことになった。

この製品では、通常動作はリフレッシュサイクルを8,096として動作電流を85 mAと低減し、CBRリフレッシュでは4,096サイクル $t_{REFmax.}=64\text{ ms}$ で動作電流を95 mAと、規格120 mA (@60 ns品)に対して十分なマ

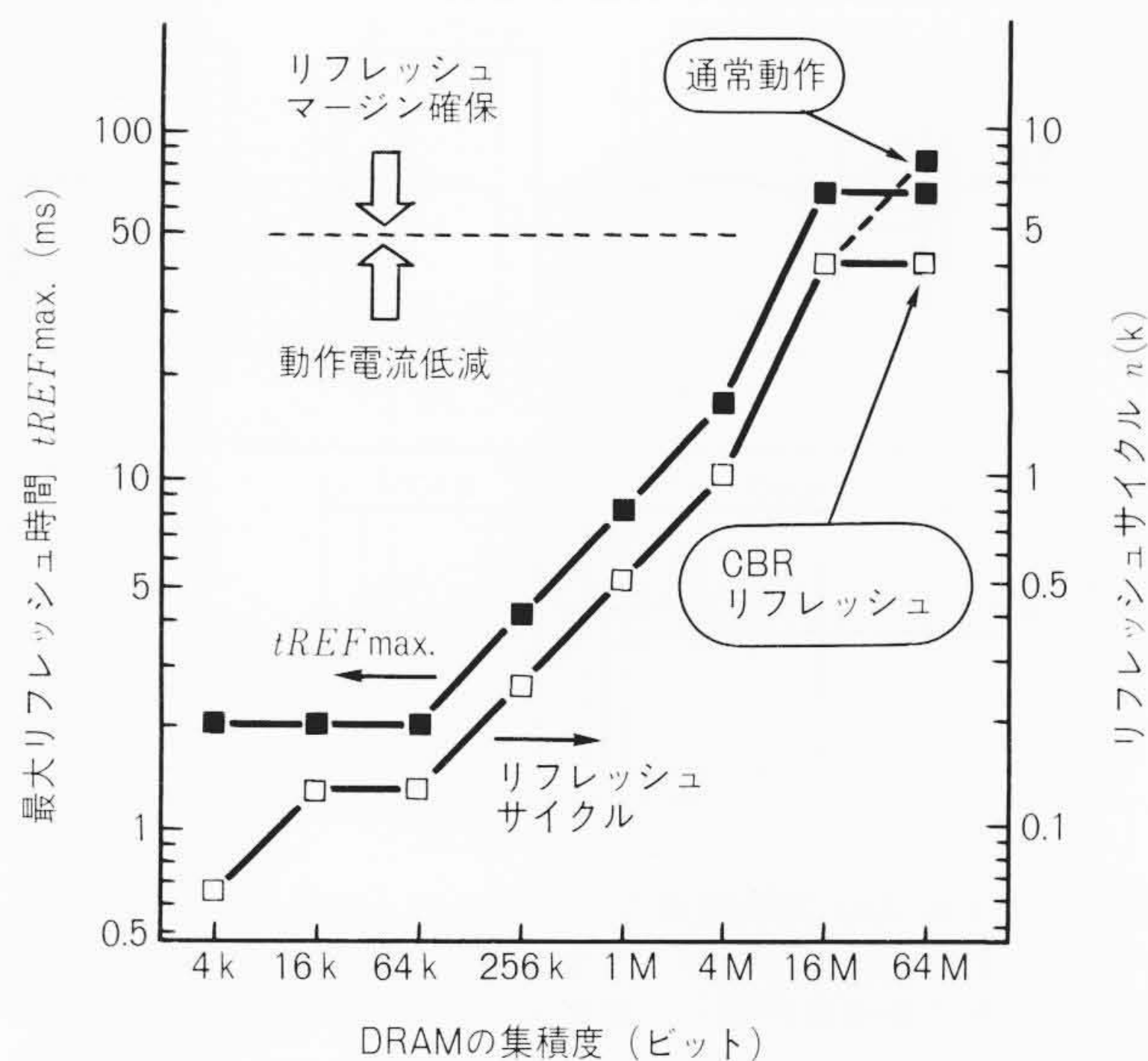


図4 リフレッシュ時間/サイクル推移

16 Mまでは動作電流の増加を抑えるため、リフレッシュサイクルとリフレッシュ時間を2倍/世代ずつ増やしてきた。

項 目	n	動作電流 I_{ccav} (mA)		
		50	100	150
通常動作 (リード・ライト)	4 k	50	70	120
	8 k	50	35	85
CBRリフレッシュ	4 k	25	70	95
		周辺回路	メモリアレー部	

図5 64 MビットDRAM動作電流内訳

通常動作とCBRリフレッシュでリフレッシュサイクルを変えて動作電流を低減した。

ージンを確保した(図5参照)。CBR時は、メモリアレー部の電流が70 mAと8,096サイクル時に比べて2倍になるが、逆にカラム系回路の動作を止め、周辺回路部で消費する電流を50 mAから25 mAと半分に抑えることにより、合計で95 mAにすることができた。

4 高効率欠陥救済技術

チップ面積の増大、プロセスの微細化に伴う歩留りの低下に対し、メモリセルアレー間にまたがる救済が可能な新救済方式(Any to Any方式)をX系に採用した(図6参照)。従来の救済方式では同図(a)に示すように、複数のアレー上の同一アドレスのワードが同時に置き換えられ、しかも、不良ビットが存在するアレー内の救済線で

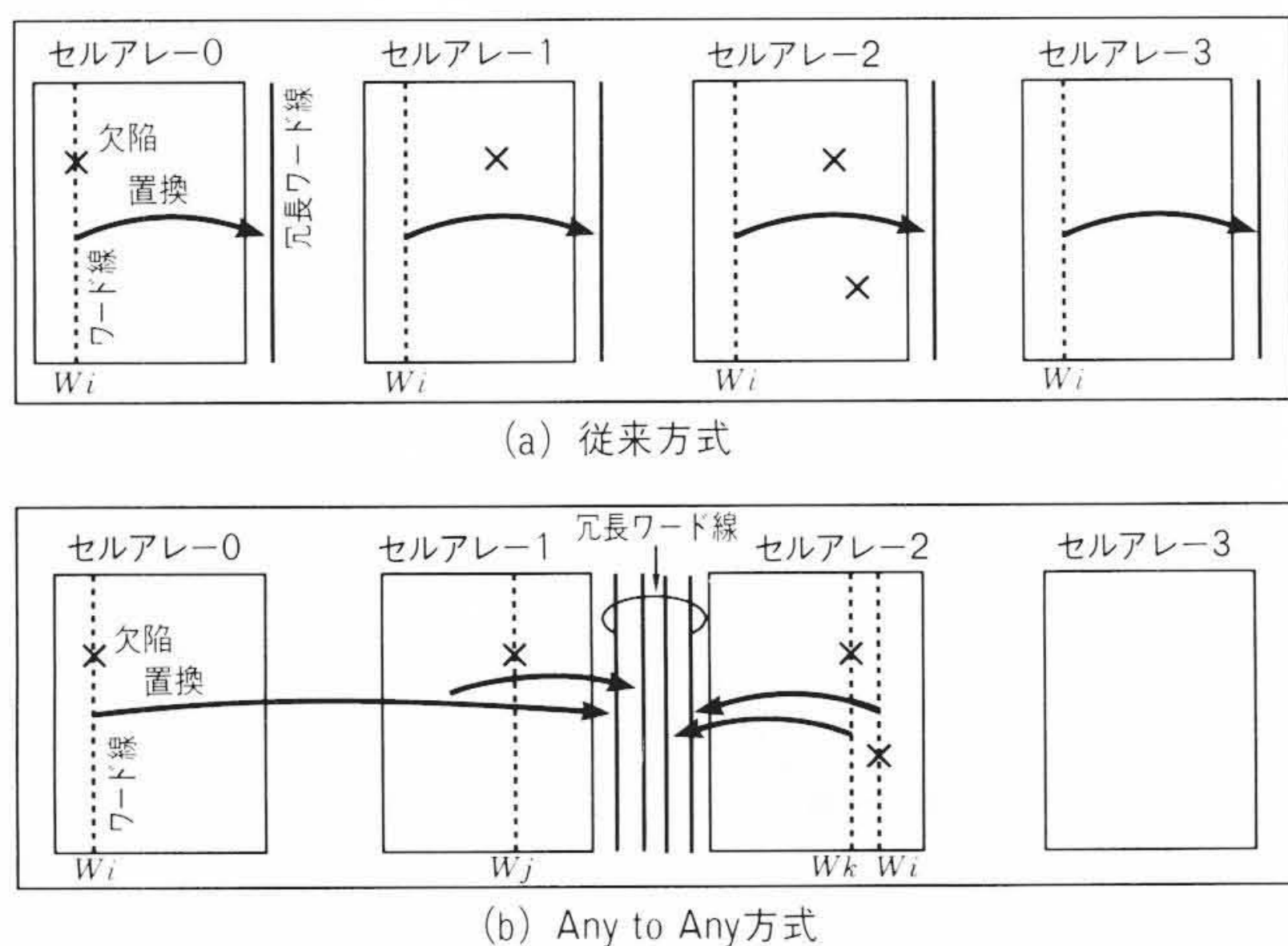


図6 Any to Any 欠陥救済方式

メモリアレイ間にまたがって救済が可能な新救済方式により、置き換え先の自由度が増し、従来方式に比べて大幅に救済効率が向上できた。

しか置き換えることができなかったため効率が悪かった。しかし、Any to Any方式では同図(b)に示すように別アレイの救済線での置き換えが可能であるため、置き換え先の自由度が増し従来方式に比べて大幅に救済効率が向上できた。

5 低電力化と将来動向

DRAMはメモリセルが1 Trと容量で構成されているので、そのメモリセル容量のリーク電流を補うため記憶保持動作(リフレッシュ)が必要である。例えば、ワークステーションなどの主記憶用の8 Mバイトのメモリスシステムを構築する場合、現在の主流となっている4 MビットDRAMでは16個必要となるのに対して、64 MビットDRAM(表1参照)を用いるとわずか1個で構築できる。その電源としてリチウム電池を使用した場合、電池寿命も4 MビットDRAMローパワー品(データ保持時の消費電流150 μ A)で構成した場合の3日から約1か月と大幅に延び(図7参照)、十分使用に耐えられるレベルとなる。

また、待機時の複雑なリフレッシュ制御もセルフリフレッシュ機能によって大幅に簡略化できることから、バッテリーバックアップによって不揮発性メモリに類似した使用が可能となり、シリコンファイルなどの外部記憶用途にも対応できる。

このように、低電力64 MビットDRAMは、ユーザーのシステムの小型・軽量化、ハンディ化に寄与していくと

表1 64 MビットDRAM仕様

0.35 μ m CMOSプロセス技術および新回路技術により、高速・低電力・高集積の64 MビットDRAMが実現できた。

項 目	仕 様
ビ ッ ト 構 成	$\times 1$, $\times 4$, $\times 8$, $\times 16$
パ ッ ケ ー ジ	500 $\times$ 875 mil SOJ/TSOP $\times 1$, $\times 4$, $\times 8$: 34ピン $\times 16$: 56ピン
電 源 電 圧	3.3 $\pm$ 0.3V
ア ク セ ス 時 間	60/70/80 ns
消 費 電 流(動作時)	最大120 mA(60 ns品) 最大110 mA(70 ns品) 最大100 mA(80 ns品)
デ ー タ 保 持 電 流	300 μ A
リ フ レ ッ シ ュ 方 式	RASオンリーリフレッシュ CBRリフレッシュ セルフリフレッシュ
高 速 ア ク セ ス 方 式	高速ページモード スタティックカラムモード ニブルモード
リ フ レ ッ シ ュ サ イ ク ル	8 kサイクル/64 ms(RASオンリー) 4 kサイクル/64 ms(CBR)

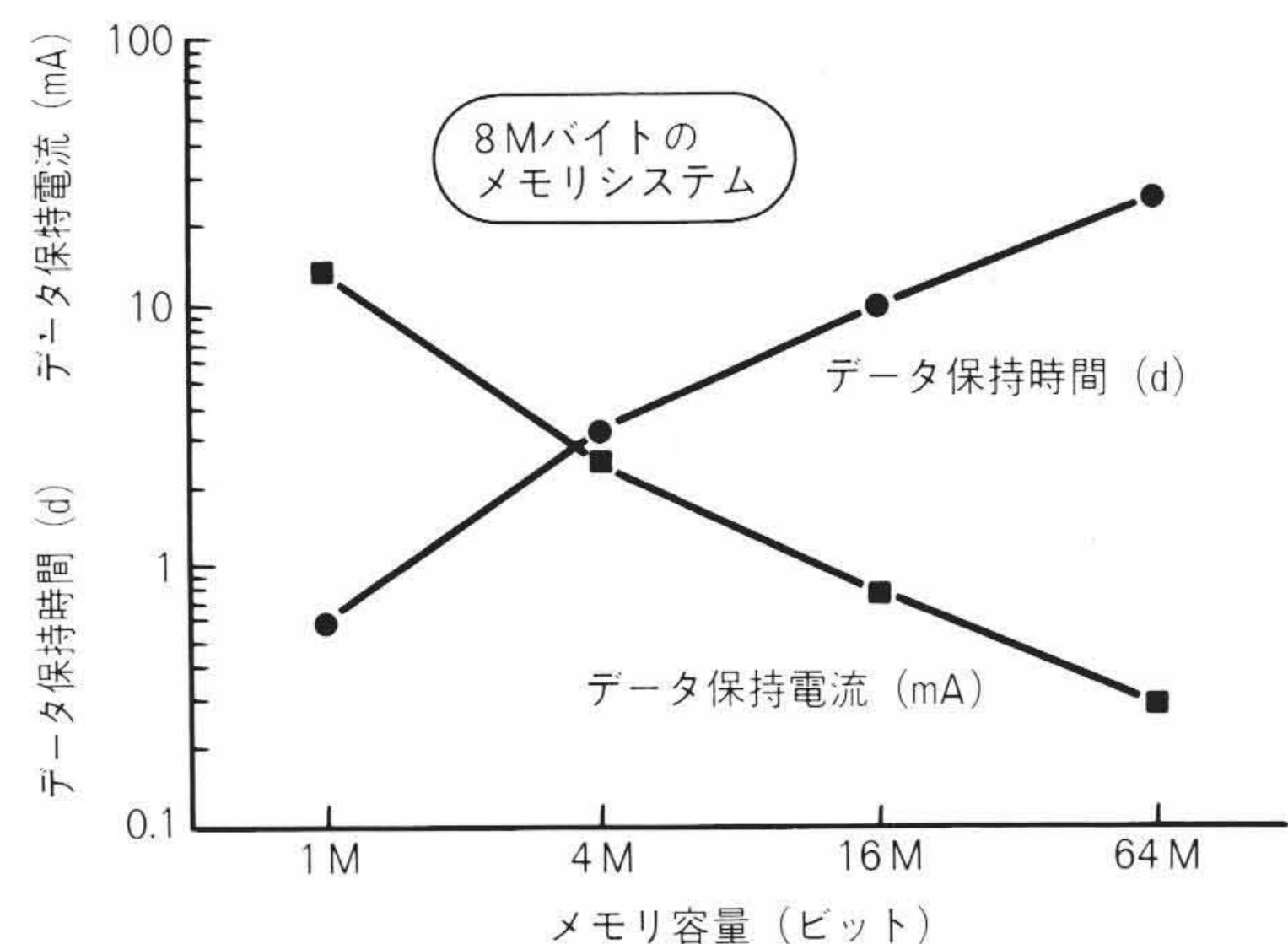


図7 リチウム電池($\phi 20 \times 3.2$ mm)によるデータ保持時間
64 MビットDRAMでは、リチウム電池1個で約1か月間データが保持できる。

考えられ、今後ますます発展していくと期待できる。

6 おわりに

0.35 μ m CMOSプロセス技術および新回路技術により、高速・低電力・高集積の64 MビットDRAMが実現できた。この製品は日立製作所と米国TI社、両社の技術者・研究者の専門技術と知識を生かした共同開発での成果であり、今後の半導体共同開発の第一歩となる。