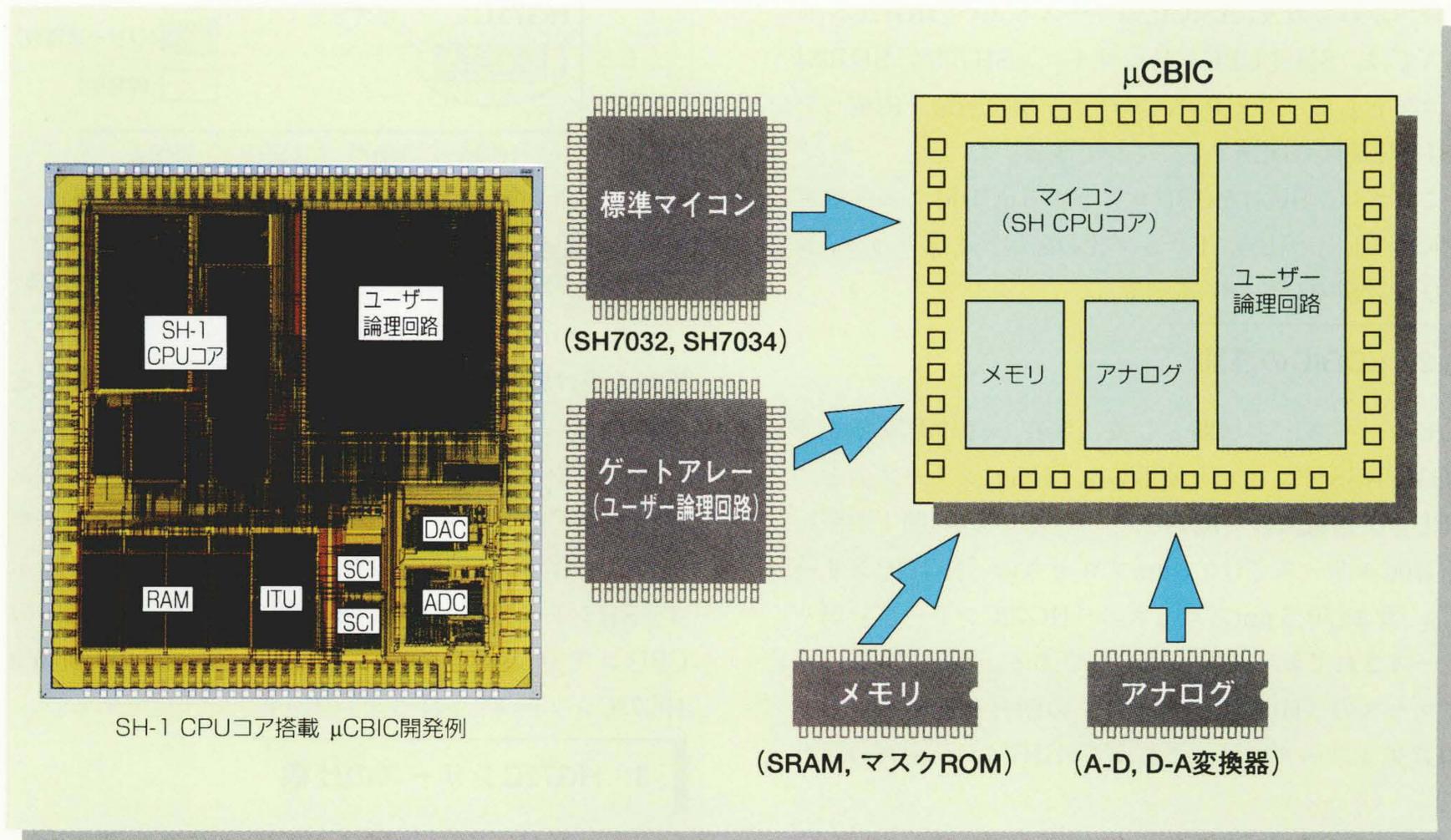


SHマイコンと周辺ロジックを一つのLSIに搭載できる ASIC μ CBIC「HG72Cシリーズ」

μ CBIC Series with SH Microcomputer CPU Core and Peripheral Functions

内田 覚* Satoru Uchida 前田武志* Takeshi Maeda
小山田文男* Fumio Oyamada



注：略語説明 CPU(Central Processing Unit), ITU(Integrated Timer Unit), SCI(Serial Communication Interface)
ADC(Analog-to-Digital Converter), DAC(Digital-to-Analog Converter)
 μ CBIC(Micro Cell Based IC), マイコン(マイクロコンピュータ), A-D(Analog to Digital)
D-A(Digital to Analog), SRAM(Static Random Access Memory), ROM(Read-Only Memory)

CPUコア搭載 μ CBIC

SH CPUコア, アナログ, メモリなどを1チップ化して, システムの小型化, 低消費電力化, 高性能化を実現する。

32ビットRISC(Reduced Instruction Set Computer)であるSHマイコンは, 機器組込み用途として必要な低消費電力, 低価格で高性能という要求にこたえて, マルチメディア時代のプロセッサとして広くユーザーに受け入れられている。また, PDA(Personal Digital Assistant)などの小型携帯端末に代表されるようなマルチメディア機器では, このSHマイコンと周辺ロジックを1チップ化し, システムの小型化, 高機能化を実現するASIC(Application Specific IC)への要求が高まっている。

このようなユーザーニーズにこたえるため, SH-1 CPUをコアとする μ CBIC(Micro Cell Based IC)「HG72Cシリーズ」を開発し, 展開を進めている。HG72Cシリーズでは, SH-1 CPUを搭載するマイコンであるSH7032, SH7034をコアとし, アナログ機能, ユーザー独自の回路を構成する基本ゲート, およびメモリをモジュールとして使用できる。また, コンパイラなどのEDA(Electronic Design Automation)ツールにより, μ CBICの設計を短期間で行うことが可能である。

1. はじめに

CPUコア搭載型のセルベースICである μ CBICでは、すでに16ビットH8/300Hマイコンをコアとする「HG71Cシリーズ」と、32ビットRISC SHマイコンをコアとする「HG72Cシリーズ」をそれぞれリリースしている。特にSHマイコンは、機器組込み型のRISCとして各種の機器に使用されており、ASIC化のニーズも多い。HG72Cシリーズでは、SH-1 CPUを持つマイコンSH7032、SH7034をコアとして、アナログ、ユーザー論理回路を内蔵したLSIを短期間に開発することができる。

ここでは、SH-1をCPUコアとする μ CBICによって実現可能なLSIの仕様、1チップ化の応用例とメリット、および設計環境について述べる。

2. μ CBICの展開

セルベースICの展開としては現在、設計環境としてCOMPASS^{※1)}ツールを使用した「HG51シリーズ」と、CPUコア搭載型の「HG70Cシリーズ」がある(図1参照)。HG70Cシリーズでは0.8 μ mプロセスの「HG71Cシリーズ」、および0.5 μ mプロセスの「HG72Cシリーズ」がリリースされており、製品展開中である。現在は0.35 μ mプロセスの「HG73Cシリーズ」の開発を進めている。HG73Cシリーズでは、これまでのHG51シリーズの設計

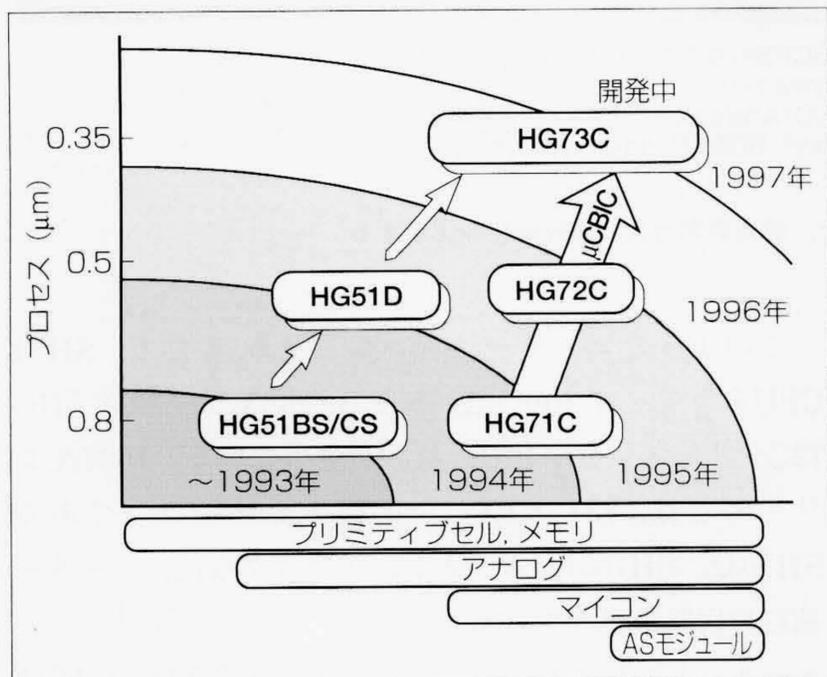


図1 日立製作所のセルベースICの展開

CPUコア搭載型のセルベースICとしてはすでにHG71C、HG72Cシリーズの二つを製品化している。

※1) COMPASSは、COMPASS Design Automation社の商標である。

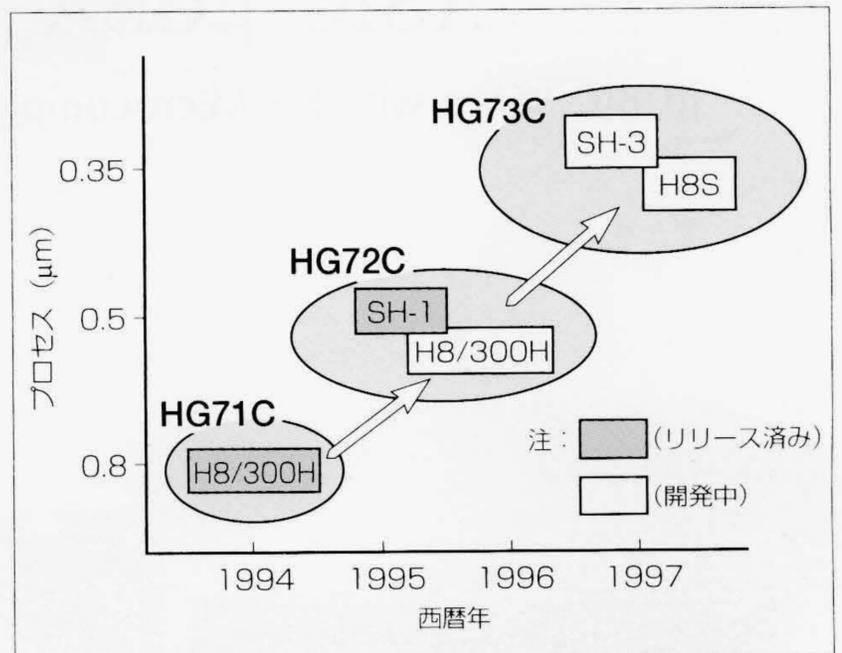


図2 μ CBIC CPUコアの展開

H8/300H CPUコアをはじめとして、SH CPUの展開を進めている。

環境も受け継ぎ、0.35 μ m μ CBICとして製品化する予定である。

HG70Cシリーズでは、日立製作所オリジナルマイコンのCPUコアをライブラリとしてラインアップし、ユーザーに提供している。 μ CBIC CPUコアの展開を図2に示す。SHシリーズのコアは、HG72CシリーズからSH-1のCPUコアを展開しており、次期シリーズの0.35 μ m HG73CシリーズでSH-3コアを開発する予定である。

3. HG72Cシリーズの仕様

SH-1 CPUコアを搭載する μ CBIC HG72Cシリーズでは、0.5 μ m CMOS (Complementary Metal-Oxide Semiconductor) プロセスを採用し、1995年10月から受注を開始している。これまでに、HDD (Hard Disc Drive)、アミューズメント、カーナビゲーションなどの分野に対応した製品を開発している。CPUコアは、標準マイコンSH7032、SH7034と同一のSH-1であり、動作周波数20 MHz (5 V)、20 MIPS (Million Instructions per Second) の性能を持つ。また、1チップには3層メタル配線時最大50万ゲートまでの論理回路が搭載できる(表1参照)。これはSH7034相当のマイコン論理回路を内蔵した場合、最大35万ゲートまでのユーザー論理回路が搭載可能となる。

μ CBICのCPUコアは、演算器を含むCPUのほかに、16ビット乗算器、割込みコントローラ、バスコントローラ、ユーザー ブレーク コントローラをひとまとめにしてCPUコアとしている。CPUコア以外の周辺性能、すなわち、タイマ、シリアルなどとRAM (Random Access

Memory), ROMはそれぞれを個別にモジュール化し, ユーザーの必要な機能だけを選択してLSIに搭載するコンパイルドコア方式を採用している。コンパイルドコア方式では, 標準マイコンに相当するベース論理ネットを用意しており, そこからユーザーが必要としない機能を削除して, マイコン論理回路の最適化を図っている。これはチップサイズ最小化に有効である。ベース論理ネットとして標準マイコンSH7032およびSH7034相当の2種類を用意しており, SH7020, SH7021もそのサブセットとして構成できる。このようにして最適化したマイコン部分の論理回路と, A-D, D-A変換器, ユーザー論理回路を結合してLSIを設計する。A-D, D-A変換器については, ディスクサーボ制御用途(HDD用), ビデオ信号処理用途(ビデオ用)のものをそれぞれ用意しており, 応用分野に応じた設計が可能である(図3参照)。

4. μ CBIC適用例

SHマイコンをコアとする μ CBICの用途は, 民生からOA, コンピュータ, 産業機器と多岐にわたる。PDAに代表される小型携帯機器ではバッテリー駆動による低消費電力化と, 複数機能の1チップ化によるシステムの小型化が要求される。また, HDDなどの機器ではプロセッサの処理能力とA-D, D-A変換器が必要である。SHコアの搭載により, HDD, カーナビゲーション, アミューズメント機器など高速処理を必要とする機器への応用が容易になった(図4参照)。その一例として, SHマイコンとHDD用A-D, D-A変換器, メモリを1チップ化したシステムの構成を図5に示す。

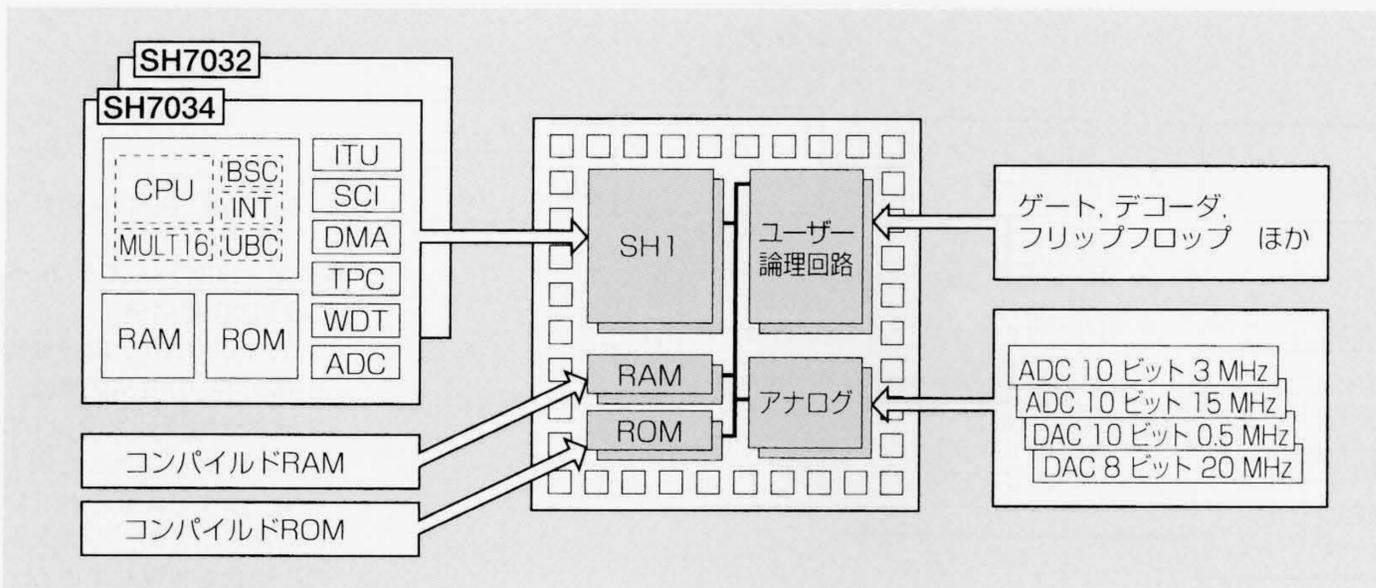
μ CBIC LSIにはSH-1 CPUコア, 周辺機能のほかに, ディスクサーボ制御用のA-D変換器(10ビット, 3 MHz), D-A変換器(10ビット, 0.5 MHz), ユーザー

表1 HG72Cシリーズの仕様

SH-1 CPUコアとアナログ, メモリの搭載が可能である。ユーザー論理回路は標準セルを使用して設計する。

項目	仕様概要	
プロセス	0.5 μ m CMOS メタル2層・3層	
電源電圧	5 V \pm 10%仕様, 3.3 V \pm 0.3 V仕様	
動作温度	-20 ~ +75 $^{\circ}$ C	
動作速度	SH-1 CPUコア: 20 MHz, 5 V仕様 20 MIPS 12.5 MHz, 3.3 V仕様	
	内部セル: ゲート当たり0.32 ns	
最大搭載ゲート数	50万ゲート(3層メタル配線)	
マイコン	CPUコア	SH1 CPU(BSC, INT, UBC, MULT16含む)
	周辺機能	ダイレクト メモリ アクセス コントローラ(DMAC)
		16ビット インテグレートッド タイマ バルス ユニット(ITU)
		プログラマブル タイミング パターン コントローラ(TPC)
		ウォッチドッグタイマ(WDT)
		シリアル コミュニケーション インタフェース(SCI)
A-D変換器	ROM: 32, 64 kバイト, RAM: 1, 2, 4, 8 kバイト	
アナログ	A-D変換器	10ビット, 3 MHz(HDD用), 10ビット, 15 MHz(ビデオ用)
	D-A変換器	10ビット, 0.5 MHz(HDD用), 8ビット, 20 MHz(ビデオ用)
セル	内部ゲート	ゲート, デコーダ, ラッチ, フリップフロップほか
	I/Oセル	入出力バッファ, シュミット入力, プルアップ・ダウンほか
メモリ	コンパイルドROM・RAM	
コンパイラ	メモリコンパイラ, マイコンコンパイラ	
パッケージ	QFPI100, 136, 168, 208, 256, 296 LQFPI144, 176 TQFPI100, 120	

注: 略語説明 BSC(Bus Controller), INT(Interrupt Controller), UBC(User Break Controller), MULT(Multiplier), I/O(Input-Output), QFP(Quad Flat Package), LQFP(Low Profile Quad Flat Package), TQFP(Thin Quad Flat Package)



注: 略語説明
DMA(Direct Memory Access)
TPC(Programmable Timing Pattern Controller)
WDT(Watchdog Timer)

図3 μ CBICチップの構成
マイコン部分は標準マイコンSH7032, SH7034相当のベースとなる論理ネットを選択し, ユーザー仕様に従って最適化する。

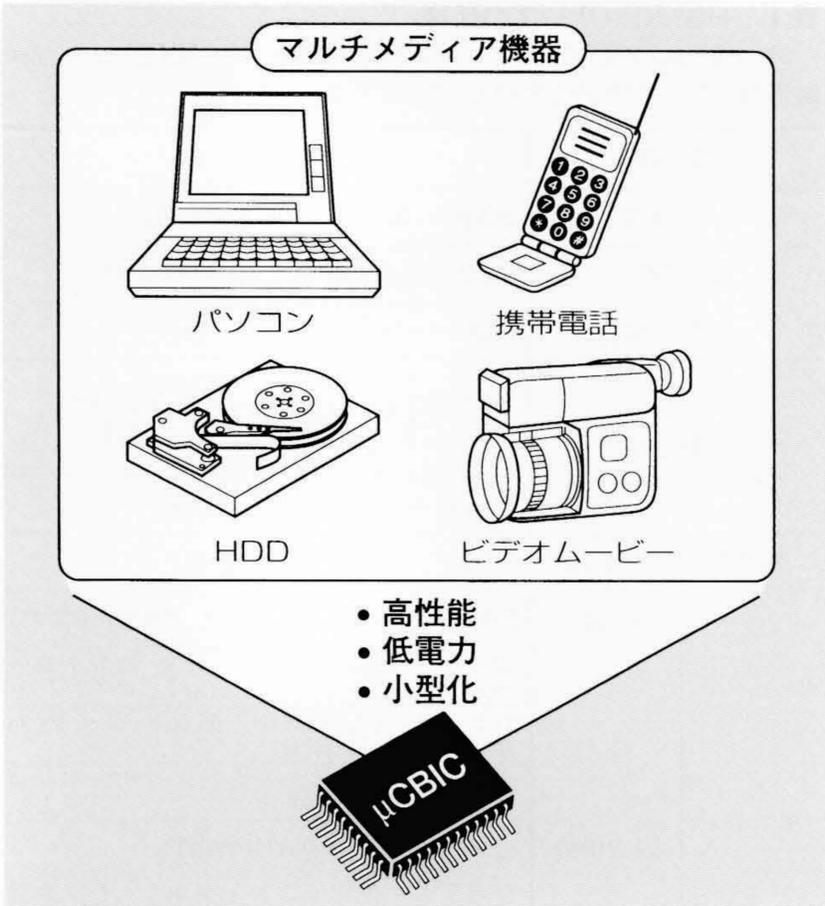


図4 マルチメディア機器への応用
システムの高性能、低電力、小型化の要求はμCBICによって実現できる。このように、μCBICはマルチメディアをはじめとしたさまざまな分野で活用できる。

論理回路が搭載されている。

このように、高性能のRISC CPUと周辺回路、メモリなどをμCBICとして1チップ化することで、以下のような利点を得ることができる。これは現在、マルチメディア機器と呼ばれるシステムの実現には欠かせない技術である。

- (1) 複数チップからの1チップ化による部品点数の削減
- (2) システム実装面積の縮小
- (3) 配線基板配線層の削減によるコストダウン
- (4) マイコン、メモリ間バスのLSI内蔵による低電力化

5. μCBIC設計環境

5.1 開発フロー

HG72CシリーズのμCBICでは、SH-1 CPUコア、周辺機能、ユーザー論理回路、アナログ、メモリがユーザーの仕様に従って混載できる。この設計を可能にしているのが、各種コンパイラやテスト回路自動生成などの設計支援ツールである。これらを使用し、図6に示す開発フローに従ってμCBICの開発を行う。

5.2 システム設計

ユーザーシステム全体の仕様から、μCBICとして1チップ化すべき回路を決定する。LSI内部仕様としてはユーザー論理回路の構成、必要な周辺機能、メモリ容量を決める。また、LSI外部インタフェース仕様として、I/O信号本数、入出力レベルの検討を行い、同時にシステム基板上的実装空間、消費電力、動作環境などの条件からLSIパッケージの外形を決定する。HG72Cシリーズでは、パッケージとして100から300ピンの薄型を中心にラインアップしている。

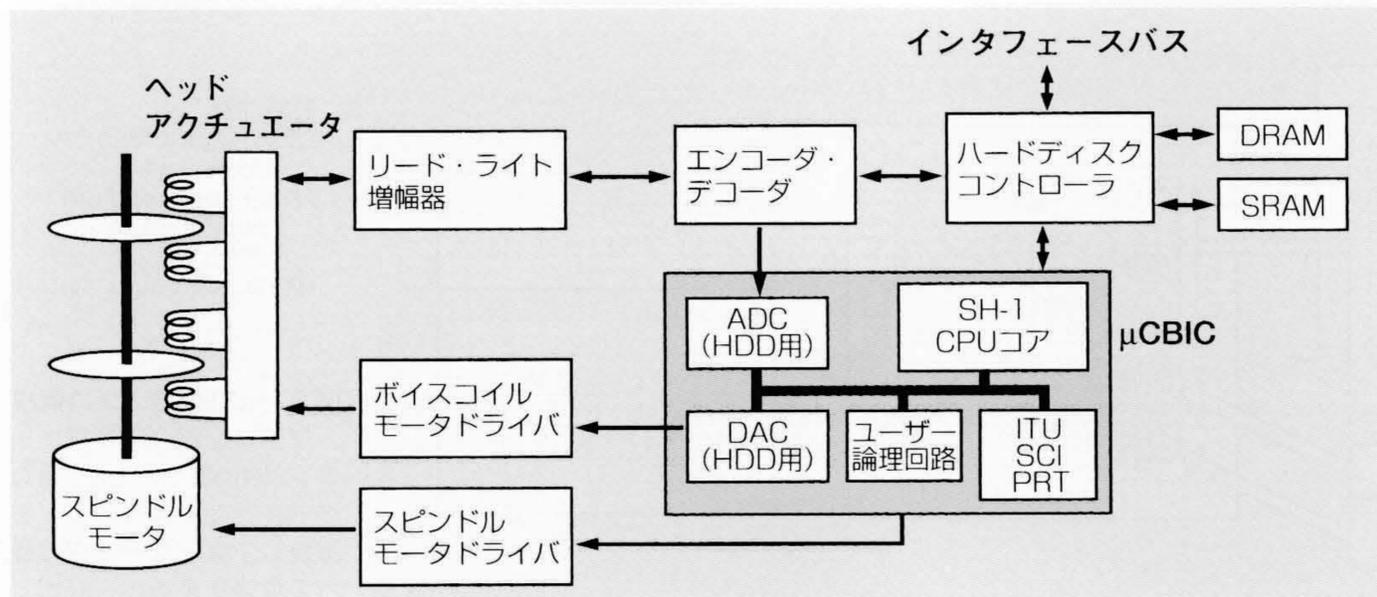
5.3 論理設計

SH-1マイコンの論理回路設計は、自動設計ツールであるマイコンコンパイラで行うことができる。ユーザーが指定するCPUコア、周辺機能の情報を入力することで、マイコンコンパイラがその情報に基づいて、必要な機能だけを持つマイコン論理回路を自動生成する。ROM、RAMなどのメモリはメモリコンパイラを使用し、ビット・ワードの構成を指定して自動生成する。

このようにして設計したマイコン、メモリやユーザー論理回路をLSIレベルで結合して論理設計を完了する。

5.4 テスト回路生成

μCBICはマイコン、周辺機能、ユーザー論理回路など



注：略語説明 PRT (Port)

図5 HDDシステムへのμCBIC適用例

SH-1 CPUコア、周辺機能とHDD用A-D、D-A変換器、ユーザー論理回路をμCBICとして1チップ化した例を示す。個々に実装されていた部品をまとめ、システムの小型化を実現している。

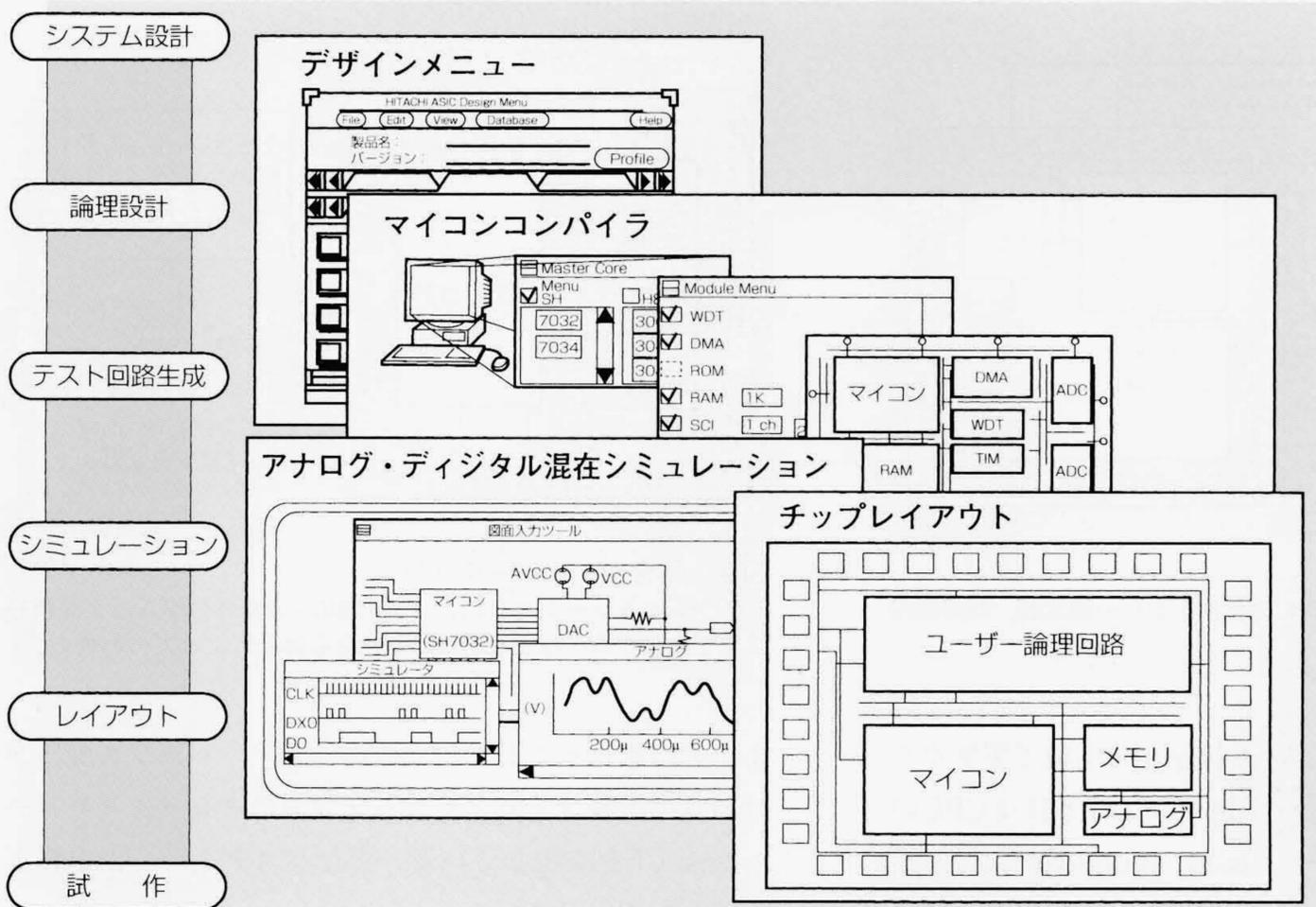


図6 μ CBIC開発のフロー
 μ CBICの開発では論理設計、テスト回路生成、シミュレーション、レイアウトなどで各種設計支援ツールを用意している。これにより、 μ CBICの開発を短期間で行うことができる。

複数の機能ブロックが混在して搭載されるため、LSIの構成も大規模で複雑なものとなる。このために問題となるのが論理回路のテストビリティである。通常、このテストビリティを向上させるため、LSI論理回路の中には目的の機能を実現するための回路のほかに、テスト回路を設計し作り込んでおく必要がある。 μ CBICの設計では二つのテスト回路生成方式により、ユーザー設計負担を大幅に軽減している。

標準セルで構成するユーザー論理回路に対しては、スキャン回路を付加してテストビリティを確保するシフトスキャン方式を適用する(図7参照)。この方式では、スキャン用フリップフロップの挿入、データのスクランイン・スクランアウトを制御するコントロール回路の付加、および回路をテストするテストベクタの生成が行われる。

SH-1 CPUコア、周辺機能、メモリなどに対しては、個々の機能ブロックを他のブロックと論理的に分離し、LSIの外側のI/O端子からテストを行うマルチプレクス方式を用いる(図8参照)。マルチプレクス方式では、CPUコアなどの機能ブロックがLSI外部から単独に観測できるような制御回路が、機能ブロックの外側に付加される。また、テストベクタの変換も同時に行われる。

5.5 シミュレーション

シミュレーションでは、主にユーザー論理回路の検証、

およびCPUコア、周辺機能、ユーザー論理回路を含む μ CBIC LSI全体の検証を行う。

ユーザー論理回路は、従来のゲートアレーと同様な論理シミュレーションとして行われる。一方、LSI全体の検証のための結合シミュレーションでは、CPUコアなどの機能ブロック間の論理接続を主に検証する。CPUコア、周辺機能はあらかじめ論理検証済みであり、ライブラリ化されてユーザーに提供されるため、ここでのシミュレーションは必要ない。

結合シミュレーションでは μ CBIC LSIの外部にROM

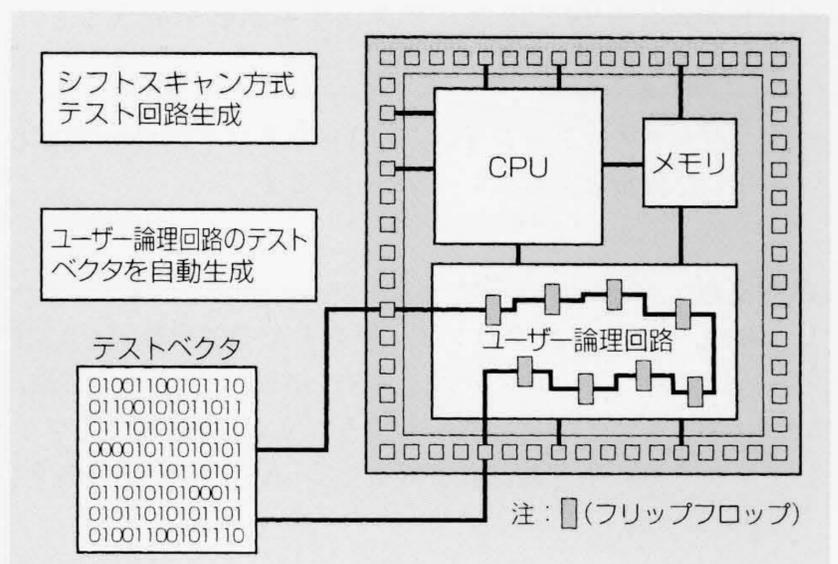


図7 シフトスキャン方式

ユーザー論理回路にテスト回路が自動生成される。テストベクタの生成も行われる。

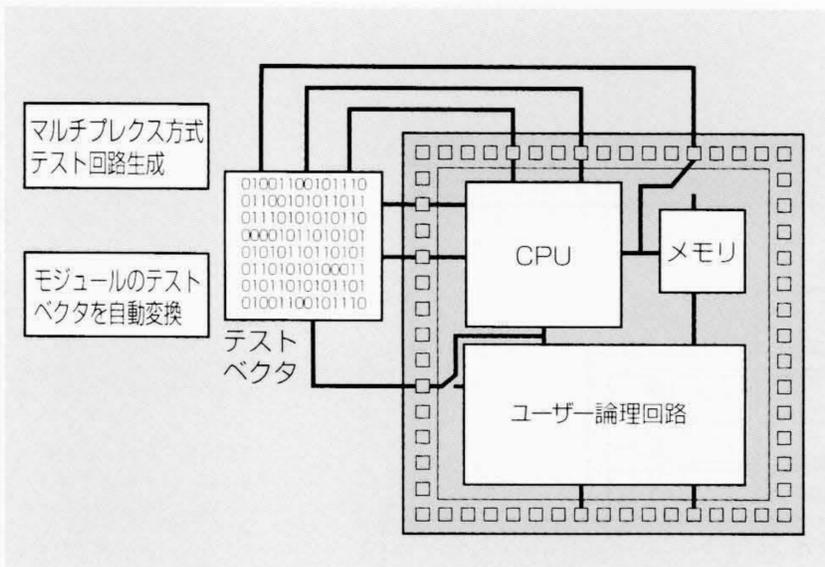


図8 マルチプレクス方式

CPUコアなどの機能ブロックの外側に、信号分離回路、制御回路が自動生成される。

を配置し、これをCPUのバスと接続した環境で実施する(図9参照)。各機能ブロック間の接続は、SH-1 CPUの命令プログラムによるデータ転送、割込み処理などを実行させて確認する。例えば、SH-1 CPUコアとユーザー論理回路がデータバス、アドレスバスで接続されている場合、ユーザー論理回路内のレジスタをリード・ライトし、その結果をLSI外部に出力させることによって確認する。このような動作を行うためのSH-1 CPUのプログラムがLSI外部のROMに置かれる。CPUコアをはじめとするすべての論理回路は、実デバイスを基に抽出した信号遅延情報を持ち、同時に信号タイミングについても検証できる。

5.6 レイアウト

システムの高速化に伴って、LSI内部の信号をいかに精度よく制御し、信号遅延による誤動作、動作周波数の低下を防ぐかが重要になっている。クロック信号については自動配置配線でのクロックツリー制御を行うことに

※2) バックアノテーション：LSIレイアウト結果から抽出した情報をシミュレータへ戻すこと。

参考文献

- 1) 萩原, 外: マイクロコンピュータとA-D変換器, D-A変換器を搭載できる新ASICシリーズ, 日立評論, 76, 7, 497~500(平6-7)
- 2) 内田, 外: アナログ・デジタル搭載ASIC, 日立評論, 77, 10, 701~704(平7-10)
- 3) マルチメディア化をリードする日立のSuperHマイコン・ASIC, 日経エレクトロニクス, 1995.11.20, No. 649, pp.35~37
- 4) マルチメディア機器の中核を担う-ASIC対応でシステムオンチップを実現, 日経エレクトロニクス, 1995.12.4, No.650, pp.51~53

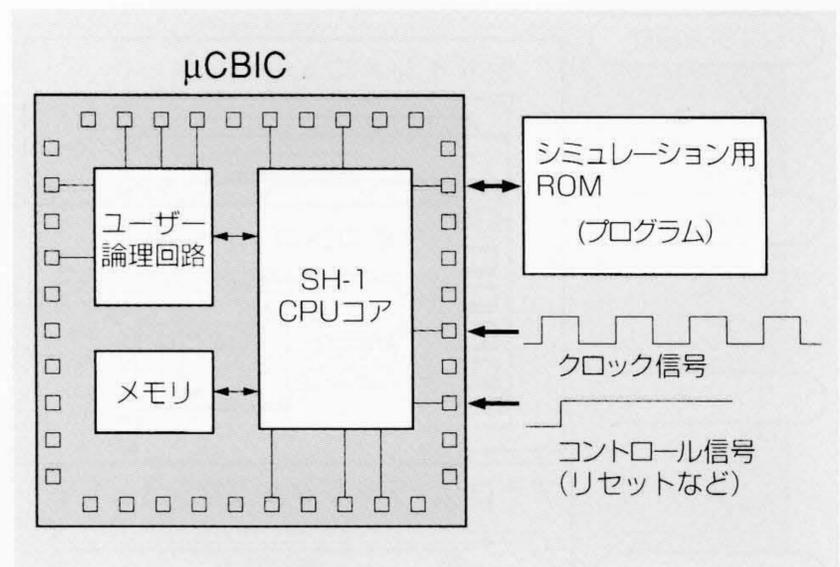


図9 結合シミュレーション

結合シミュレーションによってμCBIC LSI全体のブロック間接続論理を検証する。検証動作はCPUの命令実行によって行われる。

よって、クロックドライバの均一配置、バランス配置が行われ、末端フリップフロップ入力のクロックスキュー0.2 ns以下を実現している。またパスディレー指定による配置配線も可能である。

レイアウト結果から信号配線容量、配線抵抗を考慮した実負荷抽出を行い、SDF(Standard Delay Format)を介してシミュレータへバックアノテーション※2)をすることができる。

6. おわりに

SHシリーズマイコンはマルチメディア対応のプロセッサであり、デファクトスタンダード(事実上の標準)としての地位を築きつつある。こうした中で、システムオンチップを可能とするμCBICへの期待は大きい。

ここで述べたHG72CシリーズはSH μCBICの第一弾であり、今後、SH-3 μCBICなどの展開も進める。さらに、CPUコア以外にも用途分野ごとに対応したAS(Application Specific)モジュールや、大容量メモリモジュールのラインアップを図っていく、真のシステムオンチップを目指す考えである。