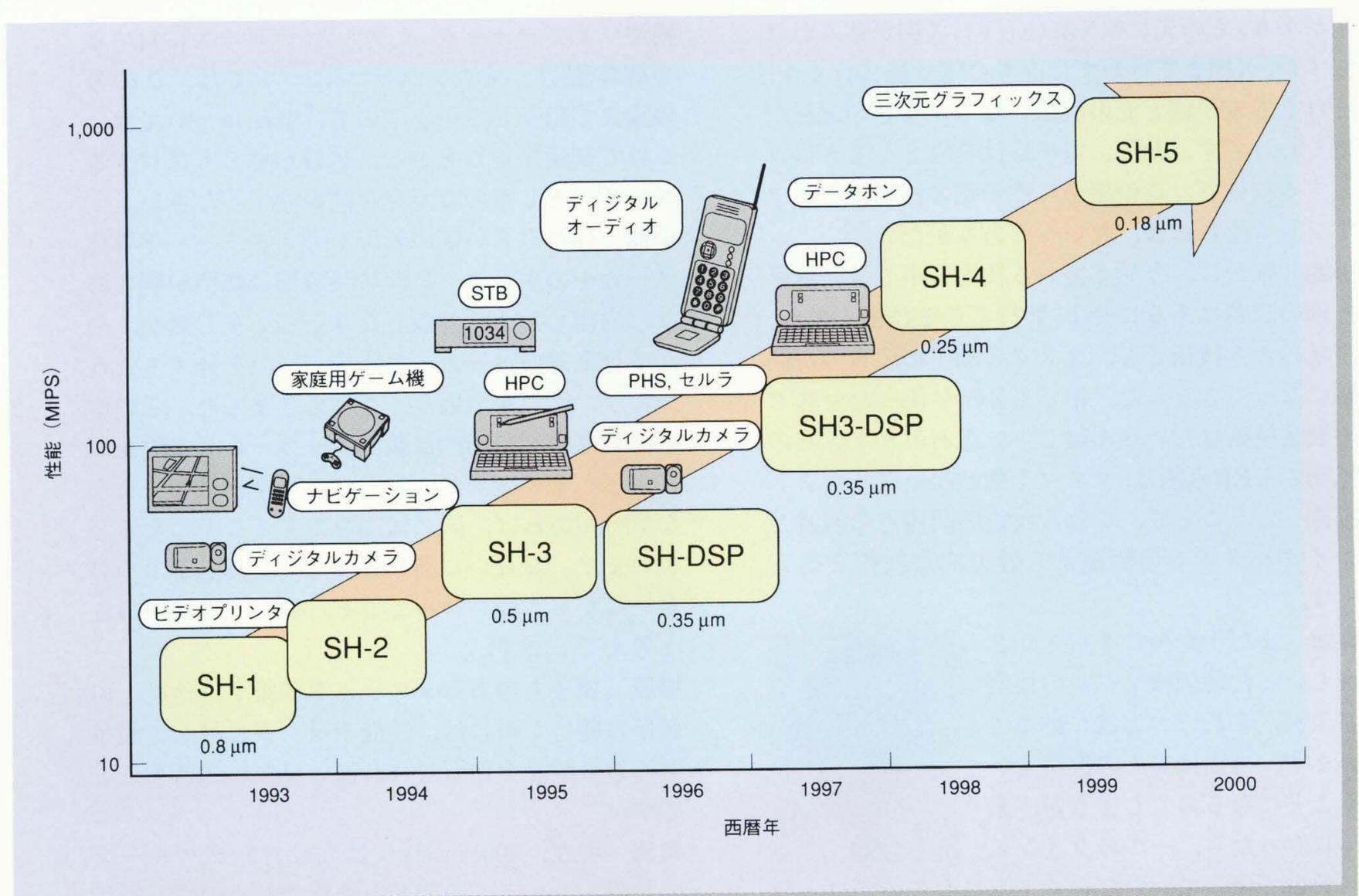


サブクォータミクロン時代の 半導体プロセス・製造技術の展望

Technological Trends in Subquarter Micron Semiconductor Process and Manufacturing

長沢幸一 *Kôichi Nagasawa*
小林伸好 *Nobuyoshi Kobayashi*
清田省吾 *Shôgo Kiyota*



注：略語説明 STB (Set Top Box)

微細化、高性能プロセスでRISCプロセッサの高性能化を実現

日立製作所は、最先端の微細加工技術、多層配線技術をSuperHシリーズRISCプロセッサに適用し、高速、低消費電力のマルチメディア用LSIの開発を推進している。

サブクォータミクロン(0.25 μm以下)時代には、1億個を超えるトランジスタがシリコンチップ上に搭載可能になる。システムをシリコン上で実現する技術的基盤も整ってくる。システムソリューションがこれまで以上にビジネスの重要なファクターになり、ダウンサイジングの波に匹敵する大きな変化が、半導体分野でも起こっていくものと考えられる。

技術開発の速度は、以前にも増して加速された。プロセス開発のドライバーはDRAM(Dynamic Random Access Memory)だけに依存するのではなく、マイクロ

プロセッサなどのロジック製品も先端の技術を牽(けん)引することになる。特にロジック製品では、多層配線技術と、配線抵抗の低減、配線間容量の低減による高速化技術が当面の課題である。

微細加工技術では露光装置の極限追求が課題となり、KrFスキヤナ、ArFスキヤナ、EB(Electron Beam)直描の選択を迫られることになる。

生産技術面では、革新的な生産性向上を図る必要がある。大口径化によるスループット改善とTAT(Turn-around Time)の短縮は、特に重要な課題である。

1. はじめに

1994年版の米国半導体協会(SIA)半導体技術ロードマップが公表されて以来、世界中の半導体関連産業は、これを目標にビジネスを推し進めてきた。しかし1996年以降、開発の加速傾向が顕著になり、現在では約1.5年から2年加速されるというのが一般的な見方になりつつある。CMP(Chemical-Mechanical Polish)技術による素子表面の平坦(たん)化と、エキシマレーザ露光装置や超解像技術の出現により、微細加工技術に弾みがついたことが大きな要因と考える。また、DRAM(Dynamic Random Access Memory)が半導体プロセス技術を牽引し、ロジック系デバイスが技術財産を受け継ぐという、従来の開発パターンが崩れ、開発がほぼ同時期となってきたことも近年の大きな変化の一つである。

一方、半導体応用機器は携帯性とシステムの統合化を指向しており、低消費電力性能とオールインワン型複合デバイスの実現が大きな課題になってきた。

ここでは、これらの変化に焦点を当てて、サブクォータミクロン(0.25 μm 以下)時代の半導体プロセスと製造技術について述べる。

2. デバイス技術

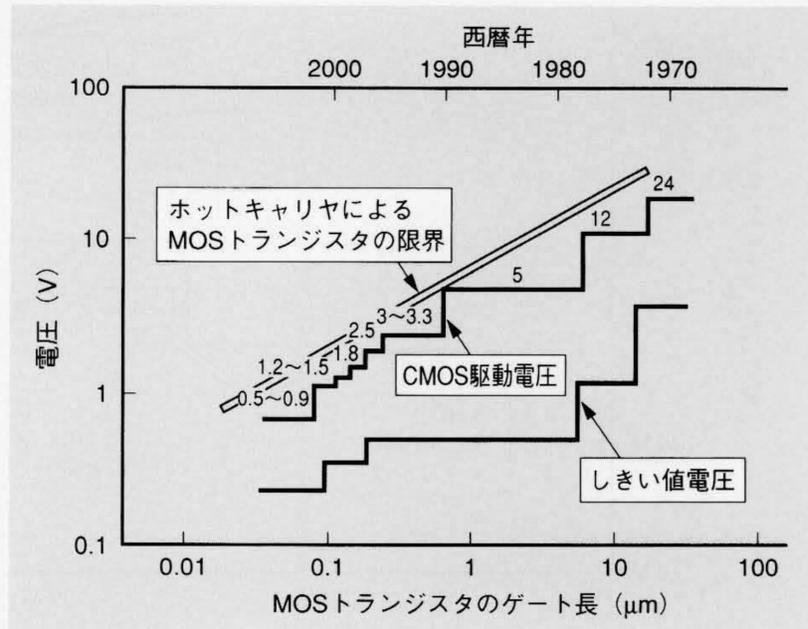
2.1 低消費電力化

小型携帯機器にとって、バッテリーの長寿命化は避けられない課題である。また、ワークステーションなどの高性能機器では、発熱の問題を解決しなければならない。

長い間、電源電圧は5Vの時代が続いたが、1990年代に入り3.3V電源が導入されると、低電圧化の動きが加速された。1997年後半から市場に投入されるマイクロプロセッサなどのクォータミクロン製品は、大半が2.5Vまたは1.8V動作である。電源電圧の推移を図1に示す。5V動作で問題であったホットキャリアによるMOS(Metal-Oxide-Semiconductor)トランジスタの劣化現象は、電源電圧の低下によって回避できるようになった。しかし一方、回路の動作マージンを確保するため、しきい値電圧も低下させる必要があり、待機時電流の増加という新たな問題に直面することになった。待機中の回路に基板側から電圧を加えて電流を遮断する方式も、クォータミクロンデバイスで初めて採用される。

2.2 システム化

近年、半導体技術で起こりつつある変化の中で最も顕著なものは、システム化への傾斜である。日立製作所は



注：略語説明

CMOS(Complementary MOS)

図1 MOSトランジスタの電源電圧推移

低消費電力化へのニーズによって電源電圧の低下が進む。ホットキャリアによるMOSトランジスタの劣化は電源電圧の低下によって回避されるが、回路マージン確保のためにはしきい値電圧も低下させることが必要になり、オフ電流の増加という新しい課題が発生してきた。オフ電流遮断を回路上で行う方法でブレークスルーを図る。

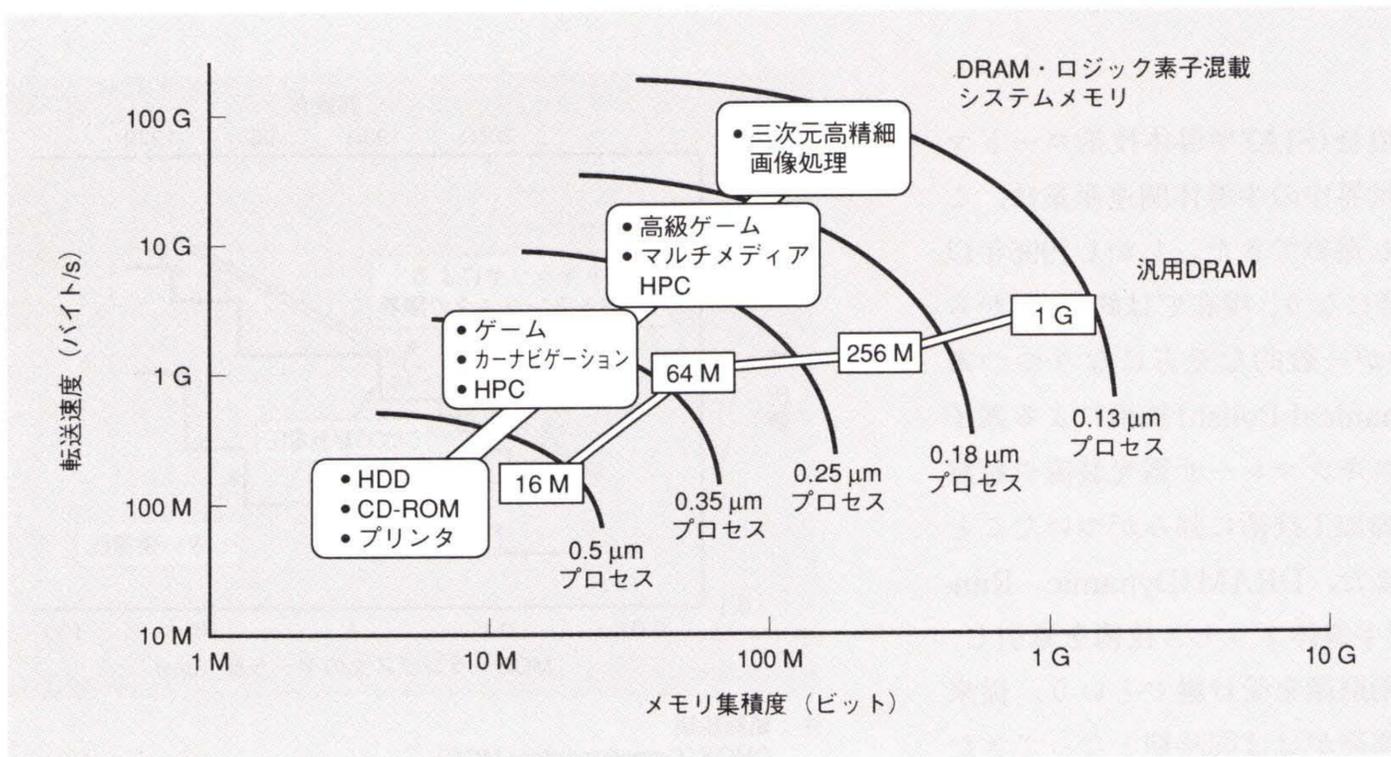
従来、EPROM(Erasable Programmable Read-Only Memory)を搭載したZTAT(Zero Turnaround Time)マイコン(マイクロコンピュータ)や、フラッシュメモリを搭載したFZTAT(Flexible ZTAT)マイコン、およびCBIC(Cell Based IC)を商品化してきた。これらは不揮発性メモリをシステムのプログラムに用いるデバイスであり、ユーザーが自由にプログラムできるため、これらによってシステム開発期間の短縮が図られる。

このような従来の動きに対し、DRAM搭載システムが注目を集めている。DRAM搭載システムの応用例を図2に示す。これまで、大容量のメモリを高速で転送するシステムでは、DRAM自身の高速化が図られてきた。今後、動画像を扱うような高度なシステムでは、DRAMをチップの中に取り込むことにより、いっそうの高速化を図ることができる。

3. プロセス技術

3.1 微細加工技術

従来の微細加工のトレンドはDRAMが牽引してきたが、サブクォータミクロン時代には、ロジック素子についても、ほぼ同時期に開発することになる(図3参照)。リソグラフィの光源は、水銀灯(i線)からKrFエキシマレーザ(波長0.248 μm)に主役が移る。これに加えて、加



注：略語説明
 HPC (Handheld Personal Computer)
 HDD (Hard Disc Drive)
 CD-ROM (Compact Disc Read-Only Memory)

図2 DRAM搭載システムLSIの進展

DRAM・ロジック素子混載のシステムメモリがサブオータミクロン時代のキーデバイスとなる。DRAMだけでは得られない超高速転送速度を引き出すことが可能になり、動画のような高級画像処理が実現できる。

工寸法がKrFの波長以下になると、解像度と焦点深度をさらに向上させるために、位相シフト法や変形照明法などの超解像技術の併用が必要となる。このため、新たな露光装置やレジスト材料を開発するとともに、OPC (Optical Proximity Correction)技術や、高精度なEB (Electron Beam)描画を用いたマスクレチクルの製造技術が今後重要となる。微細性が特に要求される層については、EBリソグラフィーの併用が進む。

ドライエッチ技術では、微細化に伴って高アスペクト化するコンタクトの高選択加工や、ロジック素子を中心に高精度なゲート電極加工が重要となる。ゲート酸化膜は、3 nmまたは4 nmまで薄膜化するのので、信頼性を確保するためには、レジスト除去を含む、低ダメージな加工技術の開発が急務である。

3.2 配線技術

配線技術は、ロジック素子を中心に配線の多層化(> 5層)が進んだ結果、LSIの性能とコストを決める重大要因となってきた。

平坦化はリソグラフィーの焦点裕度を高めるうえでも重要であり、層間絶縁膜を研磨して平坦化するCMPが使われ始めている。サブオータミクロンの時代にCMPは、絶縁膜だけでなく、タングステンやアルミニウムのプラグ形成、銅の埋込配線形成などのメタル平坦化へも広く応用される。

また、コンタクト・層間接続孔のアスペクト比は5以上になり、従来のタングステンCVD (Chemical Vapor Deposition)に加えて、リフローパッタやCVDを用いたアルミニウムの埋込技術、窒化チタンCVDを用いたバ

リアメタル形成などの改善が必要である。

ロジック素子の高速化とともに顕在化してくるのは、配線のRC (Resistance-Capacitance)遅延の問題である。微細化によって配線抵抗(R)が増加し、配線ピッチの減少(0.6 μm以下)で隣接の配線間容量(C)が増加するためである。従来のアルミニウムに比べて抵抗が半分の銅配線、およびSOG (Spin on Glass)やフッ素添加SiO₂などの低誘電率層間絶縁膜の導入を進めている。

3.3 DRAMキャパシタ技術

DRAMでは、64 Mビット、256 Mビットと、高集積化とともにキャパシタ容量の確保が急務となっている。

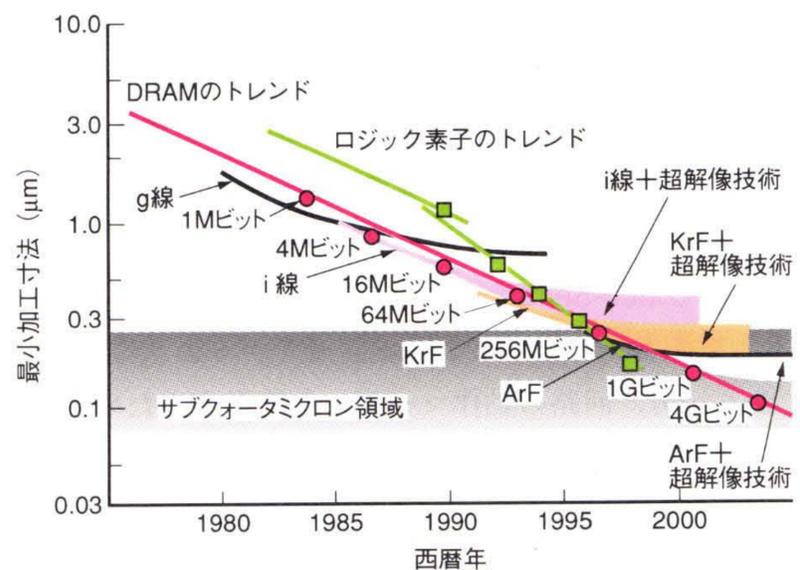


図3 微細加工技術のトレンド

近年、ロジック素子の開発が早まり、DRAMと同時期にまで追いついた。今後、微細加工技術は両者が牽引することになる。サブオータミクロン時代の微細加工技術は、エキシマレーザースキャナとEB直描によって使い分けが行われる。

ノイズマージンを確保するのに要求されるキャパシタ容量は、微細化にかかわらずほぼ一定(35 fF)である。そのため、世代ごとにキャパシタの表面積またはキャパシタ絶縁膜の誘電率(ϵ)を増加させる方策を採ってきた。日立製作所は、4 Mビットから、スタック型のメモリセルと多結晶シリコン膜上に形成した酸窒化膜($\epsilon=8$)を用いてきた。しかし64 Mビット以降では、メモリセルの高さが1 μm に近づくため、製造が困難になる。そこで、5酸化タンタル膜(Ta_2O_5 ; $\epsilon=25$)やチタン酸ストロンチウム・バリウム膜(BST; $\epsilon=200$)などの高誘電率膜の開発を進めている。

プロセスの動向をまとめて図4に示す。今後のロジック素子とDRAMとのプロセス融合を考えると、メモリセルと多層配線プロセスとの融合が重要なポイントである。

4. 生産技術

4.1 ウェーハ加工

近年、半導体の投資は巨額になってきている。装置価格は世代ごとに1.5倍、LSIの工程数は1.3倍の増加であ

る。このペースが進むと、生産設備投資は世代当たり2倍で増加していく。これには、プロセス設計面での工程数の短縮や作りやすさの追求によって対応する。装置面では、標準化やスループットの向上が重要である。COO (Cost of Ownership)やAA (Availability Analysis)シート分析は、生産性向上を目的とした有効な分析手法である。前者はウェーハ1枚を完成するための前工程プロセスのコスト分析であり、後者は装置稼働やウェーハ処理の物理時間の分析手法である。これらから抽出された課題は、設計レベルやTQM (Total Quality Management), TPM (Total Productive Maintenance)などの活動に反映される。

TATの短縮化は、試作開発ラインにとっても量産ラインにとっても重要である。日立製作所が提案したスーパークイックTATラインやバーチャルモジュール生産ラインは、現在、順調に稼働している。

4.2 ウェーハ大口径化

MOS LSIのこれまでは、微細化の歴史でもあり、ウェーハの大口径化の歴史でもあった。LSIの世代が進み、

| 項目 | | 西暦年度 | | 1991 | 1995 | 1997 | 2000 | 2005 | | |
|------------------------|---|----------------------|--------------------|--------------------|--|--------------------|------------------------------------|--------------------|------------|--------|
| 最小加工寸法 | | サブミクロン | | | サブクォータミクロン | | | | | |
| | | 0.5 μm | 0.35 μm | 0.25 μm | 0.20 μm | 0.18 μm | 0.15 μm | 0.13 μm | | |
| DRAM製品開発 | | 16 Mビット | | | 64 Mビット | | 256 Mビット | | 1 Gビット | 4 Gビット |
| ロジック素子の配線層数 | | 3 | | | 4~5 | | 5~6 | | | |
| 微細加工 | 露光光源 超解像 EB ドライエッチ | 水銀灯(g線) | | | i線 | | KrFエキシマレーザ | | ArFエキシマレーザ | |
| | | ハーフトン・変形照明 | | | レヴェンソン・変形照明 | | EB直接描画 | | EB高速描画 | |
| | | 高選択コンタクト, 低ダメージゲート加工 | | | 新材料加工 (BST/Ru, RuO ₂ , Pt) | | | | | |
| 配線 | 平坦化 コンタクト・ビア メタル配線 層間絶縁膜 デバイス | SOGエッチバック | | | 絶縁膜CMP | | W, AlプラグCMP | | Cu CMP | |
| | | Wプラグ+TiN/Tiバリア | | | CMP-W, Alプラグ+CVD-TiN/Tiバリア | | Cuデュアルダマシ | | | |
| | | Al/TiN/Ti配線 | | | HDP-SiO ₂ , SiOF | | Cu/TiN埋込み(ダマシ)配線 | | | |
| | | SOG | | | TiSi ₂ /CoSi ₂ サリサイド | | 低 ϵ -SOG, 有機膜 ポリメタルゲート | | | |
| キャパシタ 絶縁膜 | セル構造 キャパシタ 電極 | スタック型フィン構造 | | | クラウン構造 | | クラウンHSG構造 | | 単純スタック型 | |
| | | 酸窒化膜(ONO) | | | Ta205 | | BST | | | |
| | | 多結晶シリコン | | | CVD-TiN | | Ru, RuO ₂ , Pt | | | |
| ロジック・メモリ混載 のプロセス術課題 | | メモリセル高さの低減・高アスペクトビア | | | | | | | | |
| | | メモリセルプロセスの低温化 | | | | | | | | |
| | | デバイスの高性能化 | | | | 汚染対策 | | | | |
| | | 発熱対策 | | | | 配線・キャパシタプロセスの配合 | | | | |

注：略語説明 SiOF(フッ素添加SiO₂膜), HSG (Hemispherical Grain)

図4 サブクォータミクロン時代のプロセス動向

ロジック素子の製造では配線技術が鍵になる。低抵抗メタル配線、低誘電率層間絶縁膜、平坦化、ビア内埋込みなどが技術課題であり、新材料の適用も進む。DRAMのキャパシタにも、高誘電率新材料によってブレイクスルーが図られる。

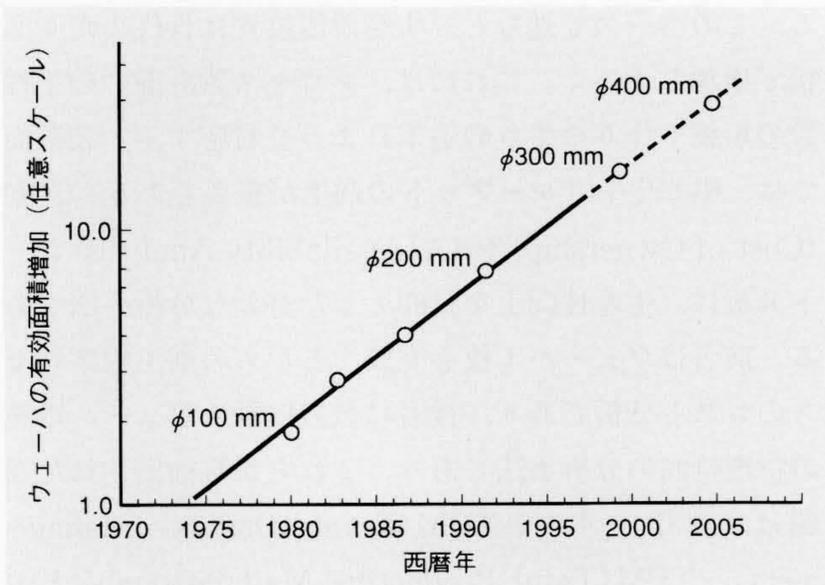


図5 MOS LSIにおける大口径化の推移

微細化でカバーできないコスト増大を補うため、3年ごとに1.36倍のピッチで大口径ウェーハが導入されてきた。φ300 mmの生産ラインは1999年までに出現すると思われる。

チップが3年で4倍に高集積されるに従って、3年で2～3倍という、微細化では吸収しきれない部分をLSIチップの大型化で対応してきた。チップが大型化する分、1枚のシリコンウェーハから得られるLSIチップ数は目減りしていく。これを補う形で、ウェーハの大口径化が3年で1.36倍のピッチで導入されてきた(図5参照)。

φ300 mmウェーハで大きく変わろうとしているのは、クリーンルーム内のウェーハ搬送技術と枚葉処理技術の取り込みである。カセットにウェーハを25枚収納すると、その重さが8 kg(φ200 mmでは4 kg)にもなるため、搬送を人手に頼ることは困難になり、何らかの自動搬送が必要になる。

4.3 検査技術

デバイスの微細化や複雑化に伴い、寸法や欠陥などの検査計測技術の開発への期待がますます高まっている。

パターン寸法を正確に計測するCD-SEM(走査電子顕微鏡)では、サブクォータミクロン時代には2 nm程度の解像分解能が要求される。さらに、レジストなどからのコンタミネーション(汚染)防止や、振動、ノイズに対する耐性なども課題である。

マスク合せ精度測定でも、技術の向上が望まれる。高精度計測はもとより、ステップへの自動フィードバックや、短時間で統計的データを処理できる高速性が今後の課題になっている。

また、微小欠陥の自動検出では、0.1～0.15 μmの分解能力が必要になる。限界ぎりぎりまで見ようとすると、虚報が増える。虚報の中から実欠陥を見分けて分類するため、自動的に分類作業をアシストできる技術も重要で

ある。もっと微小な欠陥を検出するために、電子ビームを応用したSEM外観検査装置がある。

検査データを総合的に突き合わせて分析するトラッキングシステムも、歩留りを効率的に向上させるために重要なツールである。

5. おわりに

ここでは、半導体のサブクォータミクロン時代を迎えて起こりつつある変化と、今後重要になってくるデバイスプロセス技術や生産技術について述べた。

紙面の都合で、特に重要なものだけに焦点を当てたが、ほかにも課題は山積している。また、技術のハードルはますます高くなっていくものと思われる。今後、これらを着実に克服してシステムLSIの時代を切り開いていく考えである。

参考文献

- 1) D.A.Hicks: Evolving Complicity and Cost Dynamics in the Semiconductor Industry, IEEE Transaction on Semiconductor Manufacturing, p.294(1996-8)
- 2) 21世紀に向けた半導体技術基盤の構築: 半導体産業研究所(1996-3)

執筆者紹介



長沢幸一

1970年日立製作所入社、半導体事業部 半導体技術開発センター プロセス技術開発部 所属
現在、半導体プロセス技術の開発に従事
IEEE会員
E-mail: nagasawa@cm.musashi.hitachi.co.jp



小林伸好

1980年日立製作所入社、半導体事業部 半導体技術開発センター ULSIプロセス開発室 所属
現在、半導体プロセス技術の開発に従事
応用物理学会会員、電子通信学会会員、IEEE会員
理学博士
E-mail: n.kobaya@cm.crl.hitachi.co.jp



清田省吾

1967年日立製作所入社、半導体事業部 生産技術センター 所属
現在、半導体のプロセス技術・生産技術の開発に従事
E-mail: kiyota@cm.musashi.hitachi.co.jp