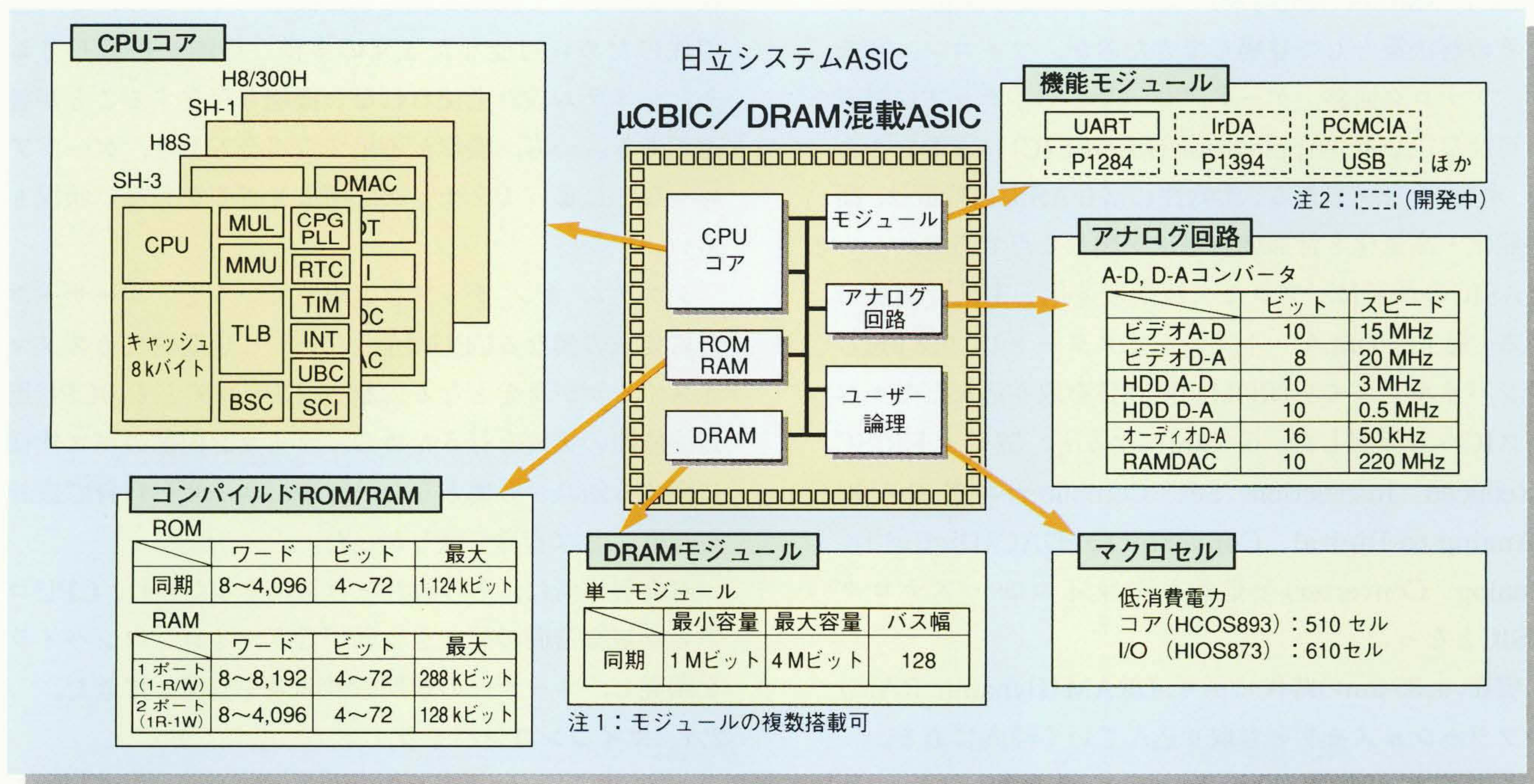


システム オン チップを実現するASIC技術

ASIC Technologies for Realizing the System-on-a-Chip

斉藤 薫 Kaoru Saitō
鈴木隆幸 Takayuki Suzuki



注3: 略語説明 CPU (Central Processing Unit), MUL (Multiplier), MMU (Memory Management Unit), TLB (Translation Lookaside Buffer)
BSC (Bus Controller), CPG (Clock Pulse Generator), PLL (Phase-Locked Loop), RTC (Real-Time Clock), TIM (Timer), INT (Interrupt Controller)
UBC (User Break Controller), SCI (Serial Communication Interface), DMAC (Direct Memory Access Controller), ROM (Read-Only Memory)
μCBIC (Micro Cell Based IC), RAM (Random Access Memory), DRAM (Dynamic RAM), A-D (Analog-to-Digital)
UART (Universal Asynchronous Receiver/Transmitter), IrDA (Infrared Data Association)
PCMCIA (Personal Computer Memory Card International Association), USB (Universal Serial Bus), D-A (Digital-to-Analog)
HDD (Hard Disc Drive), RAMDAC (RAM Digital-to-Analog Converter), R (Read), W (Write), I/O (Input-Output)

μCBICとDRAM混載ASIC

μCBICは、SuperH, H8シリーズのマイコン(マイクロコンピュータ)をコアとし、高速・高精度アナログ回路、機能モジュール、コンパイルドメモリ、およびユーザー独自論理を載せたカスタムマイコンを実現する。DRAM混載ASICは、μCBICの機能に加え、大容量DRAMを搭載可能とする(混載用専用プロセスを使用)。

従来のコンピュータ、コミュニケーション、コンシューマという、それぞれのメディアが融合していくマルチメディア技術の発展に伴い、われわれのライフスタイルが大きく変わりつつある。すでに小型・軽量化されたコンピュータを手軽に外で持ち歩き、ネットワークと複合化された携帯端末が身近に、低価格で手に入る時代となっている。これは、半導体のVLSI, ULSI技術の進歩によるところが大きい。

マルチメディア機器には、小型化、高機能化、低消費電力化、低価格化が要求される。しかし、半導体にとってこれら命題は相矛盾した要素をはらんでいる。その矛盾をクリアする手法の一つとして、システムをシリコン

上に実現することが可能な、いわゆるASIC(Application Specific Integrated Circuit)技術がある。昨今、われわれが身近に使用しているハンドヘルドパソコン、カーナビゲーション、デジタルカメラ、携帯電話、ゲームなどのすべての機器が、このASIC技術によって支えられていると言っても過言ではない。

日立製作所は、マイコン搭載型のASICをμCBIC(Micro Cell Based IC)と名付け、SuperHやH8シリーズのCPU(Central Processing Unit)コアのほか、アナログ回路、IP(Intellectual Property)の搭載による、システム オン チップを推進している。さらに、DRAM混載ASICを新たな主力製品として市場投入を開始した。

1. はじめに

機器の携帯化やマルチメディア化には高機能複合技術が要求され、かつ小型・低消費電力化の実現という相反するチャレンジが必要となる。また、電子機器のライフサイクルが短くなっている現在、開発期間の短縮によるTime to Market(発売時期)への対応も重要な課題となる。

その解決策として登場してきたのが、マイコン、メモリ、アナログ回路、ゲートアレーなどを1チップに搭載が可能な、ASIC(Application Specific IC)によるシステムオンチップである。柔軟性に富むASICの特徴は、高機能化・高速化と付加価値追求が図れる点である。

ASICの革新は、プロセス技術の進化と密接な関係がある。過去、3 μ mゲートアレーでスタートし、0.8 μ mでコンパイルドメモリ(ROM, RAM)を取り込んだセルベースICへと発展した。0.5 μ mになると、32ビットRISC(Reduced Instruction Set Computer)コアやADC(Analog-to-Digital Converter)・DAC(Digital-to-Analog Converter)を搭載したマイコン・アナログASICとなった。

現在、0.35 μ mの時代に至り、DRAM(Dynamic RAM)やフラッシュメモリをも取り込んでいく傾向にある。

ここでは、日立製作所のシステムオンチップへの取組みと、 μ CBIC(Micro Cell Based IC)やDRAM混載ASICの特徴、優位性、および将来への展望について述

べる。

2. マイコン搭載型セルベースIC(μ CBIC)

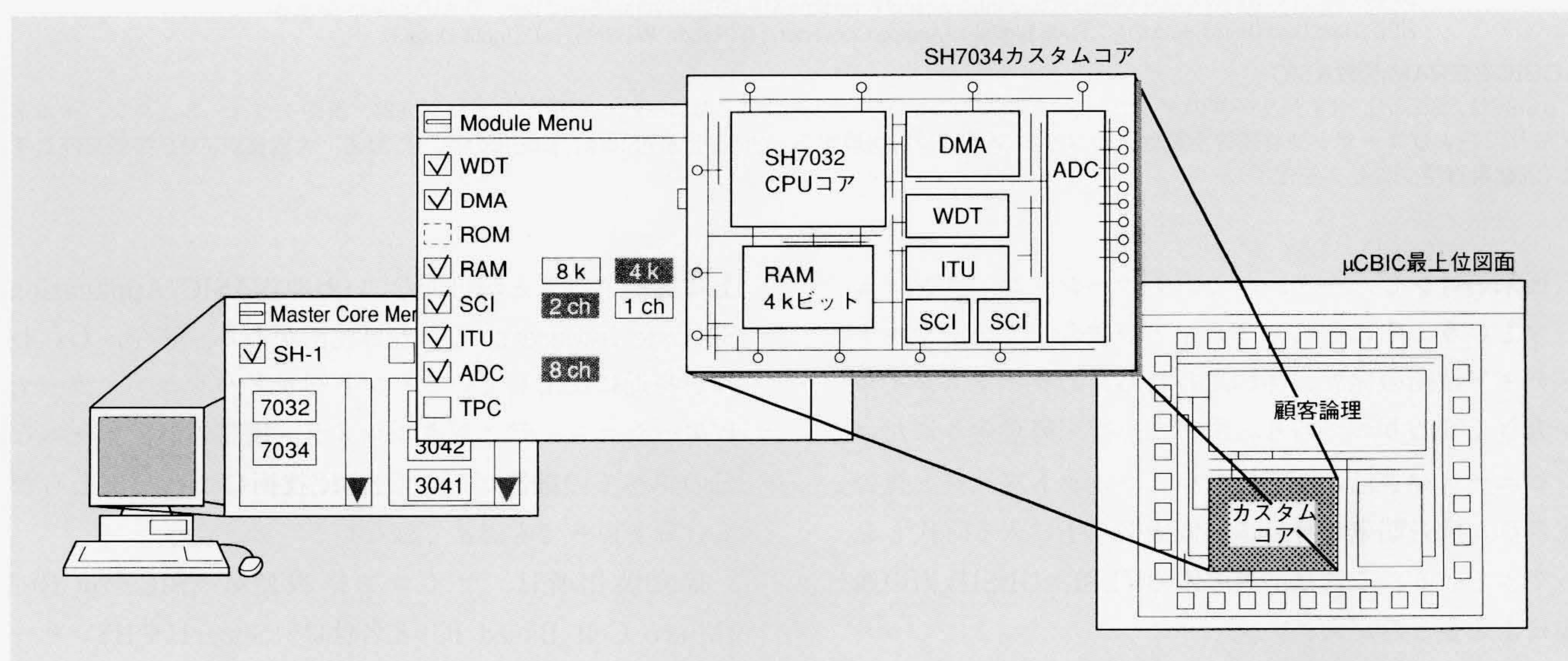
電子機器の小型化、高機能化を実現するためには、システムオンチップが不可欠であり、特にCPU(Central Processing Unit)コアが重要な要素技術となる。従来、標準製品として開発されてきた標準マイコンは、その汎用性のために可能なかぎりの多様な機能を搭載しており、システム設計上使われない機能も存在することが普通である。一方、機能が不足する場合もあり、ゲートアレーなどによって2チップで構成せざるをえない状況も多い。

システムオンチップを追求していくと、ユーザーごとに要求の異なるCPU機能を、いかに短期間にカスタマイズするかが重要となる。また、CPUコアとそのCPU周辺機能間の接続を行うために、マイコン内部のバス仕様に関する知識が必要となり、従来、ユーザー自身で設計を行うことは容易ではなかった。

日立製作所は、その設計を容易にするために、CPUコアと周辺機器間の配線を自動で行うマイコンコンパイラを開発し、ユーザーの短期設計開発を支援してきた。

2.1 マイコンコンパイラ

マイコンコンパイラはワークステーション上で起動するツールで、会話型のメニュー形式により、モジュール化されたCPUコアや周辺機能の選択を行っていく。選択



注：略語説明 WDT (Watchdog Timer), SCI (Serial Communication Interface), ITU (Integrated Timer Unit), DMA (Direct Memory Access)
TPC (Timing Pattern Controller), ch (channel)

図1 マイコンコンパイラの概要

マイコンコンパイラは、ワークステーション上のメニュー画面から必要なモジュールを選択し、自動的にカスタム仕様のマイコン(カスタムコア)ネット、シミュレーションモデル、およびカスタムコア単体テストパターンを生成する、日立製作所のオリジナルツールである。

されたCPUコアと周辺モジュールは、結線後、ネットとシンボルとして生成される(図1参照)。

メニュー選択では、まずベースとなる標準マイコンを選択する。次に、そのマイコンに含まれる周辺機能の中から、必要な機能だけをモジュール単位で選択する。特にDMA(Direct Memory Access)では、使用するモジュール数の選択が可能となり、A-D変換では、アナログ入力チャネル数を選択することも可能である。また、CPUに直結する固定容量のROM/RAMを、標準マイコンと同等のバリエーションで選択することが可能である。

2.2 マイコンコア

マイコンを搭載するLSIの場合、システム全体の検証をいかに効率よく行うかが重要となる。そのためには、CPUコアやその他の周辺モジュールを検証済みのライブラリとして扱うことが必要となる。チップ上に複数の機能を検証済みのライブラリとして搭載することにより、フレキシブルに、かつ短期間に検証が可能となる。特に、アナログ回路のように、特性がセンシティブな回路は、ブロック単位で機能・特性を検証済みのモジュールとしてラインアップすることで、検証期間を短縮する。

また、すべてのCPUコアや周辺モジュールには論理モデルと標準テストパターンを準備しており、ユーザーのシミュレーション時間とテスト設計の負担を大幅に軽減している。

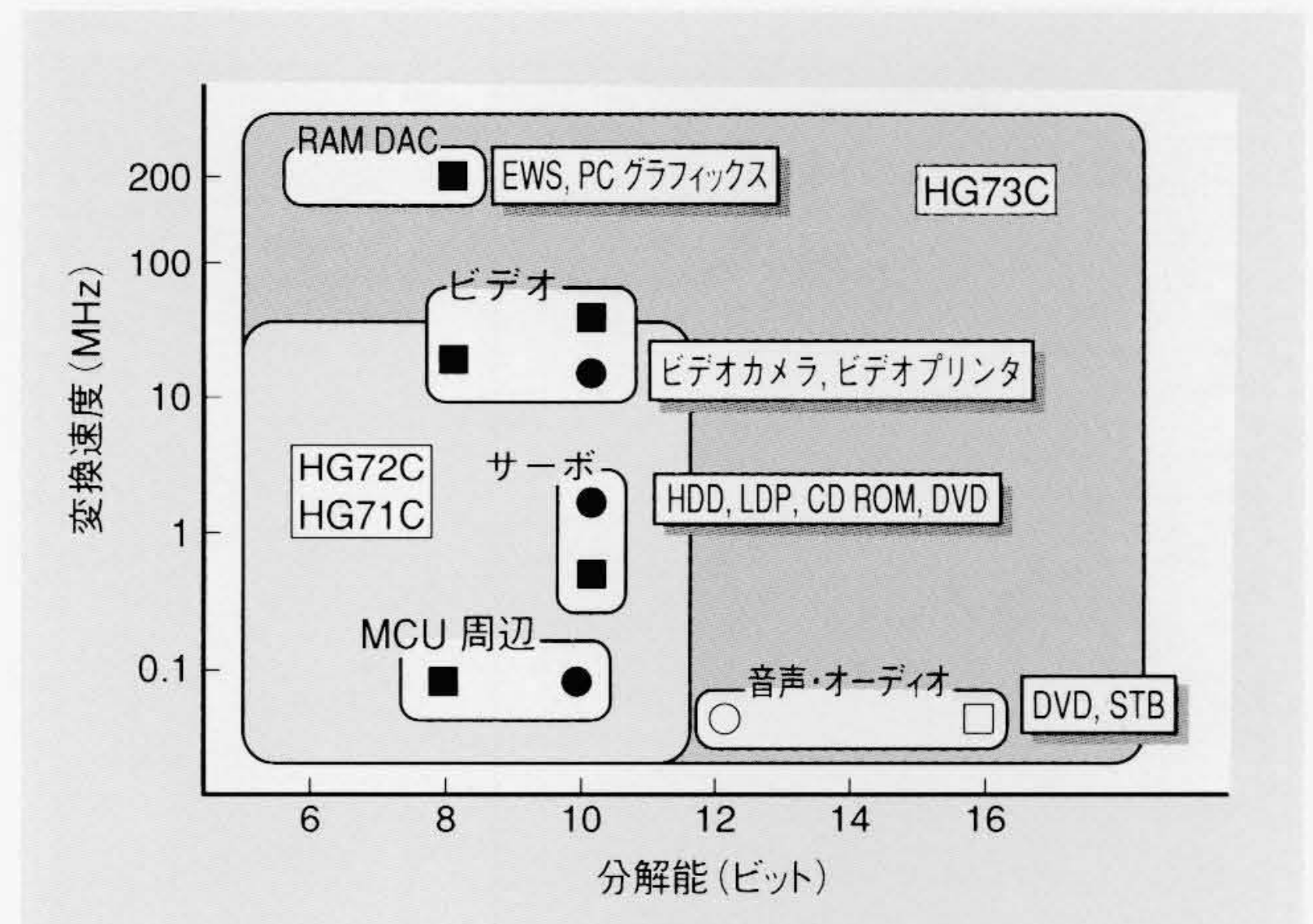
日立製作所は、これまでHG71C, HG72C, およびHG73CシリーズとしてSuperHファミリーやH8シリーズのCPUコアを展開し、現在、量産中である。

2.3 アナログモジュール

一方、システム オン チップに欠かせない特定用途のアナログ回路については、CPUの外部バスインタフェースにより、搭載が可能となる(図2参照)。

日立製作所は、ビデオ、サーボ制御、マイコン周辺など、A-DおよびD-Aコンバータのラインアップの充実を図ってきた。また現在、低電圧化、音声・オーディオ向け高精度化、グラフィック向け超高速化を推進中である。

アナログ回路は、従来、デジタル回路に比べてそのシミュレーション時間に難があった。したがって、アナログ・デジタル回路を混在させたLSIの場合には、実用的な時間での回路検証ができないという課題があった。この対策として、各A-D・D-Aコンバータをモジュール化し、論理モデルを準備した。これにより、アナログ・デジタル混在シミュレーションをデジタル並みのスピードで実行することが可能となった。



注1: ■ (DAC), ● (ADC), □・○ (開発中)

注2: 略語説明

EWS(Engineering Workstation)

PC(Personal Computer), HDD(Hard Disc Drive)

LDP(Laser Disc Player), CD(Compact Disc)

DVD(Digital Video Disc), MCU(Microcontroller Unit)

STB(Set-Top Box)

図2 μCBICのアナログモジュール展開

A-D/D-Aコンバータとして、ビデオ、サーボなどの用途向けにアナログモジュールを提供しており、また、画像用途にRAMDACをラインアップしている。今後、音声・オーディオ向けの高精度化を図っていく。

なお、このモデルは、市販のシミュレータのVerilog^{※1)}やMentor^{※2)}上で動作が可能である。

2.4 ユーザー論理設計

ユーザーが独自に設計する論理では、大規模化に伴い、Verilog-HDL(Hardware Description Language), VHDL(Very High Speed Integrated Circuit Hardware Description Language)といった高位記述言語によるトップダウン設計が必須である。

日立製作所は、論理合成に最適化したライブラリを準備し、提供している。これは、高位記述言語で記述された論理を、論理合成でゲートレベルに変換する場合に、最も効率よく高集積に変換ができるようにくふうしたライブラリである。

μCBICの実例として、SH-1 CPUコア内蔵のチップを図3に示す。

3. DRAM混載ASIC

マルチメディアに対応する携帯情報機器、画像処理、

※1) Verilogは、Cadence Design System社の登録商標である。

※2) Mentorは、Mentor Graphics社の社名である。

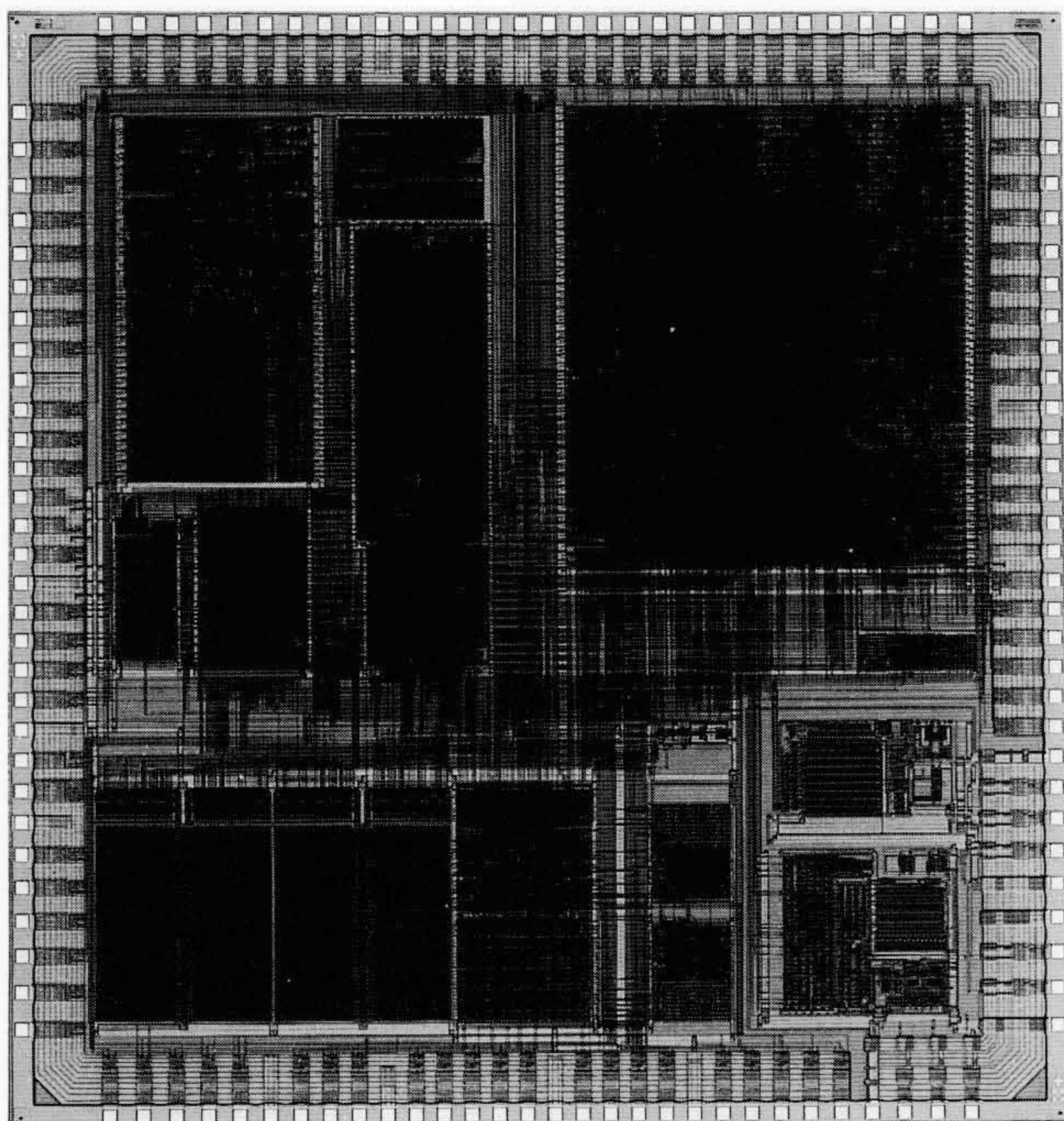


図3 μCBICの設計例

HG72Cシリーズで設計したチップを示す。SH-I CPUコア、高速A-D/D-Aコンバータ、メモリ、およびユーザーロジック 20 kG(キロゲート)で構成している。

ストレージなどの分野では、多量のデータ処理を行うために大容量メモリが必要となる。また、高性能化に加え、小型化、低消費電力化も強く求められる。

従来、標準DRAMを外付けする方式では、データバス幅の拡張(例えば64ビット以上)にボードスペースの面で制約があり、高速データ転送の点で対応が難しかった。また、低消費電力化でも、ボード上の高バス負荷駆動がボトルネックとなっていた。

DRAMとロジックを同一シリコン上に取り込むことの優位性は、単に部品点数削減によるボード占有面積の縮小だけでなく、容易なバス幅拡張(64~128ビット)によ

るデータ転送効率の向上と、バス駆動電流の縮小による消費電力の低減が可能となるという点にある(図4参照)。

3.1 DRAM混載プロセス

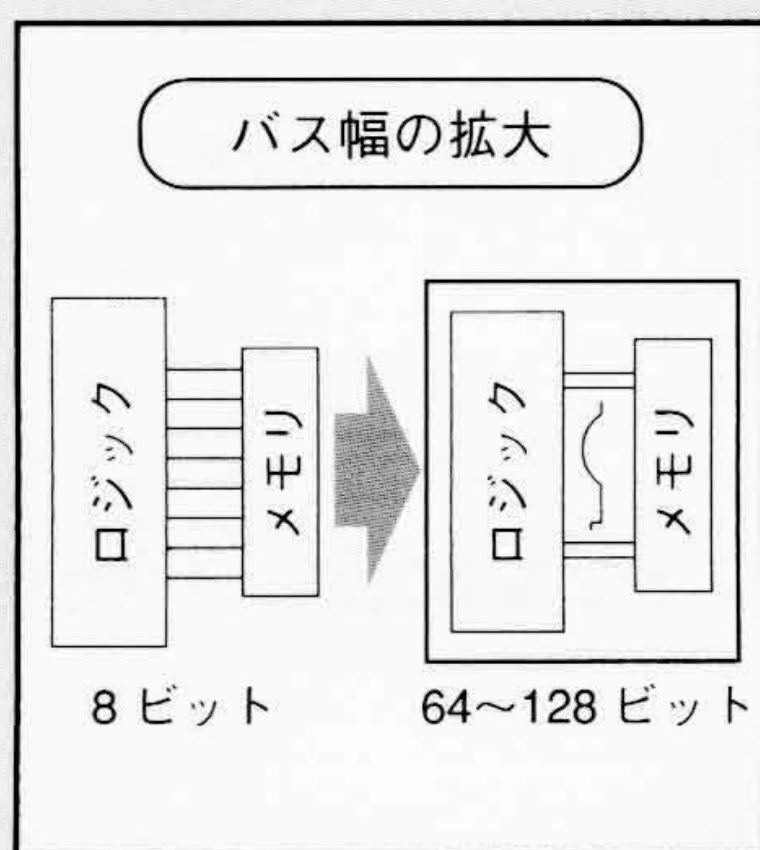
DRAMでは、メモリセルのプロセス的な実現方法として、プレーナ(平面型)方式、トレンチ(溝型)方式、およびスタック(積層型)方式の3種類があるが、おのおのに一長一短がある。プレーナ方式はロジックプロセスと最も相性がよいが、高集積性に難がある。トレンチ方式はロジック性能と平坦(たん)性が高い一方、ロジックとの分離が必要となり、高集積性ではスタック方式に一步譲る。スタック方式は高集積性に最も優れるが、メモリセル熱処理工程がロジックのMOS(Metal-Oxide Semiconductor)製造工程後になるため、ロジック特性が劣化してしまうという欠点を持つ。しかし、最近の低温プロセスの革新により、トレンチ方式と比べてもその差は減少した。

このような背景から日立製作所は、スタック方式を採用し、ロジック性能を落とさずに高集積DRAMの搭載が可能なASIC「HG73Mシリーズ」を製品化した。

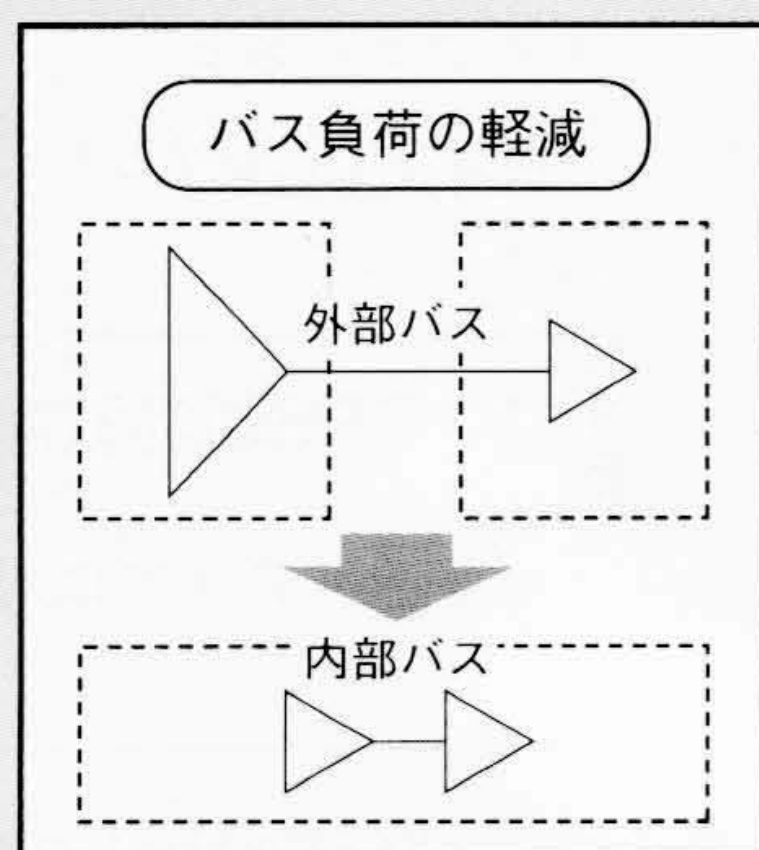
3.2 DRAMマイクロモジュールアーキテクチャ

このシリーズでは、ロジック部を0.35ミクロンCMOS(Complementary MOS)セルベースIC、HG73Cシリーズと同一ライブラリを用いて設計する。また、DRAM部には高位言語モデルを提供し、ユーザーがワークステーション上で必要なDRAMマイクロモジュール数をカスタマイズした後、DRAM・ロジック混在でのシミュレーションを実行する。

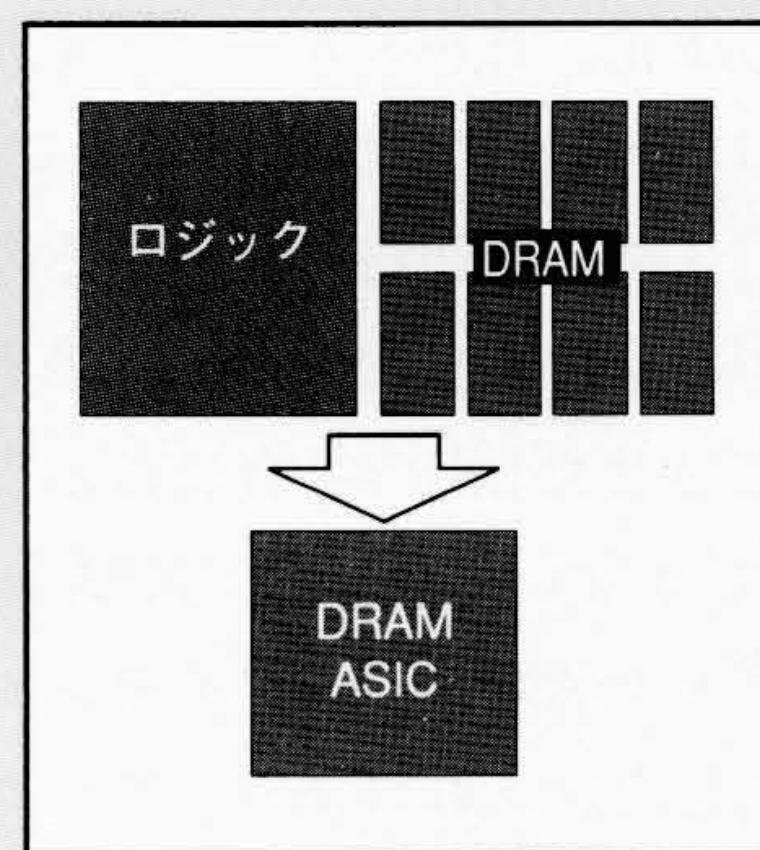
特に、DRAMモジュールではマイクロモジュールアーキテクチャを採用し、容易な集積度向上と、柔軟なメモリビット構成への対応が可能である。マイクロモジュールアーキテクチャとは、256 kビットのクロック同期型



(a) 高速化



(b) 低消費電力化



(c) 小型化

図4 DRAM混載ASICの利点

DRAMとロジックを1チップに混載すると、基本的に、(a)バス幅を容易に拡大することによるデータ転送の高速化、(b)バス負荷軽減による低消費電力化、(c)システムの小型化の三つの利点がある。

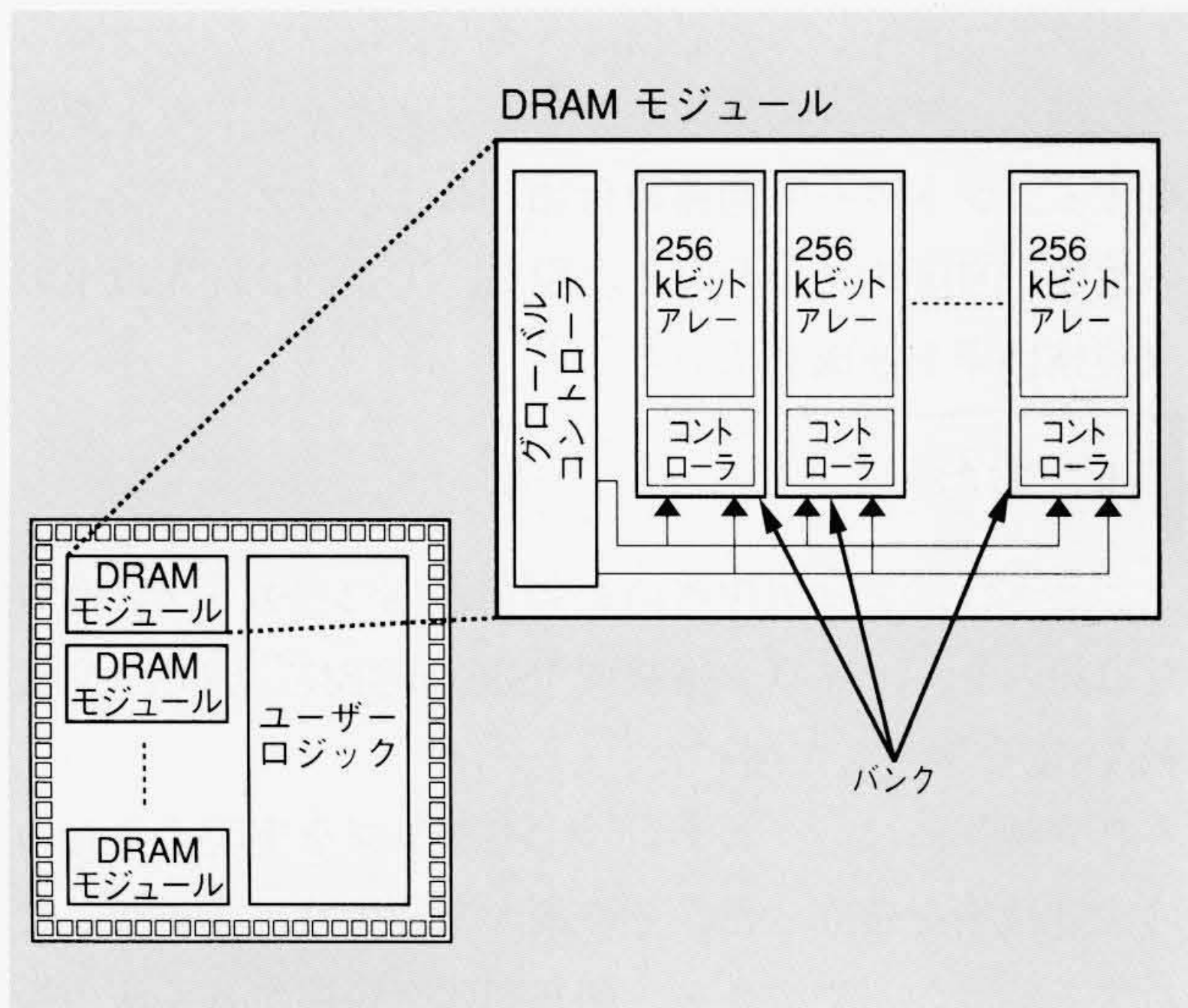


図5 DRAMマイクロモジュールの概要

100 MHzシンクロナスDRAMを採用したDRAMモジュールは、マルチバンク方式で構成する。モジュールごとに4～16バンクの搭載が可能で、1 M～4 Mビットを構成することができる。各バンクは256 kビットで構成し、それぞれが独立で動作する。

DRAMブロックを1バンクとして追加拡張するアーキテクチャで、例えば4 MビットDRAMモジュールは、16バンク構成で実現する(図5参照)。

メモリの高速性能については、このマルチバンク方式でのメモリアクセスパイプライン化や128ビットワイドバス化(16, 32, 64ビットも対応が可能)により、データ転送効率を大幅に向上する。

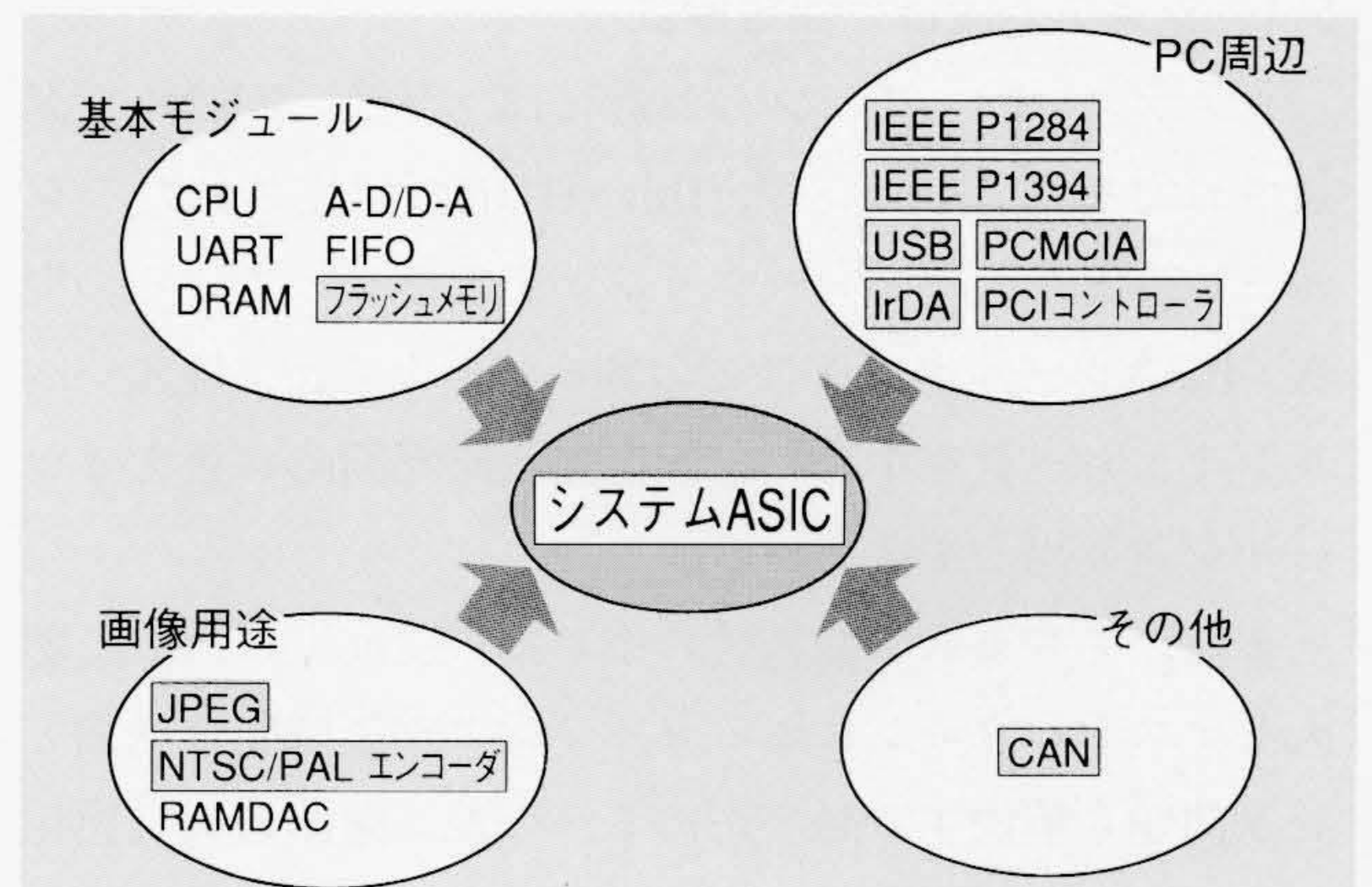
また、ロジック性能でも、プロセスの最適化により、0.35 μm の高速性能(最高150 MHz)をそのまま実現することができる。

低消費電力化では、DRAMとロジック間のバスを内部バスとして電流駆動の小さなドライバでドライブが可能となるため、従来のシステムボード上での実現に比べてバス負荷が大幅に軽減し、低消費電力化が可能となる。さらに、マルチバンク方式の採用により、DRAM部の消費電力は選択されているバンクの消費電力だけとなり、いっそうの低消費電力化を図ることができる。

また、このシリーズでは μCBIC と共通の設計手法を採用しており、SuperHやH8シリーズのCPUコアとアナログ回路の混載によるシステム オン チップが可能となる。

4. 機能モジュール展開

最近のシステム オン チップへのユーザーの要求として、画像やパソコン分野を代表とした、IP(Intellectual Property)と呼ばれる新たな標準機能モジュールの品ぞ



注1: □ (開発中)

注2: 略語説明 UART (Universal Asynchronous Receiver/Transmitter)
FIFO (First in, First out)
PCI (Peripheral Component Interconnect)
CAN (Controller Area Network)

図6 システムASIC搭載機能モジュールの展開計画

機能モジュールは、市場ではIPと呼ばれ、今後システム オン チップに欠かせない技術となる。一方、VSIによる標準化の活動も始まっている。

ろえがシリコンベンダに求められている。

日立製作所で開発を進めている画像用途のJPEG (Joint Photographic Experts Group), NTSC/PALエンコーダ, RAMDAC, パソコン周辺用途のIEEE P1284/P1394, USB(Universal Serial Bus), PCI(Peripheral Component Interconnect)バス, PCMCIA(Personal Computer Memory Card International Association), IrDA(Infrared Data Association)などがそれぞれである。

各社独自の開発に加えて、IPプロバイダとの技術提携による調達も活発に進んでいる。また、この機能モジュールのオープンで円滑な流通のために、IPプロバイダ、シリコンベンダ、EDA(Electronic Design Automation)ベンダなどの参加により、VSI(Virtual Socket Interface Alliance)が活動している。VSIは、これらすべてのモジュールインタフェースを標準化することにより、設計の共通化を図ることを目的とする。

VSI標準に沿ったモジュールの開発が進めば、ユーザーの使いやすさはますます向上するものと期待されている(図6参照)。

5. 開発期間短縮に向けたASIC設計環境

CPUコア、アナログ回路、IPなどを1チップに搭載する複雑な機能を持つASICを開発する場合、ユーザー設計の負担をいかに軽減するかが重要である。そのポイントを以下に述べる。

5.1 システム設計と論理検証

システム オン チップの設計には、今後、VHDLで記述されたモジュールとVerilog-HDLで記述されたモジュールの混在シミュレーションが必要となってくる。現在、EDAツールベンダはこのニーズをとらえ、機能レベルシミュレータを中心に、両記述言語を同時に扱えるツールを送り出してきている。

また、プロセスの微細化による集積度向上に対し、膨大なテストパターンによるタイミング検証時間の増加という問題も解決する必要がある。今後、回路の大規模化に伴い、遅延を無視してファンクションだけをチェックするサイクルベースシミュレータと、論理回路のタイミングを論理シミュレーションなしに静的に行うスタティック タイミング アナライザの組合せによる方式が、論理検証の時間短縮として一般的になると考える。

5.2 ソフトウェア開発環境

CPUコアを搭載するLSI設計では、ソフトウェアの開発、およびシステムデバッグをサポートするエミュレータが必要となる。搭載するモジュールの種類や異なるユーザー回路に柔軟に対応するため、CBIC専用のエミュレーションボードを作成する。アナログモジュール用のエバチップや、ユーザー回路用のゲートアレー・FPGA(Field Programmable Gate Array)を搭載することにより、ターゲットチップをイメージしたエミュレーションを行うことができる。

また将来、ハードウェアとソフトウェアを同一環境で設計する、コデザイン環境の導入を図っていく。

5.3 テスト設計

テスト設計の簡易化も重要である。μCBICでは、CPUコアと周辺モジュールに適用されるマルチプレクス方式や、ユーザー論理に適用されるシフトスキャン方式を採用している。

マルチプレクス方式では、個々の機能モジュールを他のモジュールと論理的に分離し、LSIの外側のI/O端子からテストを行う。このため、LSI外部から単独に観測できるような制御回路が機能ブロックの外側に付加される。テストベクタの変換も同時に行われる。

シフトスキャン方式では、スキャン用フリップフロップの挿入、データのスキャンイン・スキャンアウトを制御するコントロール回路の付加、およびテストパターンの生成が自動的に行われる。現在、実質的に99%以上の故障検出率を達成している。

6. おわりに

ここでは、日立製作所のシステム オン チップに向けた取組みを、マイコン搭載型ASIC“μCBIC”とDRAM混載ASICを例として述べた。

日立製作所は、システム オン チップを実現するための設計技術を確立した。その最大の特徴は、ユーザーに対する設計のしやすさと、開発期間を短縮する手法の提供にある。

今後、先端CPUコア、アナログ回路、IPラインアップのいっそうの強化と、高集積DRAM、フラッシュメモリなどの1チップ混載により、多彩なユーザーニーズにこたえていく。

参考文献

- 1) 内田, 外: SHマイコンと周辺ロジックを1つのLSIに搭載できるASIC μCBIC HG72Cシリーズ, 78, 11, 767~772(平8-11)
- 2) 柳沢, 外: ロジックLSIに載せやすい32 kバイト単位のDRAM-IPを開発, 日経マイコンデバイス, 1997年7月号

執筆者紹介



斉藤 薫

1978年日立製作所入社, 半導体事業部 マイコン・ASIC本部 ASIC製品技術部 所属
現在, ASIC製品のマーケティングおよび拡販に従事
E-mail: saitok@cm.musashi.hitachi.co.jp



鈴木隆幸

1980年日立製作所入社, 半導体事業部 マイコン・ASIC本部 ASIC製品技術部 所属
現在, ASIC製品のマーケティングおよび拡販に従事
E-mail: suzuki@cm.musashi.hitachi.co.jp