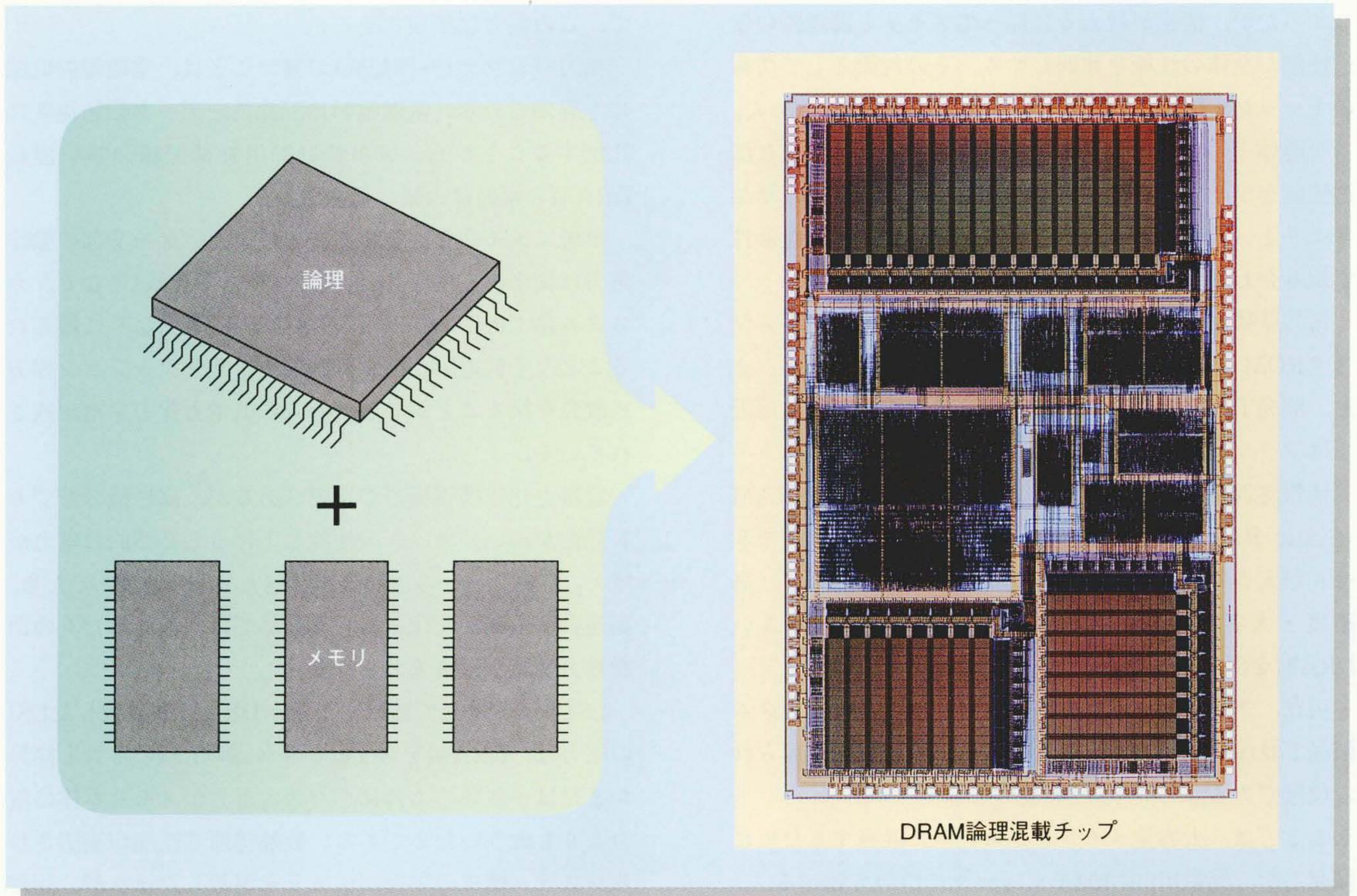


# システム混載に対応したDRAMモジュール

## DRAM Module for System on LSIs

柳沢一正 Kazumasa Yanagisawa

佐藤 潤 Jun Satō



### DRAMと論理の混載チップ

従来は分離されていた論理とメモリを1チップに搭載した。部品点数削減とメモリバス内蔵によるピン数削減により、実装面積の大幅削減を図った。

システムの構築で大切な、メモリと論理の最適組合せを支援するため、高密度DRAM(Dynamic Random Access Memory)を論理LSIに混載する技術を新たに開発した。DRAM混載LSIにより、アクセス時間で20 ns、バス転送性能で20倍それぞれ性能が向上する。メモリ部の動作電力は $\frac{1}{3}$ に低減し、電磁輻(ふく)射低減にも有効である。また、高性能化設計のネックになる高速実装基板設計をLSI上に押し込めることにより、総設計期間の短縮も図ることができる。

設計ツールなどの環境はシステム設計の継続性の面で重要であり、ASIC(Application Specific IC)の設計環境は、DRAM搭載の有無にかかわらず、共通でなければな

らない。

高密度な立体構造DRAMメモリセルと汎用ASICのデバイスを組み合わせ、システム混載の目標を達成した。混載用DRAMモジュールでは、内部を32 kバイト単位の小さい部品に分割して組み合わせる「マイクロモジュール方式」を採用した。また、この方式の特色である多バンク構成・バンク独立アクセスを有効活用し、実用時の性能を大幅に向上させている。動作方式は、ASIC展開の容易性、外部ノイズ耐久性、およびメモリ部の検査性を考慮して、同期方式とした。

混載DRAMの応用例としては、性能追求では画像対応、携帯機器にはユニファイド構成がそれぞれ有効である。

## 1. はじめに

一般的に「システム」の目的は、情報の送受・処理・蓄積であり、メモリは、このうち情報処理の支援と情報の蓄積を担当する。

処理される情報量が少ない時代はそれほど問題視されなかったが、情報が増えるに従ってメモリと論理間の伝達性能が全体の性能を律則し始め、その対策として情報のキャッシュ化に多くの労力が費やされるようになった。

半導体を用いて総合システムを構築するには最適な伝達性能を供給する必要がある、DRAMに代表される単品メモリとメモリ論理混載LSIや制御論理LSIを最適条件で組み合わせることが重要である。

情報蓄積用途に用いる混載メモリとして、古くからマスクROM(Read-Only Memory)が搭載されている。また、開発TAT(Turnaround Time)の短縮のため、最近ではフラッシュメモリも混載されはじめている。

情報処理用途では、比較的小容量ではあるが、SRAM(Static RAM)の歴史が古い。しかし、SRAMはメモリセルが大きく、高密度にはあまり適さない。そこで、高密度・大容量混載を目指して、メモリセルの小さいDRAMを混載する技術が開発された。

現在、フラッシュメモリ、DRAM混載ともにカスタム製品で量産実績があり、さらに広く汎用化展開が図られる段階である。

ここでは、大容量メモリをシステムに混載するために開発した、混載用DRAMモジュールについて述べる。

## 2. DRAM混載LSIの利点

論理LSIに大容量のDRAMを搭載して得られる利点は、(1)小型化、(2)特性向上、(3)開発期間短縮である。

DRAM混載によるシステム構成例を図1に示す。

DRAMを混載することによって部品点数が削減し、装置が小型化することは容易に予測される。

混載によって改善された特性は、アクセス時間、バス転送性能、電力、およびノイズである。

アクセス時間は、ランダムなメモリ動作にとって重要である。メモリと論理を混載するとチップ間の往復信号伝達時間を削減することができ、同じデバイス・設計技術を採用した単品メモリに対し、10~20 ns高速になる。

バス転送性能は連続情報処理にとって重要であり、バス幅と周波数と効率の積で決まる。単品メモリでは、基板実装の制約からバス幅上限が数十バイト程度であるの

に対し、DRAM混載方式ではバス幅で1けた、さらにバス効率で半けた程度の向上がそれぞれ期待でき、従来比20倍以上(20 Gバイト/s以上)の性能が得られる。

システムの電力の多くは、出力バッファで消費される。これはバス転送性能に比例し、通常0.3 J/Gバイトにも達する。混載されたDRAMには大きな出力バッファが不要で、この電力は無視できる。

出力バッファ(外部配線)が無いことは、電磁輻射低減にも有効である。電磁輻射は配線長とデータ転送速度に比例することから、メモリ制御用外部配線の無い混載DRAMの輻射は大幅に低減する。

単純にメモリを混載することにより、メモリ部の動作電力は従来の $\frac{1}{3}$ 程度(同世代プロセスで比較)になる。カスタム品であるメモリ混載LSIは、標準化などに縛られることなく低電圧化、制御論理やアプリケーションの方式改良を図ることができ、さらに低電力化の余地が残されている。

低電力化は携帯機器で重要であるが、高性能分野でも有効性が高い。チップの性能を上げると必然的に電力が増え、パッケージの放熱限界を越えてしまう。そのため、高速動作・高性能化をねらう製品では、性能当たりの消費電力削減が最優先とされる。

LSI単体の電力で比較しても、DRAMを混載したLSIの電力は、DRAMを含まない単体論理LSIのそれと同等かまたは小さい。これは、バスの電力がメモリ本体の電力よりも大きいためである。放熱律則で性能が制限されるシステム構成の場合、メモリを混載したほうが、論理部だけの単体LSIよりもむしろ性能を引き出すことがで

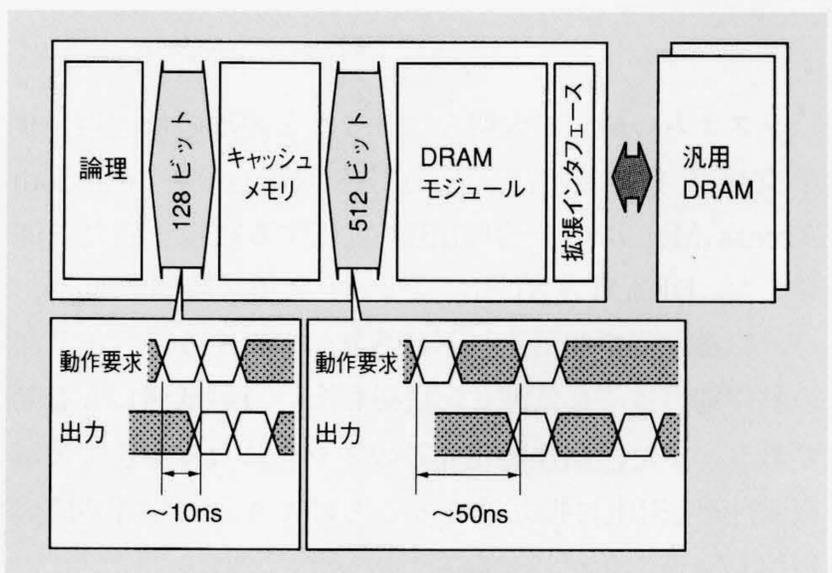


図1 DRAM混載によるシステム構成

DRAM混載LSIを用いた情報処理システム構成を示す。状況により、内蔵の大容量DRAMを主メモリ・ワークメモリと切り替えて使う。

きる。

次に、開発期間の問題について述べる。開発期間に対するDRAM混載の問題点はサンプル試作期間の長さであり、逆に、利点は実装設計の容易さである。

LSIの性能と総合開発期間の関係を図2に示す。

高性能を得るには、論理段数の最適化や並列動作の回路を追加するなど、論理設計に時間をかける必要がある。しかし、それだけで高性能が得られるわけではなく、論理部とそれに情報を送るメモリ性能の両者のバランスが重要である。そこで、メモリから情報を送るバスの性能を確保するため、伝送波形整形や電磁放射抑制などの基板実装設計が重要となるが、ここは、周波数に比例して急速に設計が困難となることが広く知られている。DRAM混載方式では、最も設計が困難なメモリバスをLSI上に押し込めてしまっており、基板実装設計を大幅に簡略化することができる。

次に、DRAMの仕様に対する自由度があげられる。汎用DRAMでは、標準仕様との互換性を確保することが最優先であり、基本的に設計自由度は無い。例えば、動作電力を削減しようとしても、動作電力を決めるセンス増幅器の数はリフレッシュサイクルなどのDRAMの基本特性に関連しており、修正することができない。そのため、応用によっては、使わないセンス増幅器まで動作させることとなる。バンク数などの性能向上に役立つ機能も同様である。

今回は、汎用のSDRAM(Synchronous DRAM)をベースに、混載に有用な機能だけを選択・追加搭載した「ダイレクトSDRAM」仕様を開発した。ダイレクトSDRAM

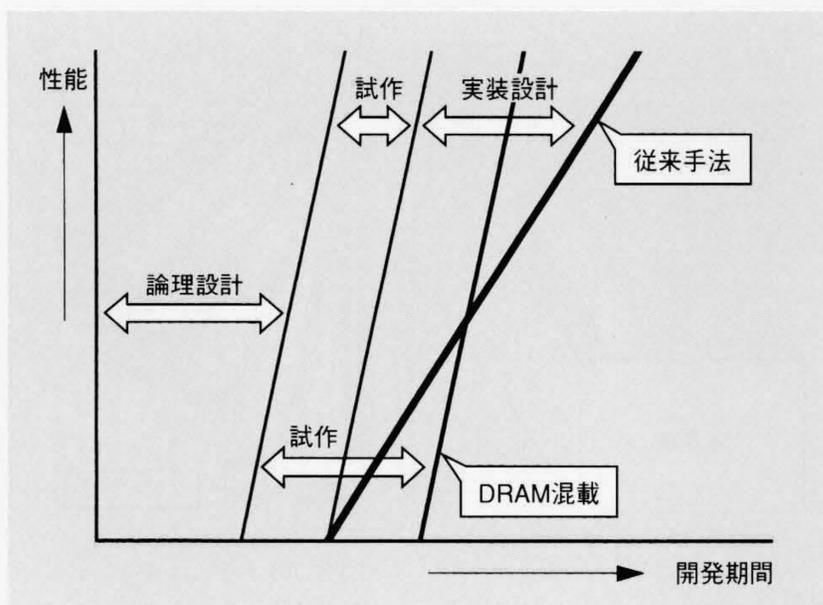


図2 性能と総合開発期間

総合開発期間の検討には、LSIの設計時間だけでなく、実装設計サンプルの試作時間なども考慮する必要がある。

仕様は、論理と1対1で組み合わせられるASIC搭載のDRAMモジュールに最適化されている。センス増幅器の数は1,024個、バンク数は16まで選択できる。これを採用することによってメモリの構成・内部構造に起因する制限を回避し、性能を確保するために多くの設計工数を費やす必要はなくなる。

最終的には、特性改善に要する設計工数とサンプル試作時間のどちらが長いかで優劣は決まるが、特性を大幅に改善しようとする場合、DRAM混載が、開発期間の短縮という観点から有利である。

### 3. 混載用DRAMのデバイス性能

DRAMと論理を混載してシステムを設計する場合、カスタム設計とASIC展開が考えられる。従来、汎用DRAMに採用されていた論理ゲート性能は、高耐圧の厚い酸化膜を採用し、それに伴ってゲート長が長くなるため、同時期の汎用ASICの論理ゲート性能と比較すると、最大1世代遅れていた。論理ゲート性能に合わせて論理・回路を自由に設計できるカスタム設計品は、このような論理ゲート性能でも対応が可能であり、DRAMプロセスをベースに開発した第1世代(#1)DRAM混載品はこの方式であった。

これに対し、ASIC展開を前提とした場合、設計ツールなどの環境の継続性が重要である。これらはDRAM搭載の有無にかかわらず、同じ設計環境、性能を供給する必要がある。そのため、論理ゲート性能は先行の汎用ASICに合わせる必要があり、論理ゲートの高性能化が必要となる。

従来のメモリプロセス品の論理ゲート性能が低いのは、メモリセルを作るプロセスに起因している。メモリセルに必要な高耐圧の厚い酸化膜や蓄積容量形成のための追加熱工程などが、論理ゲートの性能向上を妨げていた。そこで、論理ゲートの高性能化を達成するには、メモリセルの選定が重要となる。

DRAMのメモリセルには、主に1Mビット世代まで使われた「平面方式」と、4Mビット以降の製品に採用されている「立体方式」がある。また、立体方式には基板内に穴を開け、内部に容量を形成する「トレンチ方式」と、基板上に容量を積み上げる方式がある。

この3方式の中で、ASICプロセスと相性が良く、容易に高性能化ができるのは、平面方式である。しかし、この方式では、メモリセル密度が汎用SRAMと同程度であり、大容量を達成できない。これに対して立体方式では、

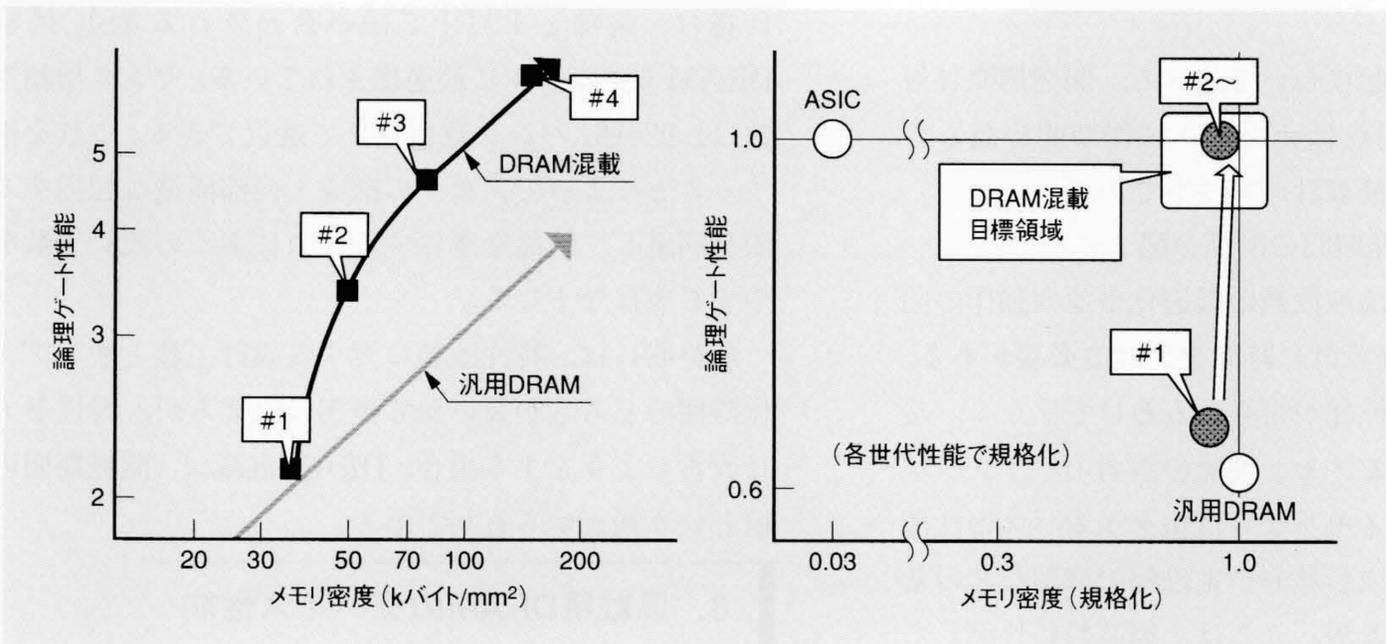


図3 メモリ密度と論理ゲート性能  
プロセスの開発方向を示す。汎用DRAMと同程度のメモリ密度を確保し、論理性能を汎用ASICに合わせて設計財産の共通化を図る。

メモリセルの選択トランジスタだけをシリコン面上に配置して、蓄積容量をシリコン表面上に積み上げるため、高密度に適している。

次に、トレンチと積み上げ方式の評価について述べる。熱工程の長いメモリセルを作った後、論理ゲートを形成するトレンチ方式が、従来、この分野では有利であった。しかし、プロセスの低温化が進み、0.35 μm世代以降は、両方式とも同様に目標性能を達成することができる見込みが得られている。

セル密度、プロセスの複雑性などの技術的項目は同等であったが、日立製作所での量産実績も多いため、積み上げ方式を採用した。

メモリ密度と論理ゲート性能の関係を図3に示す。

#### 4. 混載用DRAM仕様

##### 4.1 マイクロモジュール構成

DRAM混載の目標は最適な構成のDRAMを供給することであり、ASIC環境のSRAMのように自動生成が望まれる。しかし、立体化が進んだ現在のDRAMメモリセルでは容易にこれに対応できず、汎用DRAMのように手作業を入れたのでは、製品開発期間を満足させることができない。そこで、メモリを32kバイト単位の小さい部品に分割し、必要な数だけ配置する「マイクロモジュール方式」を採用した。

DRAMモジュールを構成するマイクロモジュールは、IO (Input-Output) 部、電源、およびバンク部の3種類である。

- (1) IO部は、入出力増幅器とその制御回路、および全体制御回路を含む。
- (2) 電源部は、DRAM内部で使用する電源電圧以外の電位を発生、供給する。

- (3) バンク部は、メモリセルやセンス増幅器などのメモリを直接制御する回路、およびそれらを制御する回路を含んだ本体である。単独でメモリセルを制御するすべての機能が含まれており、バンクを完全に独立で動作させることができる。

この方式はバンク部を自立(周辺領域が不要)させるため、各バンク内の干渉領域や動作制御回路により、面積が最大約10%増加するという課題があるが、プロセスの進歩(面積低減率が月当たり2.2%)に焼き直すと約4か月程度であり、カスタム設計よりも有利である。

マイクロモジュールの構造を図4に示す。

##### 4.2 動作方式

DRAMの方式には、同期方式(SDRAM)のほかに半同期方式[EDO(Extended Data Output)DRAM]がある。

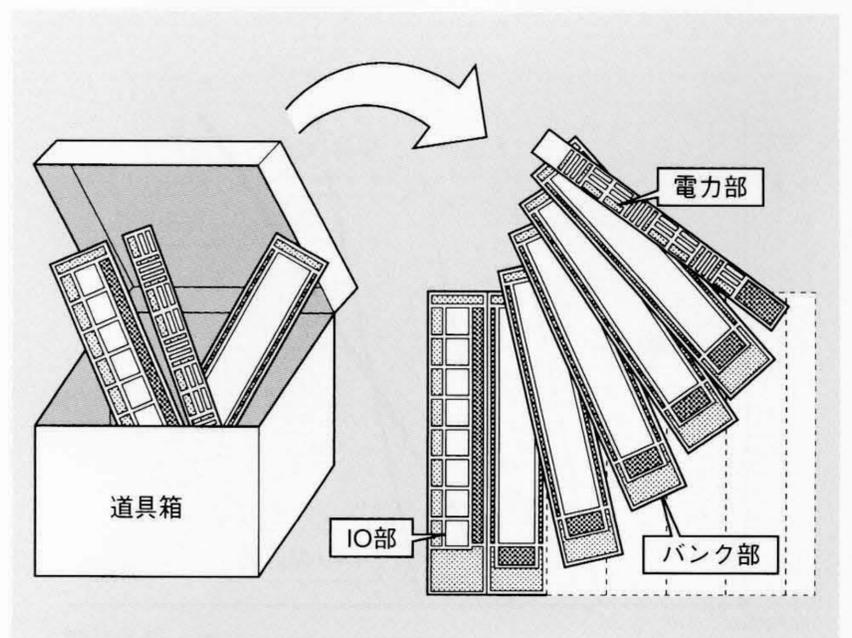


図4 マイクロモジュール化レイアウト

マイクロモジュールの構造を示す。立体化が進み、論理部とのプロセス整合性が悪くなったメモリセルをマイクロモジュールにまとめ、拡張性を確保する。

半同期方式は、増幅器をアドレス遷移検出回路で制御する方式で、アドレス遷移検出回路にアナログ的な定数調整が要求されるため、ASIC展開に必要とされる「試作＝量産」は不可能である。すべてクロックで同期する方式では、この問題がない。

次に重要なのは、メモリ部の検査性である。メモリの検査項目には、セットアップで代表される通常の信号間関係と、アクセス時間に代表される遅延成分がある。重要なのは、遅延時間の測定である。

遅延時間は1サイクル内に収まらず、複数サイクルにわたる。これは、ランダム動作速度が10 MHz台のDRAMと、数百メガヘルツで動作できる論理部を混載した製品の基本的な問題点と言える。同期方式では、遅延量を検査の容易なレイテンシと周波数の積で表現することができる。半同期方式では、チップ上のモジュール数でメモリ検査バスの遅延が変わり、直接の測定が容易でない。

また、ノイズに対する耐久性の問題もある。半同期動作品では、外部回路動作によって発生するノイズに耐えることが要求される。設計上だけならともかく、これを全数検査することは容易ではない。

以上の検討から、総合的に見て同期式が有利と考え、採用している。

### 4.3 多バンク構成

システム性能を上げようとする時、多くの場合、メモリのバスネックが発生する。これを解消するには、SRAMを採用することが一般的であった。メモリ密度を除けば、特性面では、SRAMがDRAMを凌駕(りょうが)している。

SRAMとDRAMの性能差は、主にアクセス時間の異方性(カラムとローのアクセス時間が大幅に異なる)に起因

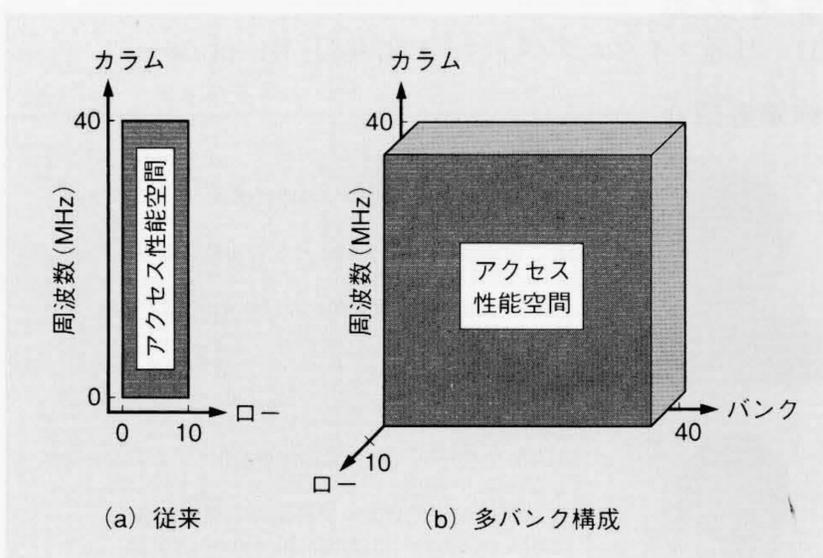


図5 多バンクのアクセス構成

アクセスを従来の2軸から3軸に拡張し、実効性能の向上を達成する。

する。多くの応用では、高性能化のために高速なカラム機能を活用しているが、自由度がカラム方向だけの一次元であり、より多くの自由度には対応することができない。また、ローとカラムのアクセス時間を同等にすることは、ローの基本動作が破壊読み出しであるDRAMでは原理的に不可能である。

そこで、マイクロモジュール方式の利点である多バンク構成を活用し、新たに1軸高速なバンクアクセスを追加することで対応することとした(図5参照)。

## 5. 応用例

### 5.1 画像応用(フレームバッファ)

画像の画素は画面に対応し、二次元に配列される。一つの画素には、RGB(Red, Green, Blue)などの色情報と、画素の奥行き情報を蓄えるZバッファなどの画素に対する処理支援情報が含まれている。画像処理では、近接した画素に対するランダム読み出しの高速性が要求される。これに対応するために、画素をまとめてタイルとし、メモリに収納(ページモード)することがよく行われる。この構造に対し、多バンク構成のDRAMモジュールはさらに有利である。

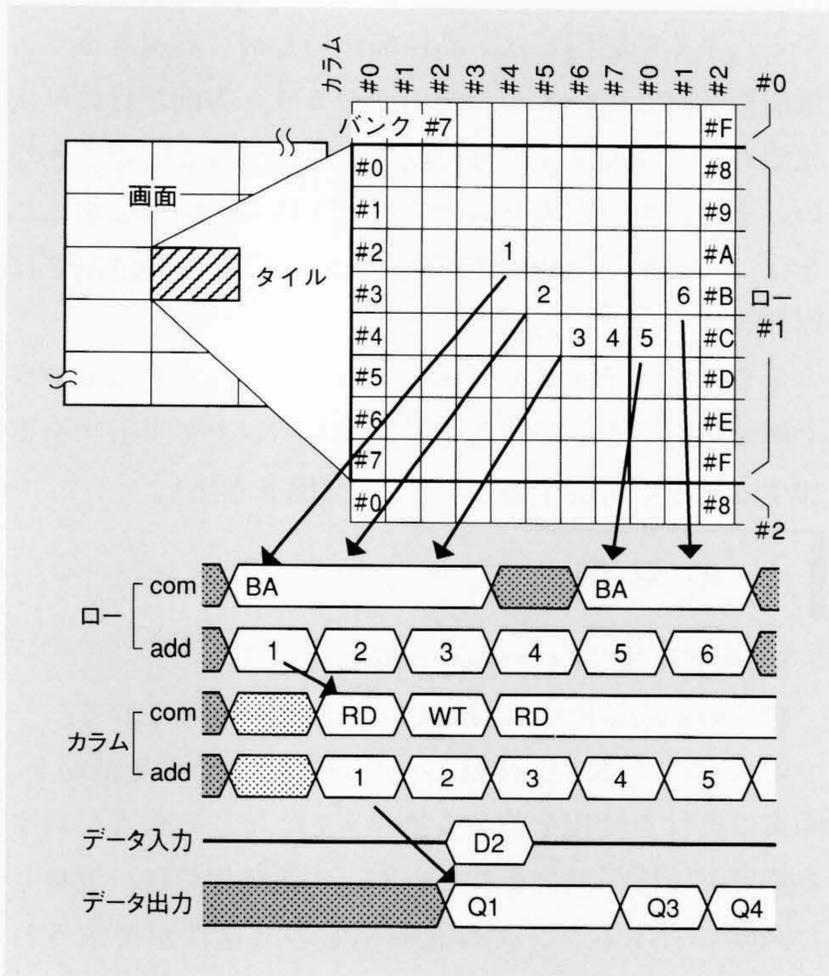
横方向をカラム、縦方向をバンクにそれぞれ割り当ててタイル構造を構成し、従来と同様に、動作速度の遅いローをタイルの配置に割り当てる。一つのタイル中で必要なバンクだけを動作させるため、低電力かつ大型のタイルを構成することができる。また、各バンクはインタリーブ動作が可能なることから、タイル間移動に伴うアクセス遅延(ロー動作)を隠蔽(ぺい)することができ、継目の無いアクセスが可能になる。近接画素に対する動作周波数は、SRAMと同程度に高速である。

画像分野でのメモリ分割の例を図6に示す。

### 5.2 ユニファイドメモリシステム

画像メモリと主メモリの関係のように、従来のメモリシステムでは、応用機能別にメモリを配置していた。これは、メモリバスの制限(バスネック)を解消するためであり、SDRAMに代表される高速(バス)メモリでは、単一メモリを複数の応用機能用に分割して使う(ユニファイド構成)ことが可能になる。

ユニファイド構成の利点は、応用に対して最適なメモリ割り付けに対応することができることである。例えば、LSI内部にメモリが2 Mバイト(64バンク)搭載されていたとする。画像の規模がVGA(Video Graphics Array) 16色だったとすると、画像メモリに160 kバイト(5バン



注：略語説明 com(動作のコマンド), BA(バンク活性), add(アドレス) RD(リード動作), WT(ライト動作)

図6 画像分野でのメモリ分割例

多バンク構成を活用し、自由なタイル構成を形成する。

ク)を、他の1,888 kバイト(59バンク)は主メモリにそれぞれ割り当てることができる。同じハードウェアをXGA(Extended Graphics Array)64色に対応させるには、画像メモリに1,536 kバイト(48バンク)を、他の512 kバイト(16バンク)は主メモリにそれぞれ割り当てられ、規模の異なる応用に同一ハードウェアで対応することが可能

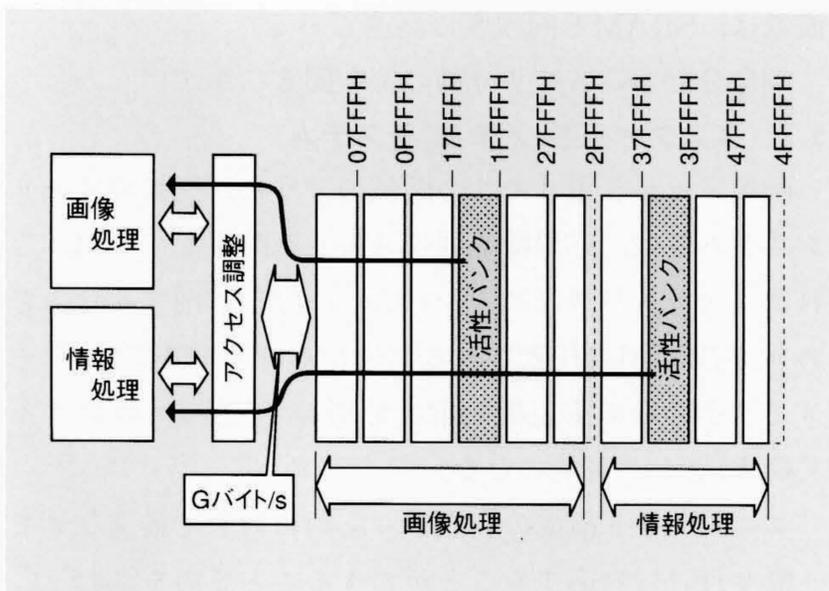


図7 ユニファイドメモリシステムの原理

画像処理と情報処理に一つのメモリを分割して使う方式で、それぞれの応用分野の必要量によってメモリをソフトウェア的に再配置することができる。

になる。DRAM混載ASICに搭載するDRAMモジュールは、汎用SDRAMに対しても、さらにバス性能が高く、多数のバンクを持つため、さらに有効にユニファイド構成を達成することができる(図7参照)。

ユニファイド構成では、おのこのの応用機能からメモリへの要求が交錯し、バスを占有する長いページモード活用は期待できない。このことは、メモリ制御バスに頻りに制御コマンドが発行されることを意味し、汎用DRAMで採用されるアドレスマルチ方式では、制御バスの衝突が発生する。そこで、DRAMモジュールでは制御バスを分離した。

## 6. おわりに

ここでは、大容量メモリを混載するために開発した、混載用DRAMモジュールについて述べた。

処理される情報量が少ない時代には、メモリと論理は別々に配置されていた。しかし、情報が増えるに従い、メモリと論理間のつながりがネックとなり、多様なメモリ階層が要求されてきている。コンピュータの開発の歴史がこれを物語っている。

情報化の進展に伴い、メモリ階層化の要求はすべてのシステムに向けられ、大容量のメモリを混載する論理LSIの必要性は、今後ますます高まると考える。

今後は、大容量SRAMや機能向上DRAMモジュールなど、システムインテグレーションの進展のための多様なメモリが混載されるものと予想され、これに対応して注力していく考えである。

## 参考文献

- 1) 日経マイクロデバイス, 1997年7月号, pp.58~65

## 執筆者紹介



柳沢一正

1979年日立製作所入社, 半導体事業部 システムチッププロジェクト 所属  
現在, 混載用DRAMモジュールの開発に従事  
電気通信学会会員  
E-mail: yanagi@cm.musashi.hitachi.co.jp



佐藤 潤

1984年日立製作所入社, 半導体事業部 システムチッププロジェクト 所属  
現在, DRAM混載ロジック製品の開発に従事  
E-mail: satojun@cm.musashi.hitachi.co.jp