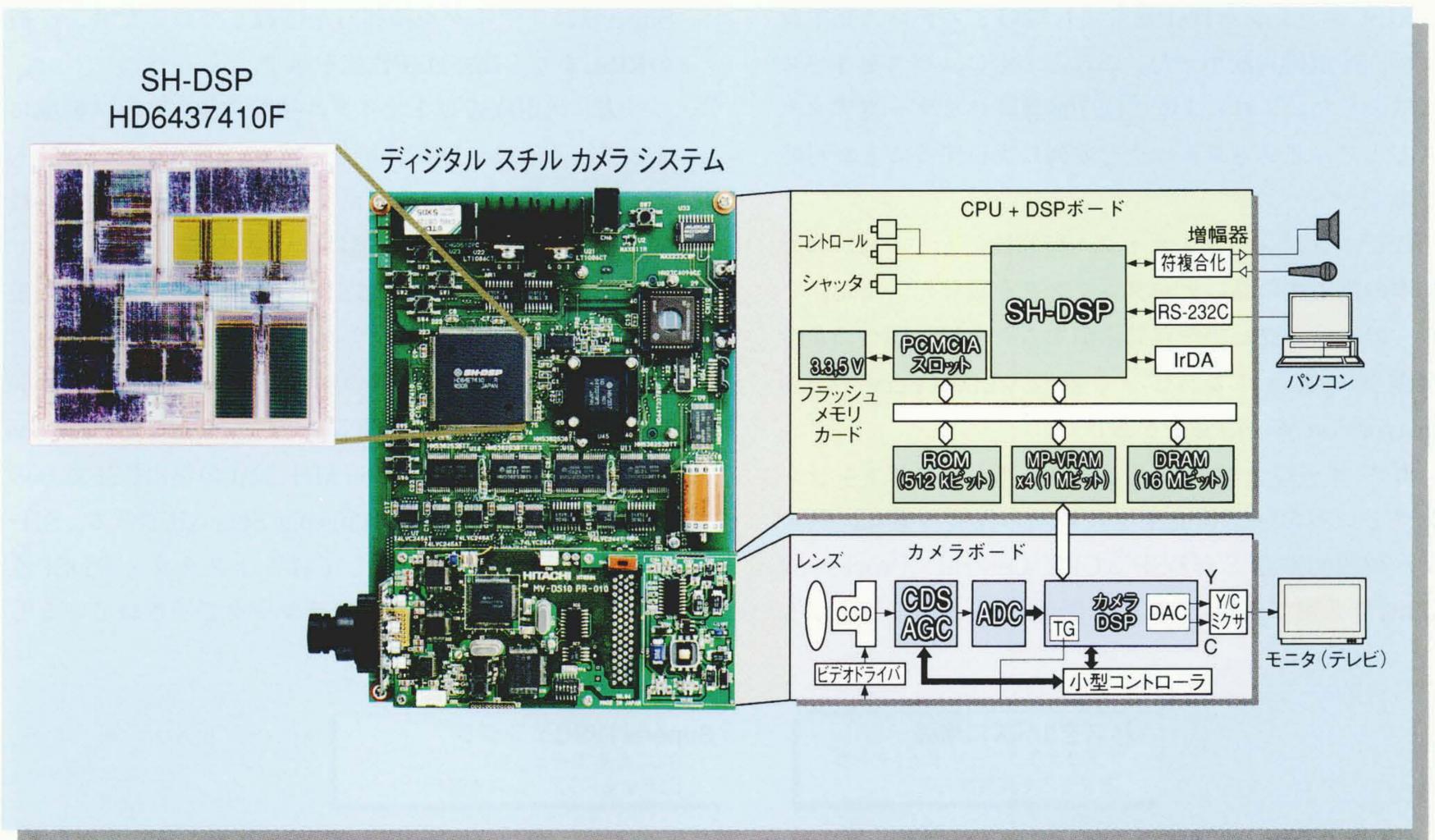


DSPを融合したSuperHファミリーとその応用

DSP-Integrated SuperH Family and Its Applications

馬路 徹 *Tôru Baji*
竹山 寛 *Hiroshi Takeyama*
中川 哲也 *Tetsuya Nakagawa*



注：略語説明 CPU(Central Processing Unit), DSP(Digital Signal Processor), PCMCIA(Personal Computer Memory Card International Association) IrDA(Infrared Data Association), ROM(Read-Only Memory), MP-VRAM(Multi-Port-Video-RAM), DRAM(Dynamic RAM) CCD(Charge Coupled Device), CDS(Correlated Double Sampling), AGC(Auto Gain Control), ADC(Analog-to-Digital Converter) TG(Timing Generator), DAC(Digital-to-Analog Converter), Y(輝度信号), C(色信号)

デジタルカメラシステムで使用するSH-DSP

SH-DSPは、コンパクトRISC(縮小命令セットコンピュータ)マイコンに高性能DSPエンジンを搭載したマイコンである。デジタルスチルカメラシステムに、このSH-DSPを使用することにより、高音声圧縮、高伸長処理を実現することができる。

GSM(Global System for Mobile Communications), PDC(Personal Digital Cellular Telecommunication System), PHS(Personal Handyphone System)などの移動通信端末や、カーナビゲーション、電子スチルカメラに代表されるデジタル民生機器が大きく伸びている。これらのシステムは、CPUと汎用DSP(Digital Signal Processor)で構成している。前者は通信プロトコル制御とシステム制御を実行し、後者は音声圧縮や画像処理などの信号処理を行う。

これからの移動通信端末やデジタル民生機器には、いっそうの低価格化、小型化、低消費電力化を図るために、CPUとDSPの一体化が求められている。日立製作所は、SuperH-RISCマイコン(Reduced Instruction Set Computer マイクロコンピュータ)に高性能DSPエンジンを搭載した新世代マイコン“SH-DSP”を投入し、デジタルスチルカメラ、移動通信端末、音声処理ミドルウェアなどへの応用に道を開いた。

1. はじめに

SH-DSPでは、移動通信端末、デジタル民生機器などへの適用を考えて、高性能DSP(Digital Signal Processor)機能を内蔵させたSHマイコン(SH-1, SH-2)と、完全上位互換の32ビットRISC(Reduced Instruction Set Computer)マイコンを搭載している。

SH-DSPのブロック図と特徴を図1に示す。

最小限の回路増加でDSP機能を実現するために、従来のRISCエンジンをDSP命令実行時の3アドレス発生およびDSP制御に流用した。これとともに、バスを3バスに増強した。これにより、DSP演算時に2データアクセスと1プログラムフェッチを並列に実行することが可能である。

DSPエンジンには1サイクル積和性能とともに、合計10本の汎用性の高いデータレジスタを設けた。また、これらのハードウェアを有効活用するために、四つの命令を並列に実行する32ビット擬似VLIW(Very Long Instruction Word)命令を設けた。

ゼロオーバーヘッドリポート、モジュロアドレッシングといったDSP性能確保に必須の機能も備え、メモリ、周辺回路などがDSPとCPU(Central Processing Unit)で共用できる。これにより、回路を削減するとともに

に、SuperHのDRAM(Dynamic Random Access Memory)直結インタフェースをDSPで使用できるようになった。これは、大容量のDRAM画像メモリを必要とするデジタルカメラへの応用では特に有効である。

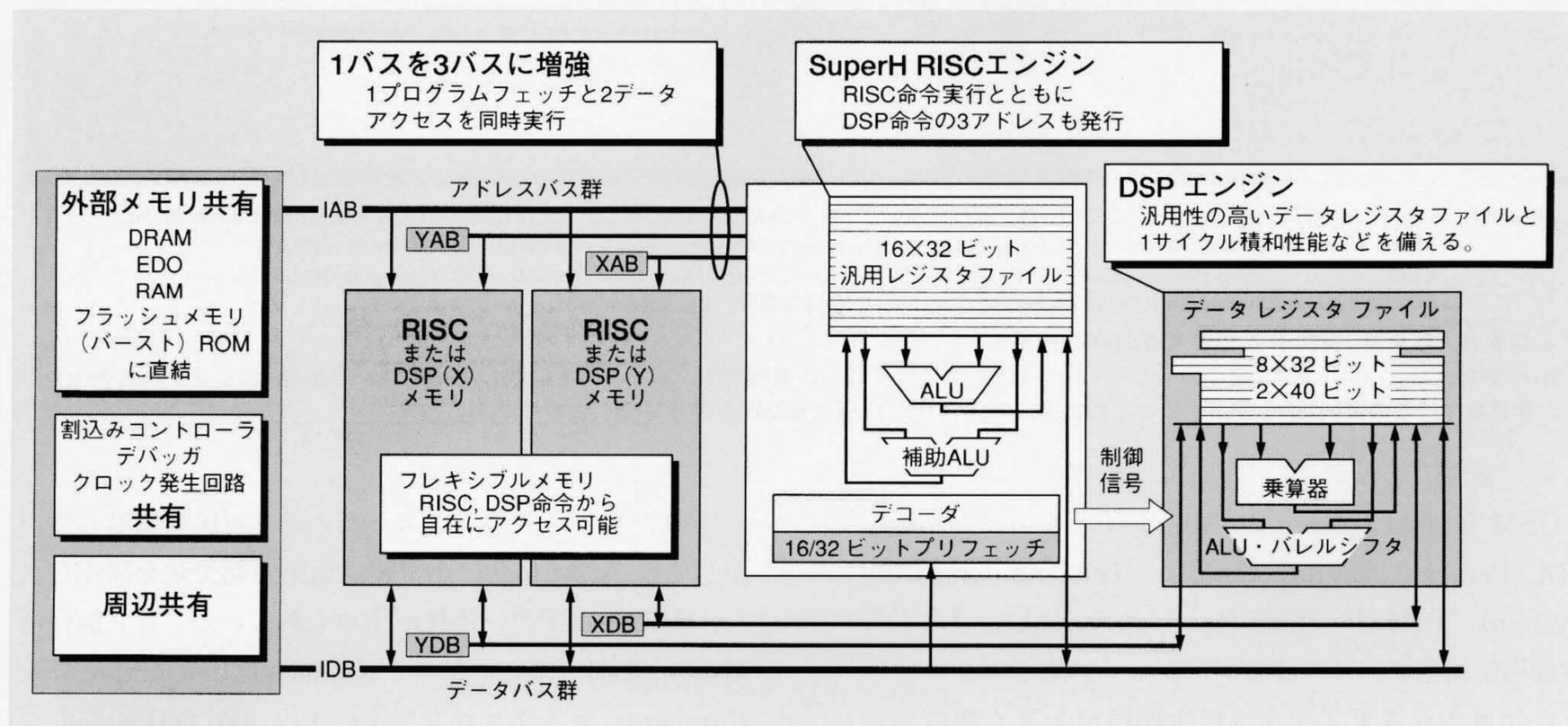
ここでは、SH-DSPの性能や応用例などについて述べる。

2. SH-DSPの性能

各種プロセッサのCPUとDSP性能を図2に示す。SuperHは3サイクル積和器を搭載しているため、一般のRISCよりも高いDSP性能を示す。

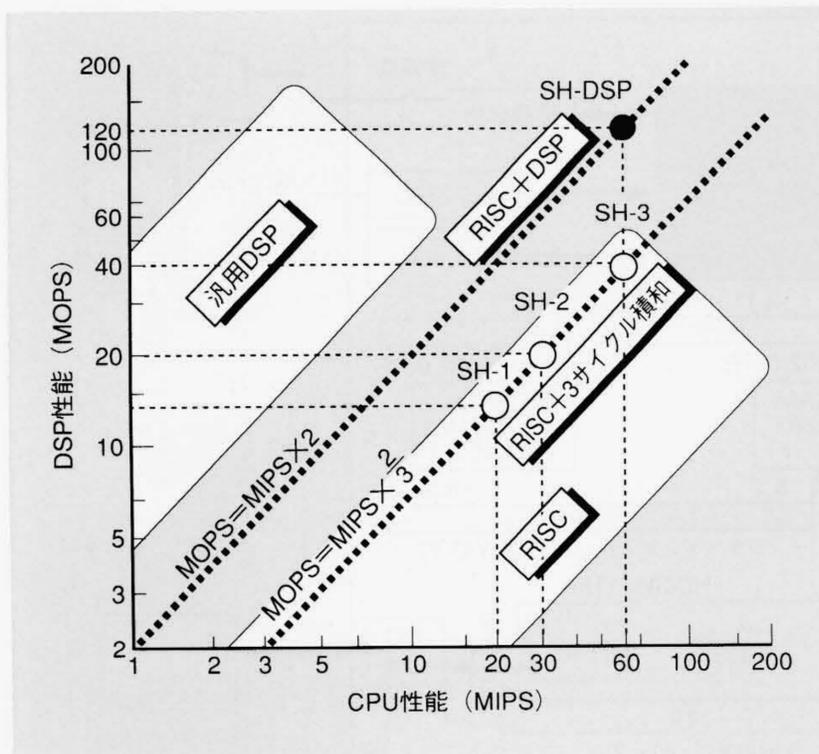
一方、汎用DSPは1サイクル積和性能と3バス構成によって、より高いDSP性能を示すが、8・16・32ビットデータアクセス機能や豊富なCPU命令がサポートされていないために、CPU性能は低い。

これに対し、SH-DSPはSH-1, SH-2の完全上位互換であり、かつ汎用DSPのすべての要件を満たすため、CPU, DSPともに高水準の性能を示す。CPU性能は60 MHz動作のSH-3と同じ60 MIPS(Million Instructions per Second), DSP性能は60 MHz動作の汎用DSP並みの120 MOPS(Mega Operations per Second)である。SH-DSPは汎用プロセッサとしてはトップクラスのDSP性能を示すことが、実際のベンチマークで示されている。



注1: (SH-DSPで強化した部分)
 注2: 略語説明 EDO(Extended Data Output), RAM(Random Access Memory), ALU(Arithmetical and Logical Unit), IAB(I Address Bus), YAB(Y Address Bus), XAB(X Address Bus), IDB(I Data Bus), YDB(Y Data Bus), XDB(X Data Bus)

図1 SH-DSPのブロック図と特徴
 従来のSuperH RISCマイコンと比較し、SH-DSPでは高機能DSPエンジンを備えるとともに、バスも3本に増強した。CPU, DSPを単純に集積化した場合に比べ、メモリ、周辺機能なども共有できるため、チップサイズ、消費電力の面で有利である。



注：MOPSはDSP性能の指標で、1秒間に実行できる積、和などの演算数
MIPSはCPU性能の指標で、1秒間に実行できるドライトンベンチ
マーク命令数

図2 SH-DSPのDSP, CPU性能

SuperHは3サイクル積和器を搭載することにより、一般のRISCよりも高いDSP性能を示す。

3. SH-DSPによるデジタルカメラシステム

今回、この高性能DSPエンジンを搭載したSH-DSPを使用して、デジタルカメラシステムを開発した。画像圧縮〔JPEG(Joint Photographic Experts Group)〕処理でVGA(Video Graphics Array)(640×480 Y:U:V=4:2:2)サイズを0.55秒、QVGA(Quasi VGA)サイズでは1秒当たり4~7枚の連写および音声圧縮、伸長処理を実現することができた。

3.1 デジタルカメラシステムのコンセプト

デジタルカメラシステムをSH-DSPとソフトウェアで実現するにあたり、デジタル信号処理を行う静止画像と音声圧縮はDSPエンジン部に、DOS(Disc Operating System)ファイル管理、コミュニケーションおよびカメラシステム制御はコンパクトRISCマイコン部にそれぞれ分担させることとした。従来、専用LSIと併用しなければならなかったシステムが、SH-DSPとソフトウェアライブラリ群の選択だけでシステム構築が可能となる。

3.2 デジタルカメラシステム

デジタルカメラシステムで実現している機能は、

以下のとおりである。

- (1) JPEGによる静止画像圧縮・伸長処理
- (2) ADPCM(適応差分符号化)G.721による音声圧縮・伸長処理
- (3) RS232C, IrDA(Infrared Data Association)を介してのパソコンとのデータ転送、制御
- (4) コンパクトフラッシュメモリカードへのデータ記録
- (5) コンパクトフラッシュメモリ画像データのパソコン上での伸長

JPEG処理をSH-DSPで行うデジタルカメラシステムの構成を図3に示す。システムは、画像のキャプチャリングを行うカメラ(MV-DS10)とJPEG処理、音声圧縮、システム制御などを行うシステムコントロール(DC-DS1)で構成している。ここでは、前者について述べる。

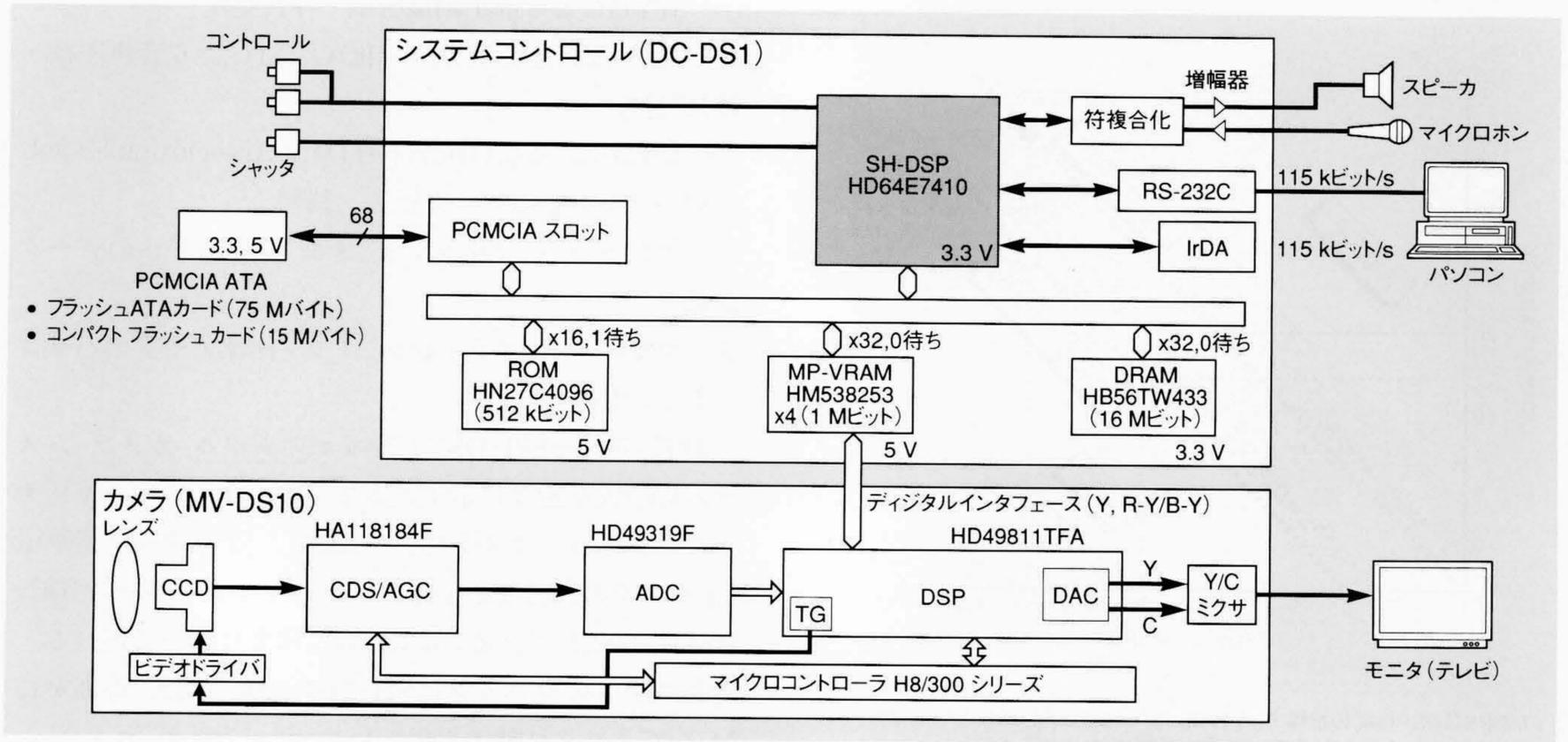
システムのクロックはSH-DSPを60 MHz、外部を15 MHzでそれぞれ動作させており、デジタルカメラシステムを構成するソフトウェアで性能に大きく影響する処理部(画像圧縮、音声圧縮)とシステム制御などを行う処理部に対し、プログラムを以下のように配置した。

- (1) DSPエンジンで処理：内蔵ROM(Read-Only Memory)
 - (a) JPEG処理プログラム
 - (b) 音声圧縮プログラム
- (2) コンパクトRISCマイコンで処理：外部ROM
 - (a) HI-SH7〔リアルタイムOS(Operating System)〕
 - (b) DOS互換ファイル管理(コンパクトフラッシュメモリカードに画像、音声データを保存)
 - (c) コミュニケーション(RS232C, IrDA)
 - (d) デジタルカメラ制御アプリケーション

ここでは、SH-DSPの高機能なDSP命令を利用したJPEG高速化処理について述べる。

JPEGは、(1)画像の圧縮・伸長処理はDCT(離散コサイン変換)、(2)量子化・逆量子化、(3)ハフマン符号化・復号化、(4)画像データの入出力で構成している。この処理を、SH-DSPのDSPの機能の以下に示すものを適用し、高速化を図った。

- (1) 1サイクル積和演算
- (2) 最大四つの並列処理
- (3) ゼロオーバーヘッドリポート(正規化時のシフト量算出)
- (4) 高速正規化命令
- (5) バレルシフト命令



注：略語説明 PCMCIA (Personal Computer Memory Card International Association), ATA (Advanced Technology Attachment Bus)
 ADC (Analog-to-Digital Converter), Y (輝度信号), C (色信号)

図3 SH-DSPを使用したデジタルカメラシステムのブロック図

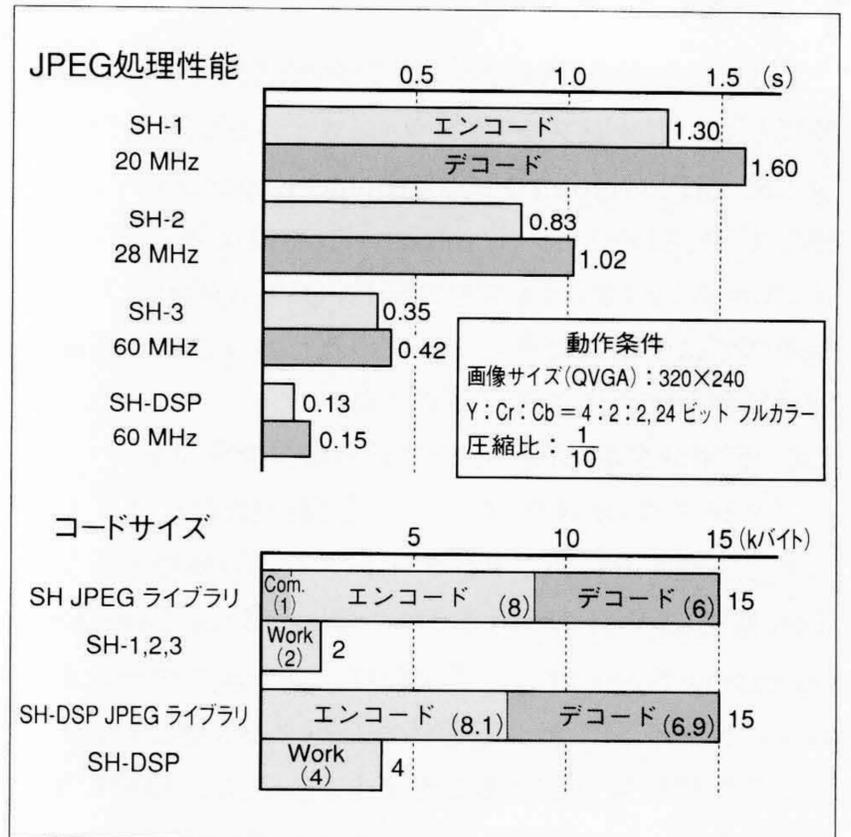
デジタルカメラシステムは、画像を取り込んでデジタル信号に変換するカメラ (MV-DS10) と、画像・音声・システム制御を行うシステムコントロール (DC-DS1) で構成し、SH-DSPマイコンだけでカメラシステム全体を処理する。

これにより、JPEG処理時間の大半を占有するDCTとハフマン符号化・復号化に改善を図った。DCT処理は空間軸から周波数軸に変換を行う処理で、VGA (640×480) は9,600ブロック (1ブロック：8×8) で構成している。DCT処理時間は「処理時間＝分散コサイン処理 (ベクトル積和演算) × ブロック数」となる。ベクトル積和演算をいかに高速に処理するかが重要で、1サイクル積和演算と四つの並列処理の活用によって約2.5倍、ハフマン符号化・復号化についても、高速正規化命令とバレルシフト命令の活用によって約4倍の性能向上を図り、JPEG画像圧縮処理で同じ60 MHzのSHマイコンと比べて2.9倍の高速処理を実現した。性能比較を図4に示す。

4. SH-DSP音声処理ミドルウェア

DSPの主要な応用の一つに音声圧縮伸長処理がある。SH-DSP用に開発した音声処理ミドルウェアを表1に示す。GSM (Global System for Mobile Communications) は、日米以外ではほぼ世界のスタンダードとなっているセルラ規格である。このための音声コーデックを2種開発している。

ADPCMは、PHSや電話交換機に広く採用されている



注：略語説明 Com. (共通部分), Work (ワークエリア)

図4 JPEG処理性能とコードサイズ

SH-DSPでは、JPEGの処理でSH-3の約2.9倍の性能を実現できた。VGAサイズの画像の処理時間は、QVGAの4倍にしたものである。また、コードサイズは15 kバイトとコンパクトなモジュールで構成している。

表1 SH-DSPの音声圧縮ミドルウェアと所要MIPS

日米以外で世界のスタンダードとなっていると思われる、セルラ規格のGSM用に、音声コーデックを2種開発している。

ミドルウェア	所要MIPS (MIPS)
フルレートGSM音声コーデック	3.1
ハーフレートGSM音声コーデック	23
ADPCM音声コーデック	9.92
テレビ会議用G.723音声コーデック	25.6, 24.1*
G.729音声コーデック	32
テレビ会議用音声エコーキャンセラ**	9

注:

* 高ビットレート(6.3kビット/s)用; 25.6 MIPS, 低ビットレート(5.3kビット/s)用; 24.1 MIPS

** テール長96ms(内蔵RAM制約), 周波数領域での処理による連続適応

る, 比較的高品質の音声コーデックである。

G.723はテレビ会議用の音声コーデックであり, 通常はエコーキャンセラと組み合わせて使用する。SH-DSPでは, 合計約35 MIPSの両処理を1チップで実現することができる。

G.729はADPCMの4倍の圧縮を行いながらも, ほぼ等価な音質を維持する。処理遅延も15msと比較的短い。将来, FPLMTS(Future Public Land Mobile Telecommunication System)のセルラ電話やDSVD(Digital Simultaneous Voice and Data)に使用される可能性がある。

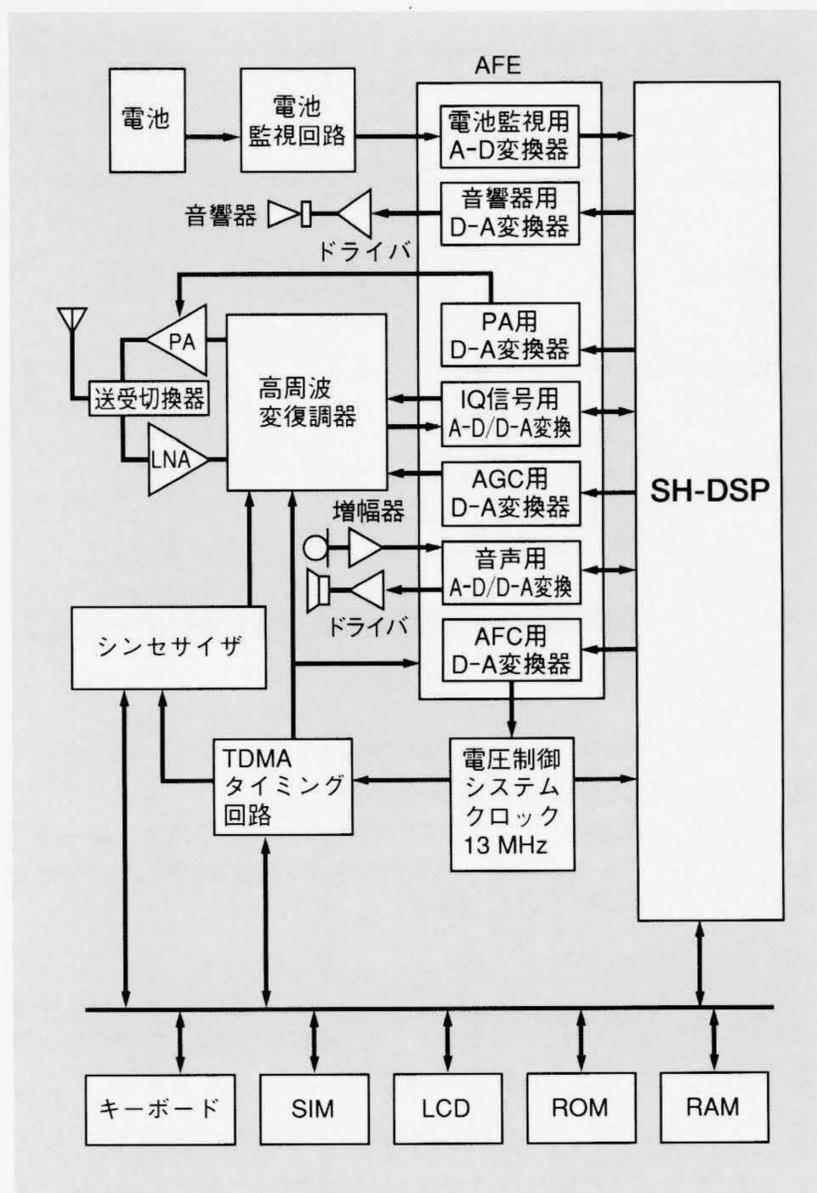
5. SH-DSPの移動通信への応用

次に, セルラ携帯電話やPHSコードレス電話などの移動通信分野への適用, 特にセルラ携帯電話の例を中心に述べる。

移動通信応用でのデジタル処理は, 2種類に大別できる。すなわち, 音声圧縮や波形等化のようなDSP処理と, 通信プロトコルのようなCPU処理である。

携帯電話で使用される音声圧縮は高いDSP性能を必要とし, 普通のRISCプロセッサで処理すると100 MIPS近くもかかってしまう。そのため, 本格的なDSPを用いて20~30 MIPSを実現している。普通のRISCプロセッサに比べて低い動作周波数, すなわち低い動作電圧で実現できるので, 低消費電力化が可能となる。

一方, 通信プロトコル処理はコードサイズが1Mバイト近くもあり, C言語で記述される。DSPは, C言語を効率よくサポートできない。そこで, 通信プロトコル処理は, 汎用のCPUプロセッサを用いて実現している。



注: 略語説明

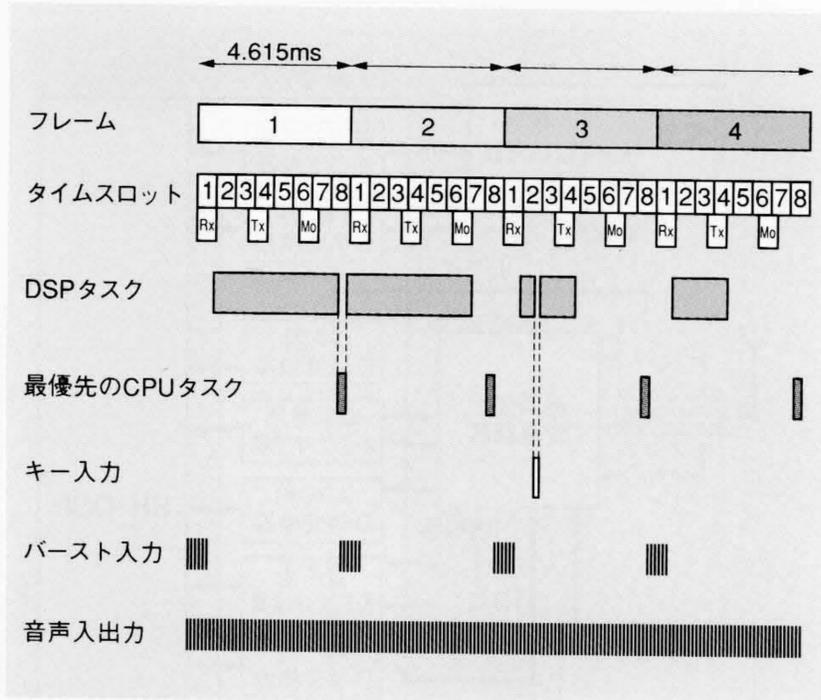
- AFE (Analog Front End)
- PA (Power Amplifier)
- LNA (Low Noise Amplifier)
- AFC (Automatic Frequency Control)
- TDMA (Time Division Multiple Access)
- SIM (Subscriber Identity Module)
- LCD (Liquid Crystal Display)

図5 SH-DSPを用いたセルラ端末の構成例

SH-DSPでは, 2種類の処理を一つのプロセッサで効率よく実行できるので, 二つのプロセッサを用いた場合に比べて, 低電力, 低コストでシステムを実現できる。

SH-DSPでは, これらの2種類の処理を一つのプロセッサで効率よく実行できる。このため, 二つのプロセッサを用いた場合に比べて, システムを低消費電力かつ低コストで実現できる。SH-DSPを用いたセルラ端末の構成例を図5に示す。

一方, 従来二つのプロセッサで行っていた処理を一つのプロセッサ上で統合したための課題もある。すなわち, リアルタイム処理の制約の厳しいDSP処理と, 非同期のCPU処理を両立できるかという課題である。これらは, タスクや割込みの優先度を適切に設定することによって解決できる。



注：略語説明

Rx (Receive), Tx (Transmit), Mo (Monitor)

図6 タスクスケジューリングの例

高い優先度のCPUタスクの中で、必要な処理をTDMAフレームごとに1回実行することにより、リアルタイム制約の厳しいCPU処理の取りこぼしを防ぐことができる。

例えば、DSP処理の重たい音声コーデックが走っているときに、ユーザーからの非同期のキー入力を取りこぼすことがないかという疑問がある。これは次のように考えられる。キー入力は1秒に1回程度である。一方、音声圧縮処理は20~30msが1回の処理単位である。つまり、キー入力は音声圧縮処理30~50回に1回の頻度である。また、キー入力の場合のCPU処理内容は、1キャラクタを取り込んで判定するだけなので、処理サイクルもそれほどかからない。音声圧縮処理は1回に約50万サイクルもかかるので、1回ぐらいキー入力処理に割り込まれても大勢に影響がない。このため、キー入力の割込み優先度を音声圧縮などのDSP処理よりも高くすることにより、取りこぼしを防ぐことができる。

また同様に、DSP処理の重たい音声コーデックが走っているときに、リアルタイム制約の厳しいCPU処理をやり損なうことがないかという懸念もある。例えば、TDMAタイマやシンセサイザの設定をするCPU処理である。これらの処理では、必要なサイクル数は少ないが、各TDMAフレームに少なくとも1回実行する必要がある。

この問題は、すべてのDSPタスクよりも優先度の高いCPUタスクを一つ設けることによって解決できる。この

高い優先度のCPUタスクの中で、必要な処理をTDMAフレームごとに1回実行することによって問題は解決できる。この様子を図6に示す。

以上述べてきたように、SH-DSPが持つ本格的なDSP性能とCPU性能を活用して、移動通信分野で低コスト・低消費電力のシステムを構成することができる。

6. おわりに

ここでは、DSP機能を強化した新世代マイコン“SH-DSP”，およびこれを用いたデジタルカメラ、音声コーデック、移動通信システム技術について述べた。

近年の通信、デジタル民生機器の普及は目覚ましい。また、低価格化、低消費電力化、高機能化への要求はさらに高く、時としてハイエンド機器以上の高度技術が要求される。SH-DSPは、このような市場の要求への一つの回答である。必要最小限の回路増強で、従来SuperHの約3倍のDSP性能を達成できた。

今後も、SuperHシリーズでのDSP、CPU性能の強化、消費電力の低減に努め、通信、マルチメディア機器の普及・発展に貢献していく考えである。

参考文献

- 1) DSP on General-Purpose Processors, Berkeley Design Technology Inc., WWW: <http://www.bdti.com> (1997)

執筆者紹介



馬路 徹

1977年日立製作所入社、半導体事業部、マイコンASIC本部
マイコン設計部 所属
現在、SH-DSP LSI開発の取りまとめに従事
電子情報通信学会会員、IEEE会員
E-mail: baji@cm.musashi.hitachi.co.jp



竹山 寛

1969年日立製作所入社、半導体事業部 応用技術本部
第2システム技術部 所属
現在、SuperH、SH-DSPの画像・処理応用技術に関する
取りまとめに従事
E-mail: takeyama@cm.musashi.hitachi.co.jp



中川 哲也

1983年日立製作所入社、半導体事業部 半導体技術開発
センタ マルチメディアLSI開発部 所属
現在、SH-DSPアプリケーションの先行開発に従事
電子情報通信学会会員、情報処理学会会員
E-mail: tetsuya@crl.hitachi.co.jp