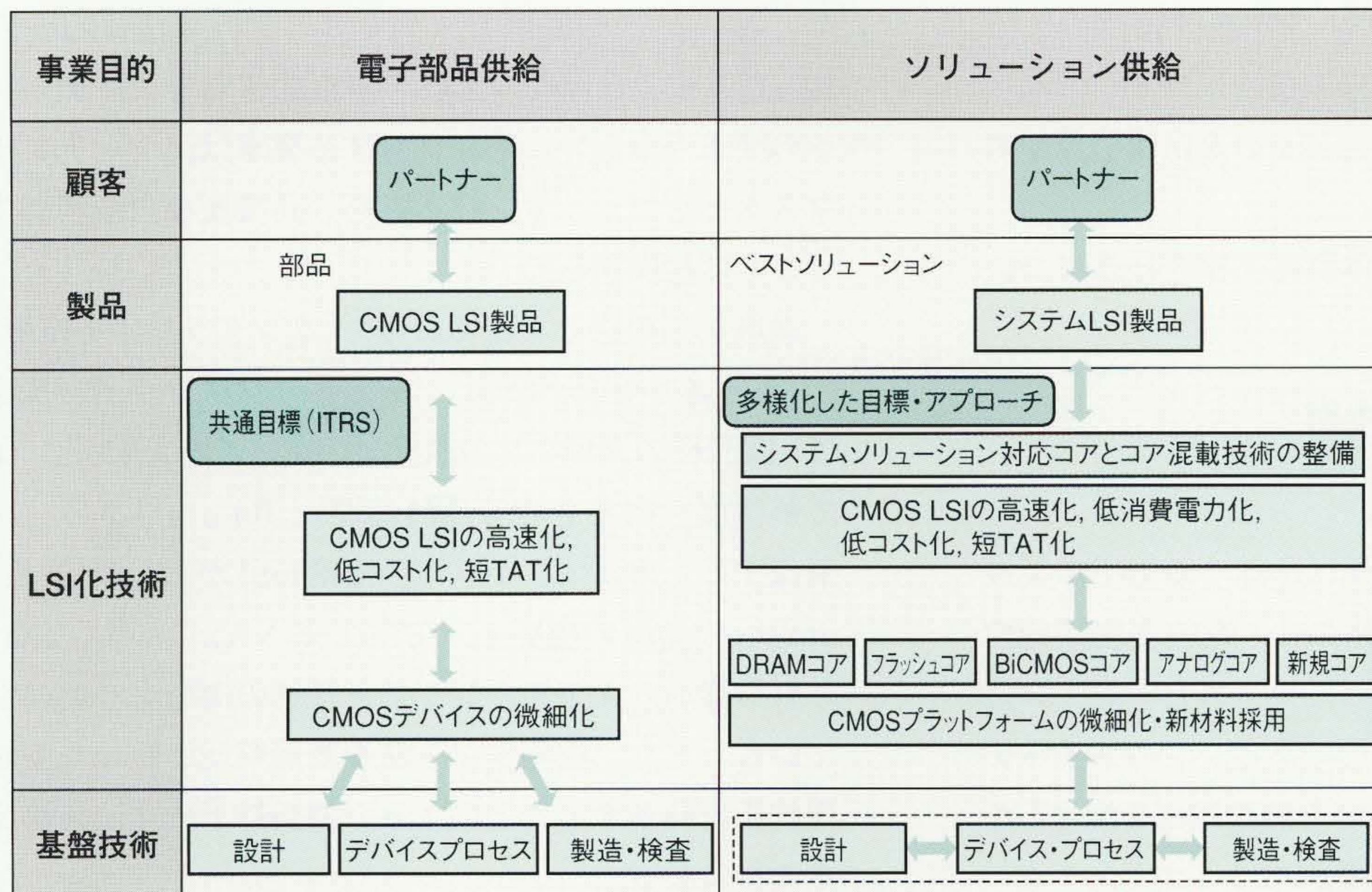


# 0.1 μm時代の半導体製造・検査技術の展望

Technologies of Semiconductor Manufacturing and Inspection Equipment  
for the 0.1 μm Process Generation

徳永尚文 Takafumi Tokunaga  
木村勝高 Katsutaka Kimura

中里 純 Jun Nakazato  
長尾眞樹 Masaki Nagao



注：略語説明

CMOS (Complementary Metal-Oxide Semiconductor)

ITRS (International Technology Roadmap for Semiconductors)

TAT (Turnaround Time)

BiCMOS (Bipolar CMOS)

ベストソリューションを支えるシステムLSI

「システム オン チップ化」の時代では、設計、デバイス・プロセス、製造・検査などの各技術の緊密な連携により、多様化した目標とアプローチの中から、ベストソリューションとなるシステムLSIを顧客に提供することが重要である。

0.1 μm時代では、いわゆる「システム オン チップ化」が進む。これを推進するためには、ITRS (International Technology Roadmap for Semiconductors) に示されているような、CMOS (Complementary Metal-Oxide Semiconductor) デバイスを微細化するLSI化技術だけでは不足である。設計、デバイス・プロセス、製造・検査などの各技術の緊密な連携により、微細化と新材料開発、およびコアとコア混載技術の整備を進めることが必要である。これにより、多様化した目標とアプローチの中から、ベストソリューションを顧客に提供することができる。

0.1 μm時代のLSIでは、CMOSのゲート長は0.1 μm以下まで微細化され、DRAM (Dynamic Random Access Memory)、フラッシュメモリ、BiCMOS (Bipolar CMOS)、アナログコアなどが混載され、多層配線は8、9層となる。また、高誘電率のゲート絶縁膜、Cu配線および低誘電率の層間膜に代表される新材料の採用が本格化する。このようなLSIの製造・検査技術の課題は、(1) 微細化、(2) 新材料採用、(3) コア混載というプロセスに関するものと、(4) 開発TAT (Turnaround Time) 短縮、および(5) 低コスト化という生産技術に関するものに分けて考えられる。

## 1 はじめに

この30年間、半導体製造技術は微細加工技術を中心に進歩してきており、この微細化に対応して、検査技術も強化されてきた。特にMOS (Metal-Oxide Semiconductor) デバイスでは、1970年代に多結晶Siゲートプロセス技術と、イオン打込みによるドーピング技術が確立されて以来、基本的にはこのMOS構造が引き継がれている。

0.1 μmプロセス世代までは、基本的に、CMOS (相補形MOS) 構造の微細化で対応できる<sup>1)</sup>。しかし、それを実

現するためには、微細加工技術はもちろんのこと、ゲート絶縁膜技術、ソース・ドレイン・チャネル形成技術、コンタクト形成技術、多層配線技術などに重要課題が山積している。

これらの課題は、デバイスの構造や材料の物理的境界に起因するものであり、単に製造技術の高精度化にとどまらず、材料の見直しや、応力の制御といった新たなパラメータの制御も必要になっている。

CMOSデバイスをプラットフォームとして、DRAM (Dynamic Random Access Memory)、フラッシュメモ



リ、BiCMOS(Bipolar CMOS)、アナログコアなどのデバイスを混載する場合には、コア単独のプロセスにはなかった、混載特有の課題が生じている。

また、歩留りと信頼度を確保し、短TAT(Turn-around Time)でLSI開発を進めていくためには、デバイスの構造や材料を原子・分子レベルで解析する検査・分析技術と、その知識を製造工程に有機的にフィードバックできる、IT(Information Technology)を活用したシステム構築が重要となる。

ここでは、0.1  $\mu\text{m}$ 時代の半導体製造・検査技術について述べる。

## 2 デバイス・プロセス技術

### 2.1 CMOSデバイスの微細化

CMOSデバイスは、ゲート電極に印加する電圧によってゲート下のSi表面の電位を変化させ、電位変化部分の導電層(チャンネル)の形成を制御し、ソースとドレイン間の電流をオンオフさせるスイッチである。このスイッチの基本性能は、オン時にいかに大きな駆動電流を流せるかと、オフ時にリーク電流をいかに低減できるかで決まる。

オン時に大きな駆動電流を得るのに最も有効な方法は、ゲート長の縮小とゲート絶縁膜の薄膜化である。それぞれ、チャンネルでのキャリアの走行距離の短縮と、キャ

リヤ数の増加という形で、駆動電流を増やす。また、キャリアの移動度は、チャンネルに加わる応力の影響が大きいことがわかっており<sup>2)</sup>、デバイスの設計段階から応力の設計を行うことが重要になってきている。

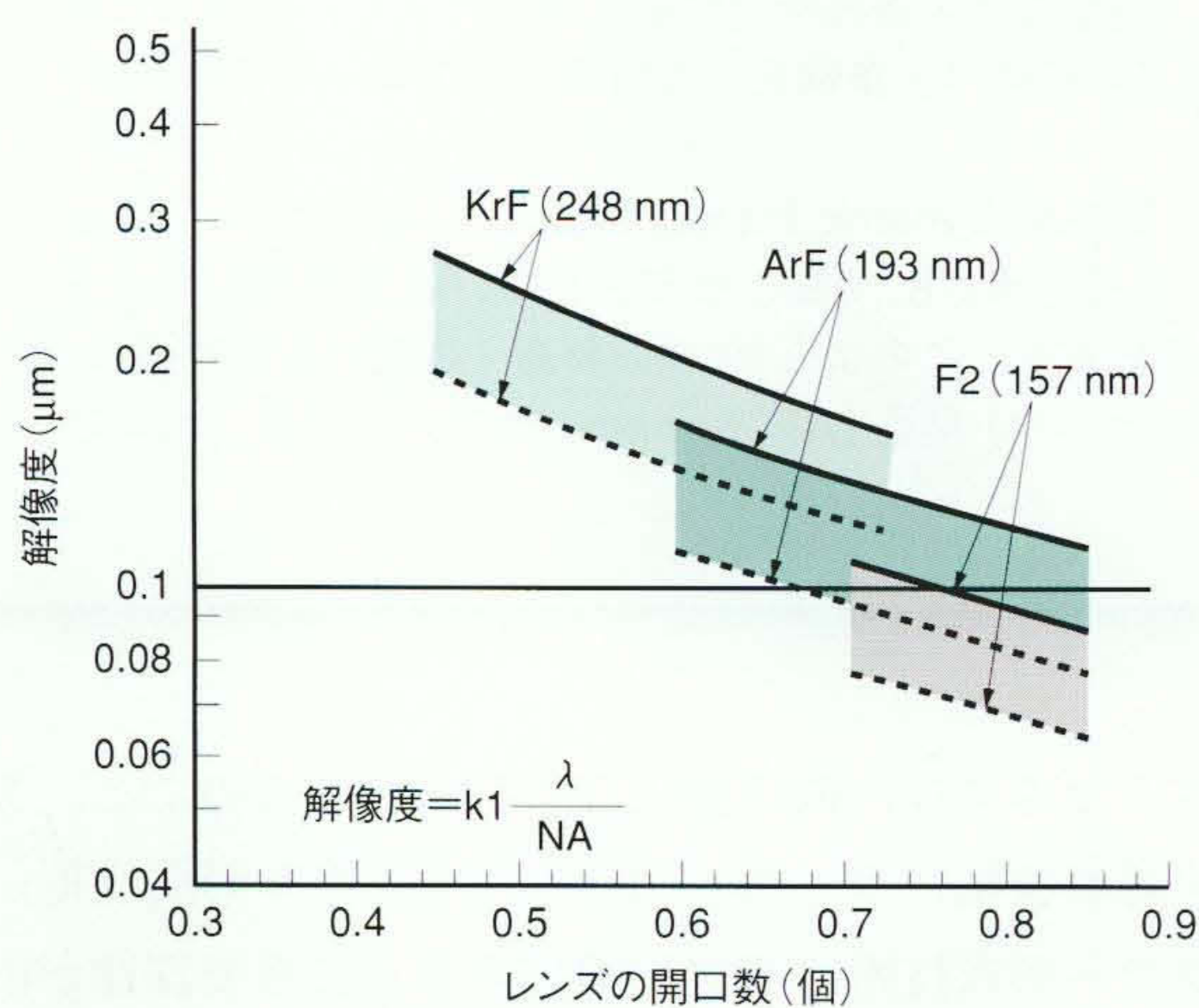
このように駆動電流はゲート長に大きく依存するので、特にゲート電極の加工では、その寸法ばらつきを10%以下まで低減し、形状を垂直化するなど、加工精度への要求が厳しい。形状に対する要求は、ゲート電極をマスクとして、イオン打込みを、高精度な角度制御で行うことに起因する。

微細加工の中心となるのは、「リソグラフィー技術」と「ドライエッチング技術」である。リソグラフィー技術では、露光機の光源の短波長化と、レンズの高NA化によって解像度を向上させる(図1参照)。0.1  $\mu\text{m}$ 以下の寸法を解像するためには、KrF(波長248 nm)からArF(波長193 nm)への光源の変更と、0.7以上のNAが不可欠となる。これに伴い、ArF用のレジスト材料の開発も必要になっている。また、位相シフト法や変形照明と呼ばれる超解像技術を駆使することにより、波長以下の寸法を解像することになる<sup>3)</sup>。

ますます厳しくなるゲート長の加工精度に対応するためには、パターン設計の段階から、プロセスのばらつきを補償できるDA(Design Automation)技術が必要である。OPC(Optical Proximity Correction)技術をさらに高度化し、リソグラフィーの光強度分布だけでなく、ドライエッチングの寸法シフト量も考慮した、総合的な補正を行うことが要求される。

ドライエッチング技術では、レジスト寸法に忠実に加工することが基本であった。今後は目標のゲート長が露光機の解像度以下の寸法になることから、レジスト寸法を縮小する加工技術も必要となる<sup>4)</sup>。また、パターンの疎密差や多結晶Siのドーパントの種類に依存して、寸法シフト量と形状が変化するのを防止することが重要である<sup>5)</sup>。

デバイスの微細化に伴い、デバイスを形成する膜に起因する応力の、特性への影響が大きくなっている。特に、ゲート電極を形成する多結晶Si膜や、その上に自己整合的に形成されるシリサイド膜、さらに、サイドウォールを形成する絶縁膜などの応力が無視できなくなっている。膜応力がデバイスに与える影響を試作前に予想できる、デバイス・プロセスを統合した“TCAD(Technology CAD)”の開発が望まれる。



注1: — (超解像を使用しない場合;  $k_1=0.50$ )

----- (超解像を使用した場合;  $k_1=0.35$ )

注2: 略語説明  $k_1$ (プロセス係数)

NA(Number of Apertures; 開口数)

$\lambda$ (波長)

図1 露光技術の解像度とレンズ開口数、および波長依存性の関係

露光機の光源の短波長化とレンズの高NA化により、解像度を向上させる。



表1 ITRSによるゲート絶縁膜のリーク電流目標値

オフ時のリーク電流成分のうち、最も対策が必要になるのは、ゲート絶縁膜を通して流れるトンネル電流である。

| 西暦年度             |                            | 2001    | 2002        | 2003  | 2004    |
|------------------|----------------------------|---------|-------------|-------|---------|
| 電源電圧(V)          |                            | 1.2～1.5 | 同左          | 同左    | 0.9～1.2 |
| ゲート(μm)          |                            | 0.10    | 0.085～0.090 | 0.080 | 0.070   |
| ゲート絶縁膜<br>膜厚(nm) |                            | 1.5～1.9 | 同左          | 同左    | 1.2～1.5 |
| 高速<br>LSI        | ゲート絶縁膜<br>リーク電流<br>(nA/μm) | 8       | 10          | 13    | 16      |
| 低電力<br>LSI       | ゲート絶縁膜<br>リーク電流<br>(nA/μm) | 0.008   | 0.010       | 0.013 | 0.016   |

## 2.2 新材料の採用

0.1  $\mu\text{m}$ 世代のCMOSデバイスでは、オフ時のリーク電流成分のうち、最も対策が必要になるのは、ゲート絶縁膜を通して流れるトンネル電流である。ITRS(International Technology Roadmap for Semiconductors)による高速LSIと低電力LSIそれぞれのリーク電流の目標値を表1に示す。ゲート絶縁膜として用いられてきたSi酸化膜は、膜厚が高速LSIでは1.5 nm以下、低電力LSIでは2 nm以下となると、トンネル電流によってリーク電流の目標を満足できなくなる(図2参照)。このため、新材料への置き換えが必要になると考えられる。この目標値を満足させるためには、Si酸化膜を誘電率のさらに高い材料に変更することによって膜厚を大きくさせる必要がある。これにより、トンネル電流を低減することが可能となる。新材料の候補としては、Ta, Ti, Al, Zr, Hf系の酸化

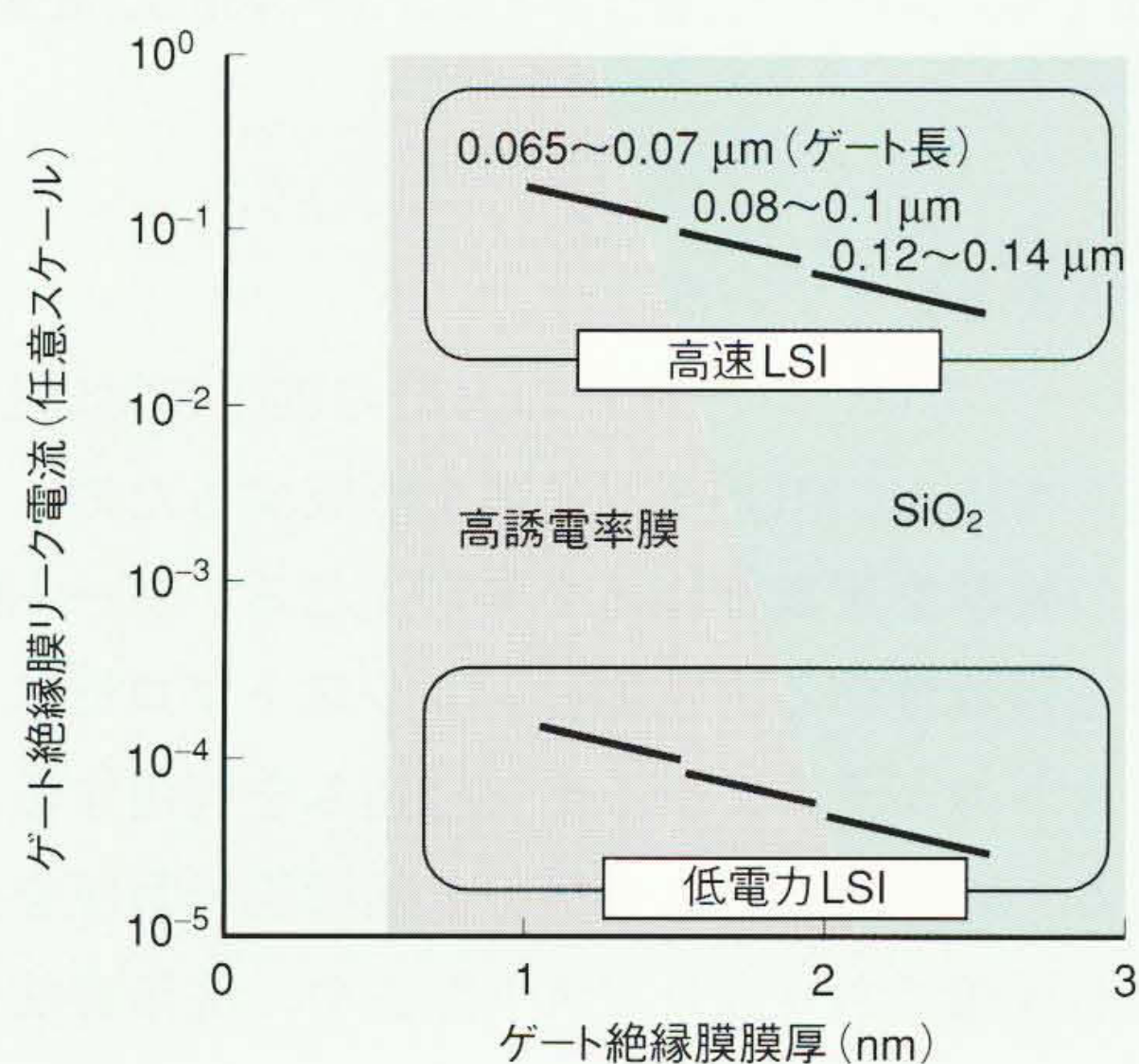


図2 ゲート絶縁膜膜厚とゲート絶縁膜リーク電流の関係

高速LSIでは膜厚が1.5 nm以下、低電力LSIでは2 nm以下となると、SiO<sub>2</sub>ではトンネル電流によってリーク電流の目標を満足できなくなる。

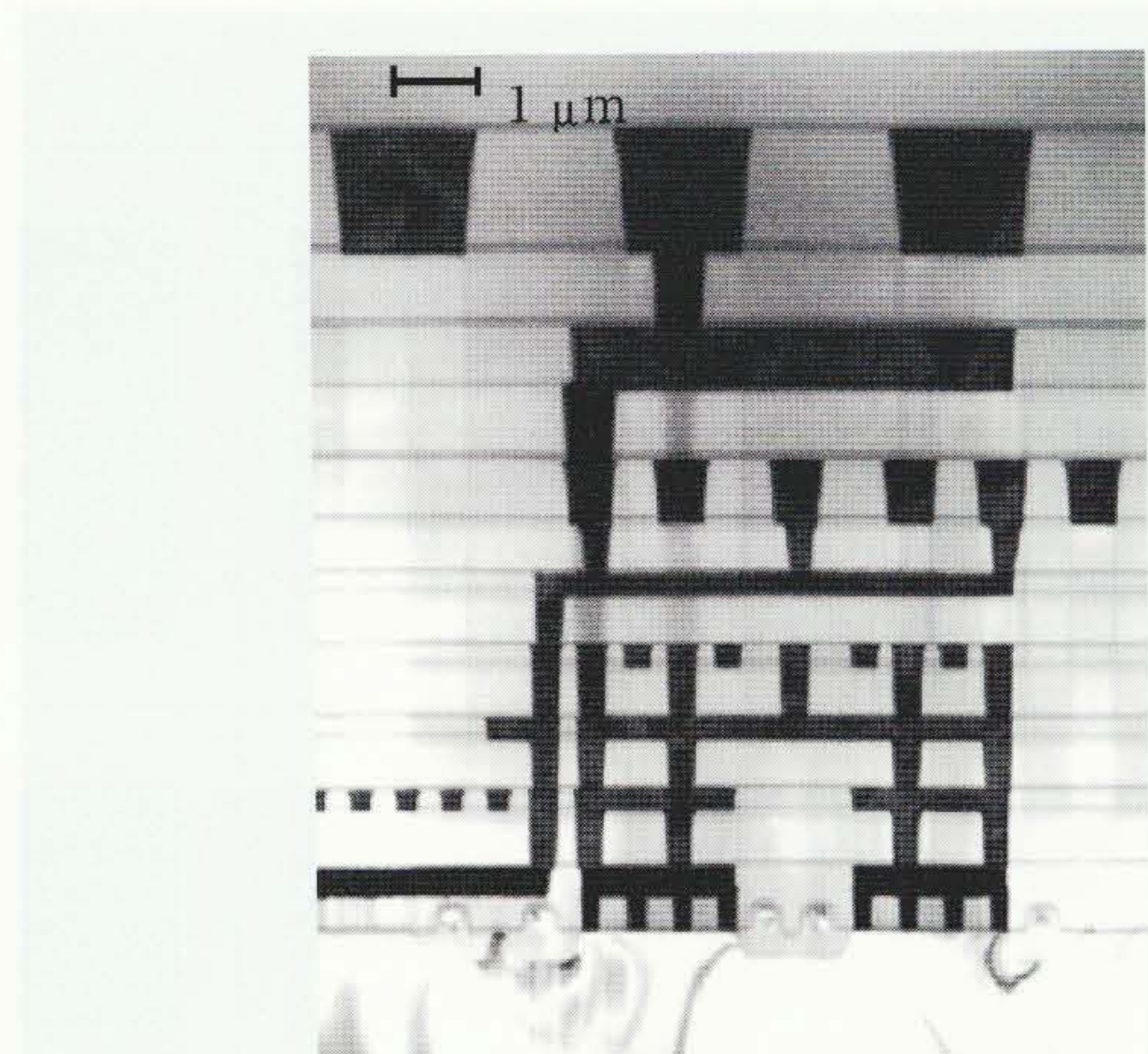


図3 Cu多層配線の断面

Cu配線の断面をTEM(透過電子顕微鏡)で観察した結果を示す。加工では、配線とスルーホールを同時に形成する「デュアルダマシン法」を用いた。

膜やシリケート膜など多数あるが、誘電率が高いだけでなく、高誘電率膜・Si界面の電気的特性が重要である。

CMOSデバイスで発生した高速パルスで、多層配線で、遅延時間や波形ひずみを少なく伝搬させるためには、配線抵抗と層間膜容量の低減が不可欠である。すでに、配線材料として銅(Cu)が、層間膜としてフッ素(F)ドープのSi酸化膜がそれぞれ採用され始めている。これらの材料を用いて試作したCu多層配線の断面をTEMで観察した結果を図3に示す。配線では、第1層から5層まで0.5  $\mu\text{m}$ ピッチを採用し、加工には、配線とスルーホールを同時に加工する「デュアルダマシン法」を用いている。今後は、配線ピッチの縮小と、誘電率がさらに低い層間絶縁膜への移行が必要になる<sup>6)</sup>。

ITRSによれば、Cu配線ピッチは0.32  $\mu\text{m}$ 程度まで微細化が進み、デュアルダマシン法の高精度化が不可欠となる。特に、加工を担うドライエッチング技術とCuのCMP(Chemical-Mechanical Polishing)技術の改良、さらに、Cuの埋込みに用いられるめっき技術の確立が必要である。ドライエッチング技術では、配線とスルーホール部を一度に加工することから、高い寸法精度と選択性が求められる。また、CuのCMP技術では、CMP装置の均一性向上とプロセスモニタの整備が進むとともに、スラリーやパッド材料の最適化が進むものと考えられる。

日立製作所と日立化成工業株式会社は、CuCMP用の無砥粒スラリーを共同開発した<sup>7), 8)</sup>。このスラリーを用いると、下地膜との研磨の選択性を高くすることができ、配線のショートを防ぐためのオーバ研磨を行っても、Cuの配線層や層間膜の削れ量を小さくできる(図4参照)。



|                   | オーバCu研磨なし | 50%オーバCu研磨 | 100%オーバCu研磨 |
|-------------------|-----------|------------|-------------|
| 無砥粒スラリーを用いたCu研磨断面 |           |            |             |
| 従来スラリーを用いたCu研磨断面  |           |            |             |

図4 Cu研磨用無砥粒スラリーと従来スラリーによる断面比較  
日立製作所と日立化成工業株式会社が共同開発したCu研磨用の無砥粒スラリーを用いると、下地膜との研磨の選択性を高くでき、Cu配線層や層間膜の削れ量を低減できる。

このため、配線抵抗を安定して低くすることが可能である。また、スクラッチと呼ばれる表面のきずも低減できることがわかっている。

層間絶縁膜材料の誘電率は、Si酸化膜の約4.2から、フッ素ドープのSi酸化膜の約3.7まで低減されてきた。今後は、3以下の誘電率を目標として、CVD (Chemical Vapor Deposition) 膜や塗布膜の採用が進むものと予想する。層間膜に要求されるのは、誘電率のほか、(1) 脱ガスでCuの埋込を阻害しないこと、(2) Cuに対する接着性とバリア性が高く、TDDDB (Time Dependent Dielectric Breakdown) 寿命が十分長いこと、(3) CMPに耐える機械的強度を持つことなどである。現状では、CVD膜と塗布膜にはそれぞれ一長一短があり、これらの組合せが重要と考える。

2.3 コアの混載

システムLSIでは、CMOSデバイスをプラットフォームとして、DRAMやフラッシュメモリ、BiCMOS、アナログコアなどの各種コアの混載が始まっている。混載プロセスとしては、(1) CMOS以外のデバイスの混載と、(2) CMOSデバイスの複数種混載の二通りが考えられる(図5参照)。

(1) のケースでは、CMOSデバイスの工程にCMOS以外のデバイス形成工程が加わるので、熱負荷や応力、プラズマダメージなどが増大しやすい。特に熱負荷については、CMOSデバイスの特性劣化を生じないように、CMOS以外のデバイス形成工程での熱処理の低温化と短

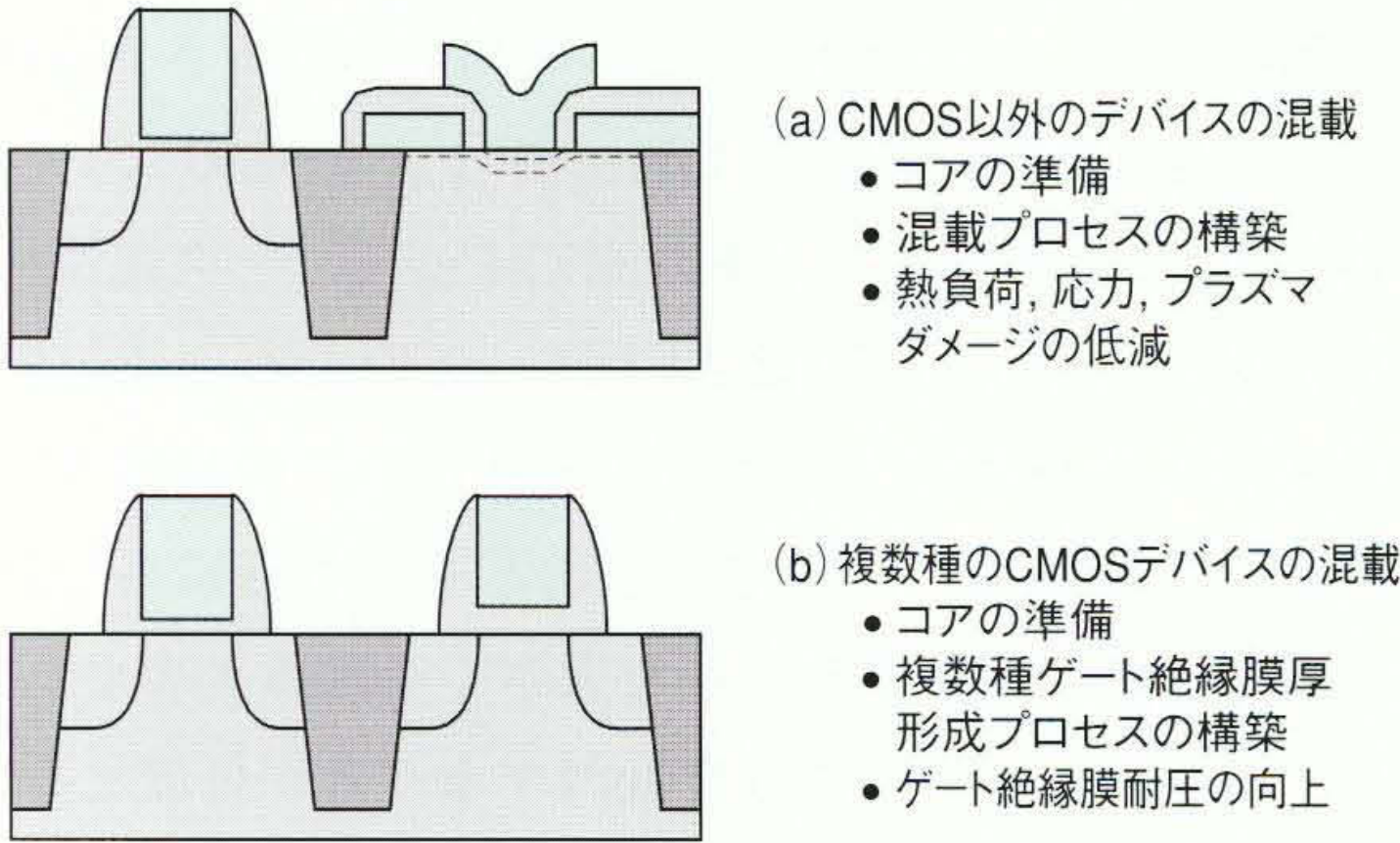


図5 システムLSIプロセス構築の課題  
(a)、(b)ともに各コアの混載技術をモジュール化し、任意の組合せの混載がすぐにできるようにしておく。

時間化が重要となっている。  
(2) のケースでは、ユーザーの入出力電圧に対応して、異なる電源電圧のCMOSデバイスを形成するため、ゲート絶縁膜の膜厚を複数種作る必要が生じる。ゲート酸化膜の膜厚を複数種作る方法には、レジストプロセスを用い、ウェットエッチングやイオン打込みを利用する方法などがある。いずれの場合もゲート絶縁膜の耐圧を確保することが課題であり、レジスト除去や、洗浄方法の最適化が重要であることがわかっている。  
(1) と(2) のケースとも、各コアの混載技術をモジュール化することにより、要求があれば、任意の組合せの混載を直ちに実行できるように準備しておくことが重要である。



### 3 生産技術

#### 3.1 開発TAT短縮

システム オン チップ化が進むと、多品種で、変動する生産量に対応できる生産形態が主流となる。多様なLSIが短期間で開発され、生産期間と生産量は、ユーザーの要求に依存する。このため、LSIの開発TAT短縮と、生産での早期歩留り向上がますます重要になる。

開発TAT短縮のポイントは、(1) TEG(Test Element Group)とシミュレーションを活用した回路・プロセスのコンカレント開発、(2) 製造ばらつきを考慮した回路・プロセスのロバスト設計、および(3) QTAT(Quick TAT)による不良解析・対策試作である(図6参照)。

回路設計やプロセス設計を検証するために製品試作を繰り返すことは、時間とコストの面で困難である。回路設計は設計CADにより、プロセス設計はTCADとTEG試作により、製品試作以前にそれぞれ並行して設計検証を十分に行っておく必要がある。

回路・プロセスの設計にあたっては、回路シミュレーションやデバイスモデルに製造ばらつきを取り込み、製造時の性能予測を行い、回路・デバイスの早期改善を図ることが重要である。

また、試作工程のインラインでの計測・解析技術により、プロセスモニタの整備や、欠陥の早期発見が不可欠である。プラズマ処理やCMP工程の増加に伴い、その再現性を高めるためのモニタはもちろんのこと、チャージ

アップ量や応力といったデバイスの負荷となるパラメータのモニタも必要となる。

欠陥の検出と不良位置の同定には、回路DAによる大まかな位置推定と、発光・発熱解析、SEM(走査電子顕微鏡)やFIB(集束イオンビーム)による電位コントラスト観察、ナノプローブ(SEM内に4本の走査プローブ顕微鏡を搭載した装置)による直接計測などを駆使していくことが重要である。最近では、微細度が高い、新材料を含む複雑な構造に作り込まれる欠陥を検出することが重要になってきている。例えば、Cu配線に用いられるめっき膜の微細なボイド発生などは信頼度上の懸念点であり、対策が必要である。ランダムな配線パターンでも、チップ間で比較検査できるSEM式の検査装置を用いることにより、微細な欠陥を検出していくことが不可欠となる。

#### 3.2 低コスト化

低コスト化を図るためには、デバイス・プロセスの設計段階からコストを作り込むことと、製造技術の生産性を高めることが重要である。デバイス・プロセスの必要マスク枚数を減らし、工程数を減少させるとともに、ウェーハ当たりのチップ取得数増加が必要である。チップ取得数増加のため、(1) チップサイズの縮小、(2) チップ取得領域の拡大、(3) ウェーハの大口径化などが図られている。

チップサイズの縮小は微細化の目的の一つであり、今後も、低コスト化の柱として継続的に推進されるものと考ええる。また、各プロセス処理でのウェーハ上の均一性保証領域をウェーハ端まで拡大することにより、さらに多くのチップをウェーハ上に形成できるように努力していくことが求められる。

0.1  $\mu\text{m}$ 世代の量産を目指して、300 mm径ウェーハラインの構築が本格化している。300 mm径対応の生産技術がまもなく確立し、コスト低減効果が出始めるものと予想する。ウェーハの300 mm径化への対応は、生産設備から開始されている。今後は、開発と生産の技術移転を円滑にするために、研究開発ラインにも及ぶものと予想する。

製造・検査装置の設備投資額が、製造コストに重くのしかかっていることは言うまでもない。製造・検査装置の分野では、複数の工程を一貫処理化できるインテグレーションが進められている。機能面だけでなく、コストの観点で厳しく見直し、コストメリットを出していくことが重要である。

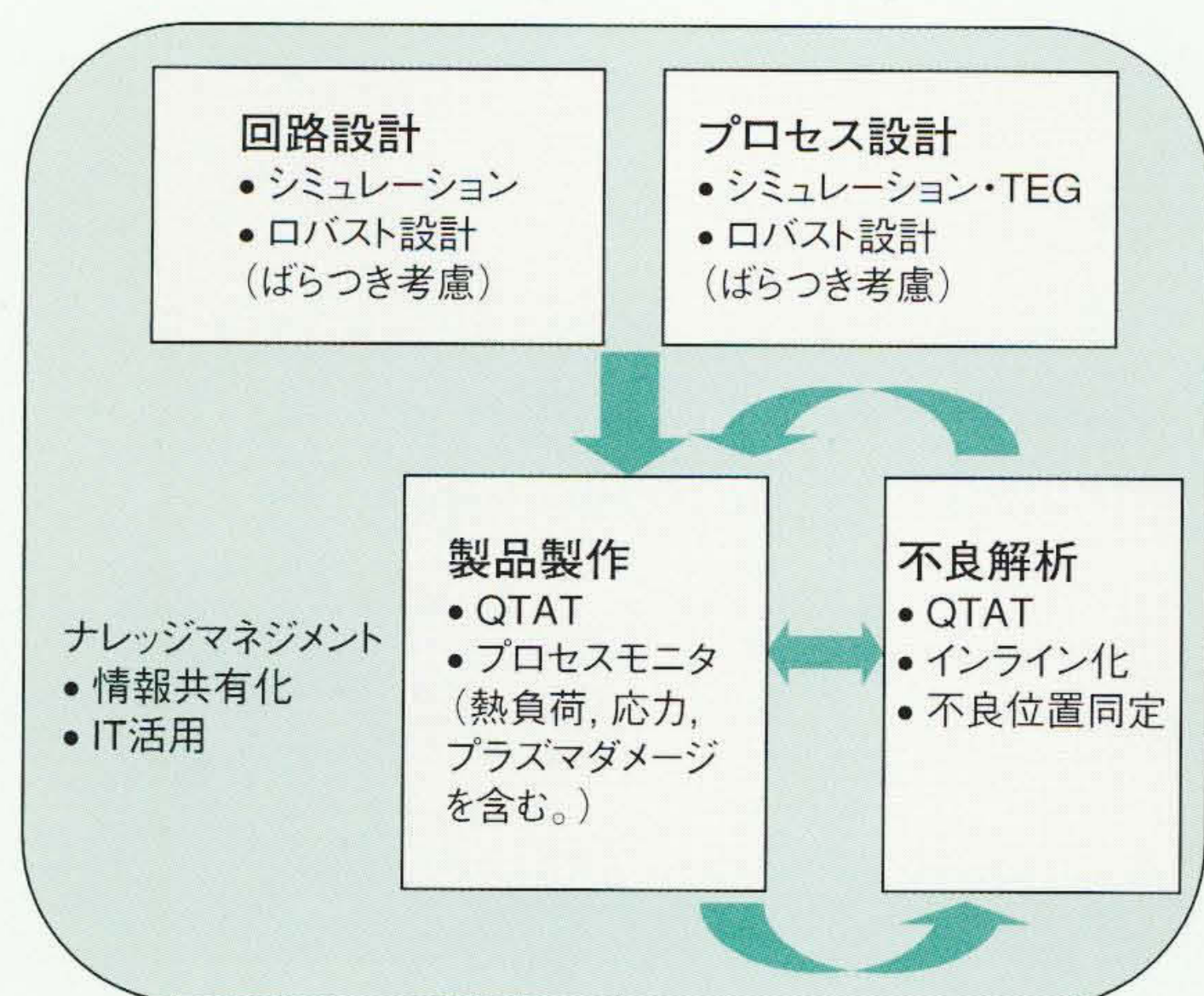


図6 開発TAT短縮の考え方

システム オン チップ化が進むと、多品種で、変動する生産量に対応できる開発TATの短縮と、生産での早期歩留り向上がますます重要になる。



## 4 おわりに

ここでは、0.1  $\mu\text{m}$ 時代の半導体製造・検査技術について述べた。

システム オン チップ化が進むと、“What to make(何を作るべきか)”を見極め、技術開発を進めることがますます重要になる。設計、デバイス・プロセス、製造・検査技術間の新しい協力関係を構築することにより、顧客にベストソリューションを提供していく考えである。

## 参考文献

- 1) T. Onai, et al.: 0.1- $\mu\text{m}$  CMOS Technology for High-speed Logic and System LSIs with SiO/SiN/poli-Si/W Gate System, IEDM Tech. Dig., p. 937(1999)
- 2) A. Hamada, et al.: IEEE Trans. Electron Devices ED-38, p. 895(1991)
- 3) S. Okazaki: Lithography for 0.18  $\mu\text{m}$  Technology and Beyond, IEDM Tech. Dig., p. 57(1996)
- 4) H. Kawakami, et al.: Sub-100 nm Pattern Formation Using Ozone Asher, Proc. of the 54th Symp. on Semiconductors and IC Tech., p. 60, Tokyo(1998)
- 5) N. Itabashi, et al.: CD-controlled Gate Etching with High Uniformity Using UHF-ECR Plasma, Proc. of the 21st Symp. on Dry Process, Tokyo, p. 115(1999)
- 6) Oyo Butsuri, Vol. 68, No. 11(1999)
- 7) H. Yamaguchi, et al.: A 7-level Metallization with Cu Damascene Process Using Newly Developed Abrasive Free Polishing, Proc. of International Interconnect Technology Conference in 2000, p. 265, San Francisco (2000)
- 8) S. Kondo, et al.: Complete-Abrasive-Free Process for Copper Damascene Interconnection, Proc. of International Interconnect Technology Conference in 2000, p. 253, San Francisco(2000)

## 執筆者紹介



### 徳永尚文

1980年日立製作所入社，デバイス開発センタ 半導体技術開発本部 プロセス開発部 所属  
現在，半導体プロセス技術の開発に従事  
応用物理学会会員  
E-mail: t-tokuna @ ddc.hitachi.co.jp



### 木村勝高

1980年日立製作所入社，中央研究所 ULSI研究部 所属  
現在，CMOSプロセス・デバイス，半導体メモリの研究開発に従事  
電子情報通信学会会員，応用物理学会会員，IEEE会員  
E-mail: kkimura @ srl.hitachi.co.jp



### 中里 純

1975年日立製作所入社，生産技術研究所 所属  
現在，半導体と薄膜製品の研究開発に従事  
経営工学会会員，日本オペレーションズ・リサーチ学会会員  
E-mail: nakazato @ perl.hitachi.co.jp



### 長尾真樹

1979年日立製作所入社，半導体グループ 生産技術本部 所属  
現在，半導体生産技術の開発に従事  
工学博士  
E-mail: nagao-masaki @ sic.hitachi.co.jp