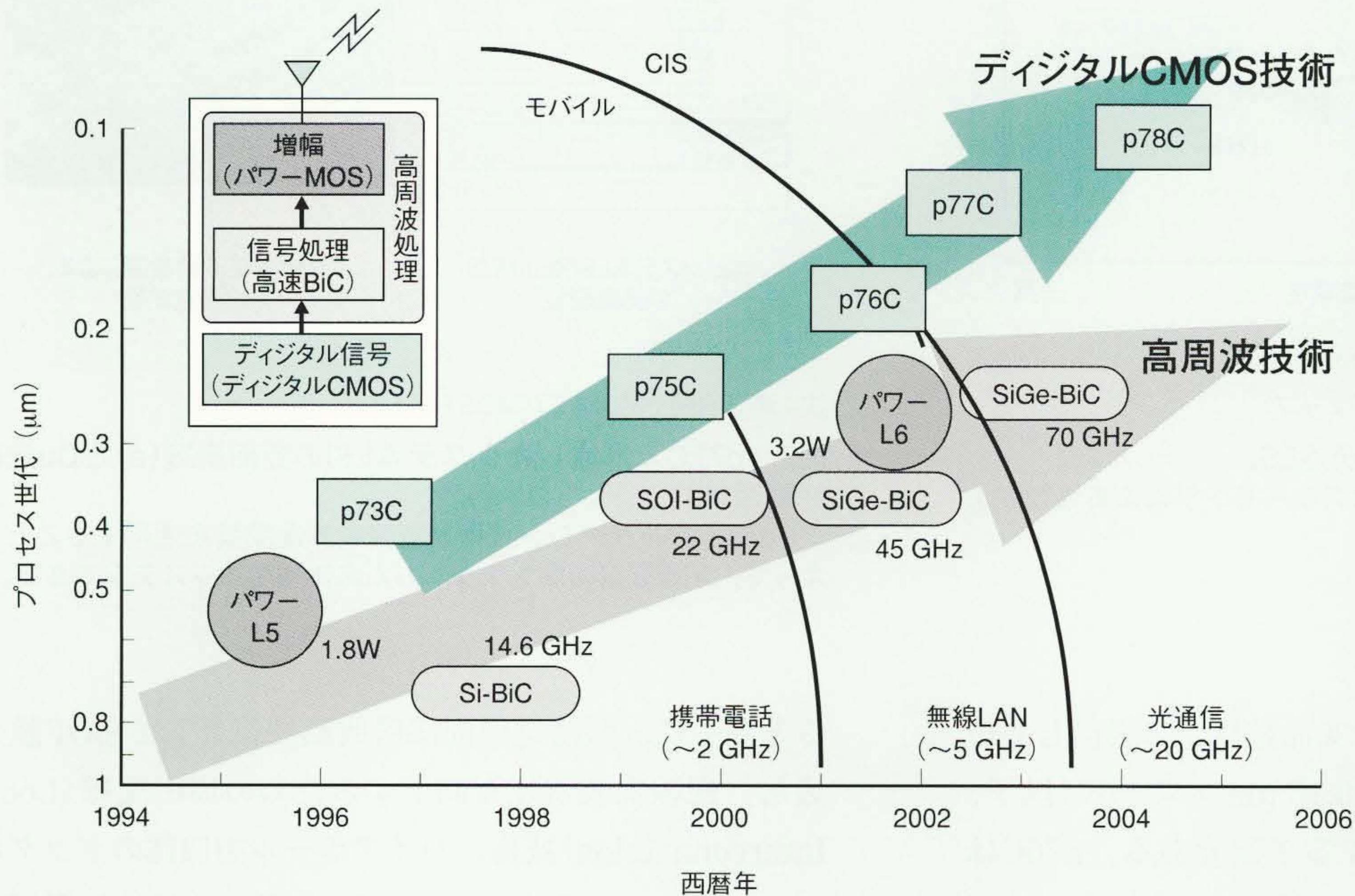


ネットワークを支える半導体プロセス

Semiconductor Processes for Networks

黒田謙一 Ken'ichi Kuroda
奥山幸祐 Kôsuke Okuyama

山崎幸一 Kôichi Yamazaki
組橋孝生 Takao Kumihashi



注：略語説明

CMOS (Complementary Metal-Oxide Semiconductor)
BiC (Bipolar CMOS)
SOI (Silicon on Insulator)
L5 (0.5 μm プロセス)
L6 (0.25 μm プロセス)
p73C (0.35 μm プロセス)
p75C (0.20 μm プロセス)
p76C (0.18 μm プロセス)
p77C (0.13 μm プロセス)
p78C (0.10 μm プロセス)
CIS (Car Information System)

ネットワークを支える半導体プロセスの高性能化

日立製作所は、デジタルCMOS技術で培った先端プロセス技術を高周波技術に展開することにより、ネットワークに必要な(1) デジタル信号処理、(2) 高周波信号処理、および(3) 高周波増幅の各機能を持つ製品を展開している。

ネットワーク分野の拡大を支えるネットワークLSIの製造では、システムLSIに代表される微細化技術の進展によるLSIの高性能化、部品点数の削減、そして安価であることが重要である。さらに、ネットワークLSIの両輪となる、デジタル信号処理LSIと高周波LSIに適した、半導体プロセス技術の開発が不可欠である。

日立製作所は、これらのニーズにこたえて半導体プロセス技術の開発を進めている。

1 はじめに

ここ数年のネットワーク分野の進展と拡大には目覚ましいものがあり、その基盤技術を成すのがネットワークLSIである。それは、例えば、デジタル信号用としての携帯電話向けアプリケーションプロセッサであり、高周波用としての短距離無線通信用ブルートゥースである。

これらのLSIの進歩を支えるのが、システムLSIの製造で培われた半導体プロセスの微細化技術である。

デジタル信号用LSIには、(1) 高性能化、(2) 低消費電力化、(3) 小型化、(4) 低コスト化といった要件が求められる。また、高周波用LSIでは、このほかに、(5) 高周波特性がよい、(6) 低ノイズ耐性が必須である、(7)

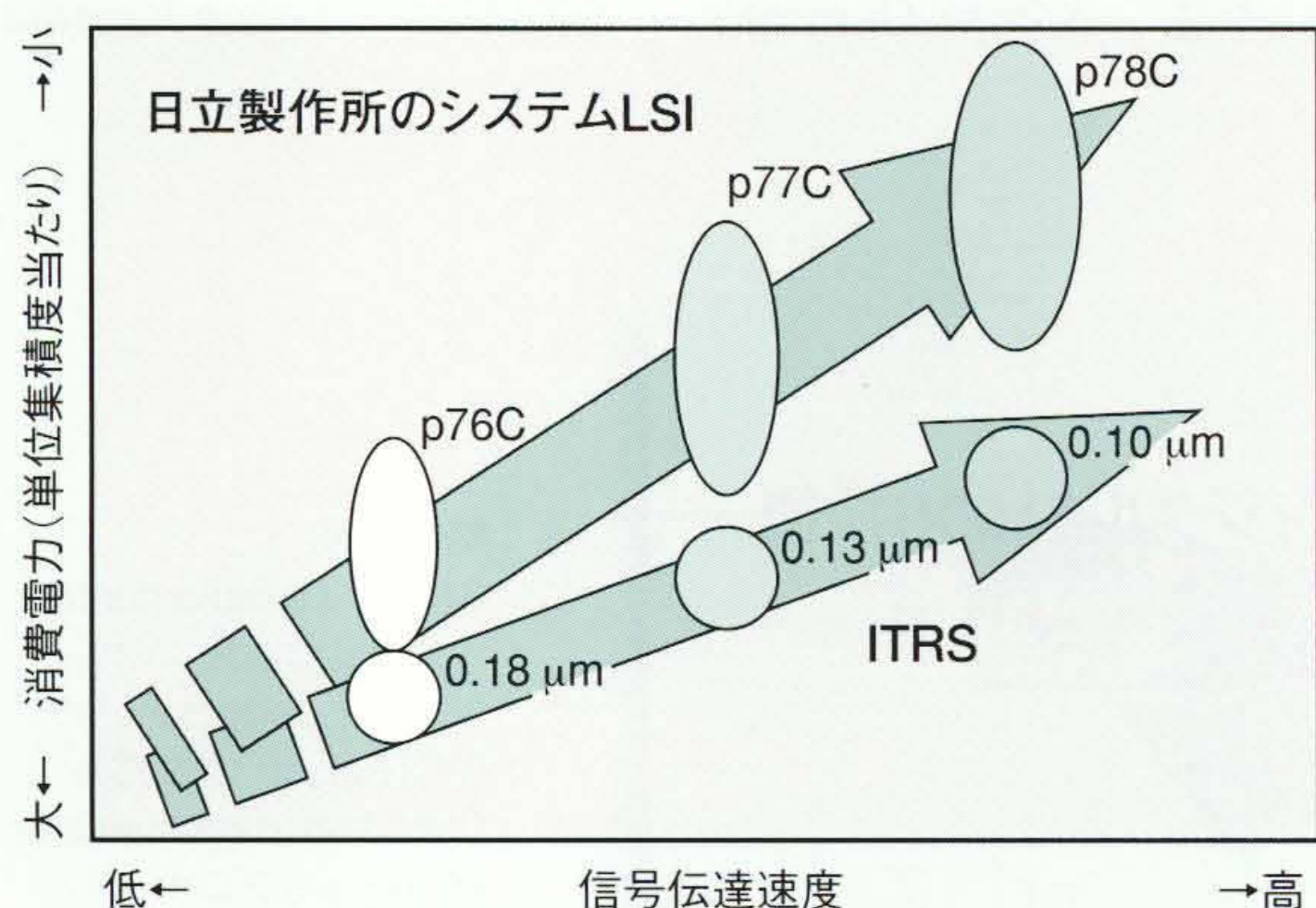
市場にタイムリーかつ安価に提供できるといったことも重要となる。

ここでは、これらの半導体プロセスについて述べる。

2 デジタル半導体プロセス

2.1 低電圧・低消費電力化対応プロセス技術

日立製作所は、かねてから低電圧・低消費電力・低コストを実現したシステムLSIを製品化してきた。ネットワーク社会を支える種々の携帯端末機器では、電池寿命の面からも低電圧・低消費電力化のニーズが強まってきており、これらのニーズを満たすシステムLSI製品の適用が広がっている。日立製作所は、これらの製品を可能にするプロセス技術として、2000年に0.18 μmプロセス(以下、“p76C”と言う。)をリリース済みであり、SuperH



注：略語説明 ITRS(国際半導体ロードマップ)

図1 低消費電力化を目指すシステムLSI

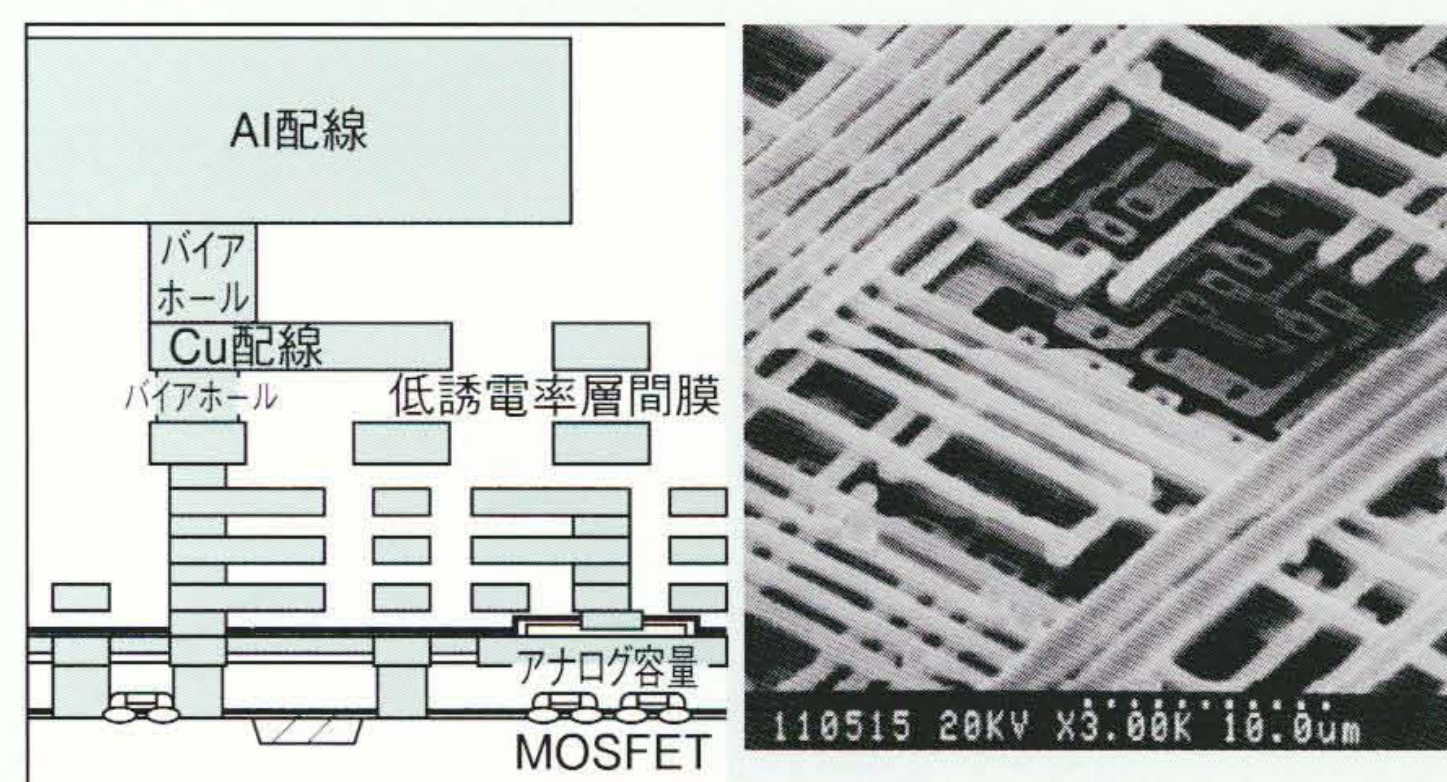
低消費電力化のために、デバイススケールリングによる性能向上を活用している。

マイコンなどのシステムLSIで30品種以上に展開している。さらに、2002年3月には0.13 μmプロセス(以下、“p77C”と言う。)をリリースする予定である。p76CはITRS(国際半導体ロードマップ)の0.18 μm世代に、p77Cは0.13 μm世代にそれぞれ相当するプロセスである。日立製作所はITRSと同等な性能〔MOS(Metal-Oxide Semiconductor)トランジスタの駆動能力など〕を得ており、さらに、戦略的に低消費電力を優先するデバイス設計を行っている(図1参照)。この傾向を、p76Cからp77Cに移行する過程でさらに特徴づけている。すなわち、デバイススケールリングによる性能向上を利用して、内部電圧可変技術や部分電源切断システム技術などの回路技術を併用することで、低電圧・低消費電力化と高性能化を両立している。

日立製作所は、p76C開発からプラットフォームを適用することで開発時間を短縮するとともに、顧客へのTAT(Turnaround Time)短縮を図っている。p77Cではプラットフォームをさらに充実させ、これらの低電圧・低消費電力システムLSIプロセスと高速システムLSIプロセスに同一プラットフォームで対応している。

2.2 p76C技術

このプロセスでは、前世代のp75Cで開発した溝埋込形トレンチアイソレーション〔STI(Shallow Trench Isolation)〕技術、CMP(Chemical-Mechanical Polish)技術、2種ゲート絶縁膜厚形成技術、2種ゲート電極(Dual Gate)技術、CoSi₂サリサイド技術などをさらに改良、微細化する



注：略語説明 MOSFET(MOS Field-Effect Transistor)

図2 p77Cで形成したシステムLSIの断面構造(a)とCu配線観測図(b)

Cuデュアルダマシン技術と低誘電率層間膜を活用することによって、配線遅延時間を少なくした高集積配線システムである。

るとともに、低誘電率配線層間膜技術としてSiOF膜の適用、配線実装密度を向上するための局所配線(Local Interconnection)技術、バイアホール開口部のドッグボーンレス化、0.12 μmの最小ゲート電極加工寸法微細加工技術などの新技術を適用している(図2参照)。MOSデバイスでは1.8 V系(コア回路部)と3.3 V系(アナログ、入出力回路部)の2種類のデバイスを用い、ロバスト設計手法¹⁾(デバイス特性が種々のプロセスばらつきに依存しにくい設計手法)を用いてオン電流・オフ電流(I_{on}/I_{off})の最適設計を図っている。

2.3 p77C技術

日立製作所は、微細加工技術として光源の短波長化にKrFエキシマレーザを光源として適用することにより、最小ゲート寸法0.07 μmの微細加工を可能にした。さらに、ゲート応力制御技術や極浅拡散層形成技術、チャネル濃度制御技術などを駆使し、高性能なMOSデバイスを確立した。配線システムにはバイアホールと配線溝に銅を同時に埋め込む配線形成(Cuデュアルダマシン)技術を用いて、バイアホールと配線の抵抗を半分に下げた。また、デュアルダマシン構造形成時に使われるドライエッチングストッパ膜と層間膜には、低誘電率の膜を用いた。Cu配線と低誘電率のドライエッチングストッパ膜および層間膜を組み合わせることにより、配線遅延時間を少なくすることができた。これらのMOSデバイス・配線の性能向上により、低電源電圧化(1.2 V/0.9 V)と低消費電力化を可能にした(表1参照)。

表1 p77Cのデバイス・プロセス特性

p77Cでは、高速、標準、低消費の3水準のデバイスを高集積で、低消費電力化を可能としながら品ぞろえした。

製品名	p76C	p77C		
		高 速	標 準	低消費
プロセス	0.18 μm	0.13 μm	同左	同左
ゲート長	0.14 μm	0.10 μm	同左	同左
電源電圧	1.8/1.5 V	1.2 V	同左	同左
DAピッチ	0.52 μm	0.36 μm	同左	同左
ゲート密度*	1.0/1.33	2.09	2.78	同左
SRAM密度*	1.0/1.36	1.55	2.57	同左
tpd*	1.0	0.37	0.88	0.73
Pd*	1.0	2.0	0.65	0.35

注：略語説明ほか
DA (Design Automation), SRAM (Static Random Access Memory)
tpd (Periodic Delay Time), Pd (Power Dissipation)
*p76Cの値を1.0とした場合の相対値

3 RF用プロセス・デバイス技術

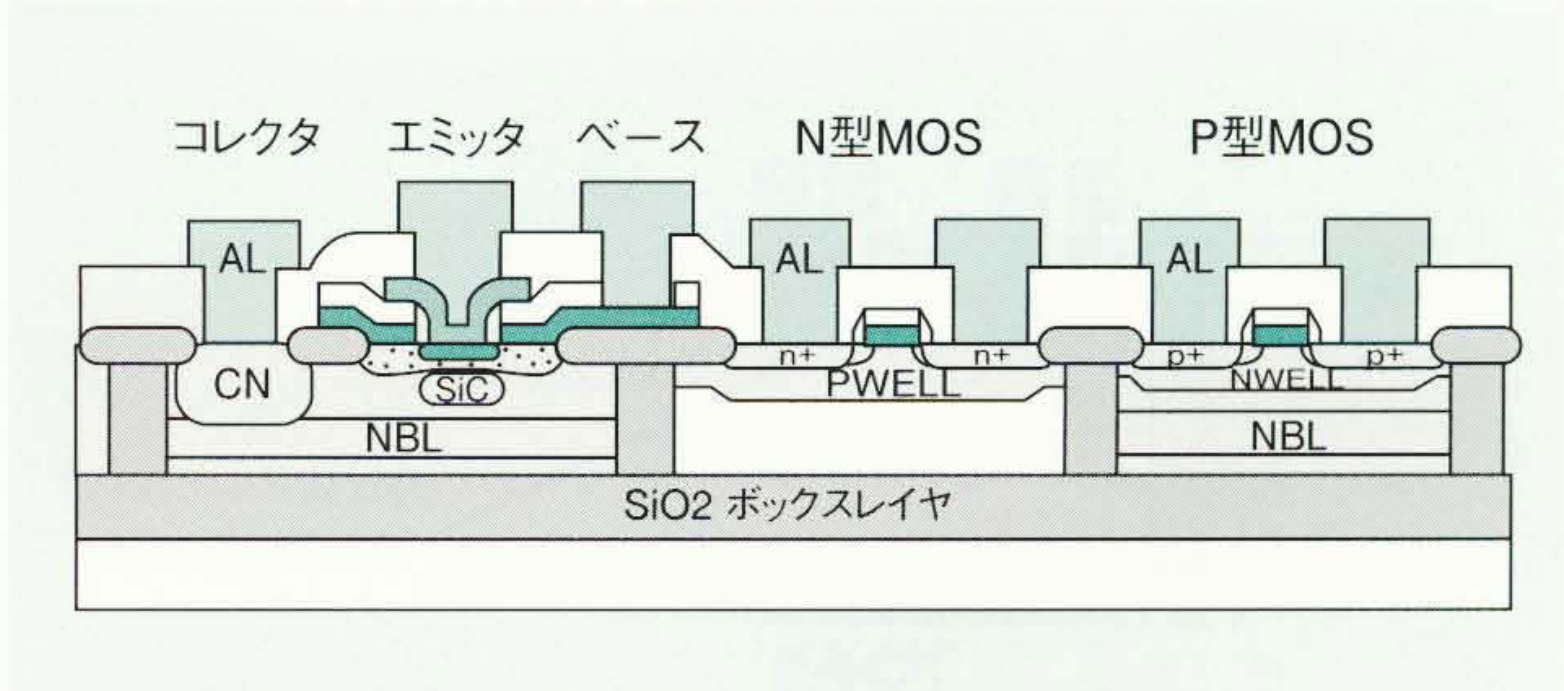
移動体通信や携帯電話用のLSIでは、部品点数の削減、小型化、低消費電力化に加えて、高周波性能と低ノイズ性能が強く要求されている。特に、近年のブロードバンド化による通信速度の飛躍的向上と、キャリア周波数の高周波化(0.9 GHz→2 GHz→5 GHz)に対応が可能な高性能RF (Radio Frequency)用プロセス、デバイス技術が求められている。

日立製作所は、これらの要求にこたえて、SOI (Silicon on Insulator) 基板にBiCMOS (Bipolar Complementary MOS) を形成するプロセス・デバイス技術を開発した。また、いっそうの特性改善のために、SiGe-HBT²⁾ (Heterojunction Bipolar Transistor) 共存BiCMOS技術も開発している。

3.1 0.35 μm SOI-BiCMOS技術

高周波・低ノイズ化には、キャリアがSiバルク内を移動するバイポーラトランジスタが、また、低消費電力化にはCMOS回路がそれぞれ優位となる。さらに、携帯電話用LSIでは入力信号が微少であることから、Si基板を介した基板ノイズも非常に大きな課題となる。

この基板ノイズは微細加工を行っても改善できないので、SOI基板と酸化膜埋込形トレンチアイソレーションを組み合わせることにより、基板ノイズ低減と寄生容量の削減、および高集積化を図った。また、この技術の適用により、高周波回路で重要な役割を果たす受動素子(インダクタ、バラクタほか)の特性も大幅に改善することが可能となった。



注：略語説明 AL (アルミ配線), CN (N⁺コンタクト層)
NBL (コレクタ低抵抗層)
WELL (活性デバイスの基板領域)

図3 0.35 μmプロセスによるSOI-BiCMOSのデバイス構造
SOI基板とトレンチアイソレーションにより、各デバイスが酸化膜(SiO₂膜)で完全に分離されている。これにより、Si基板からのノイズの影響を無視することができる。

日立製作所は、これらの問題を解決するプロセス・デバイス技術として、0.35 μm SOI-BiCMOS技術(遮断周波数 $f_{tmax} = 22$ GHz)を開発し(図3参照)、2000年からGSM (Global System for Mobile Communications)携帯電話用LSI“HD155131TF”の量産を開始している。

3.2 SiGe-BiCMOS技術

日立製作所は、高周波特性とノイズ特性の改善のために、SiGe-HBT共存SOI-BiCMOSプロセス・デバイス技術を開発し、適用製品を開発中である。

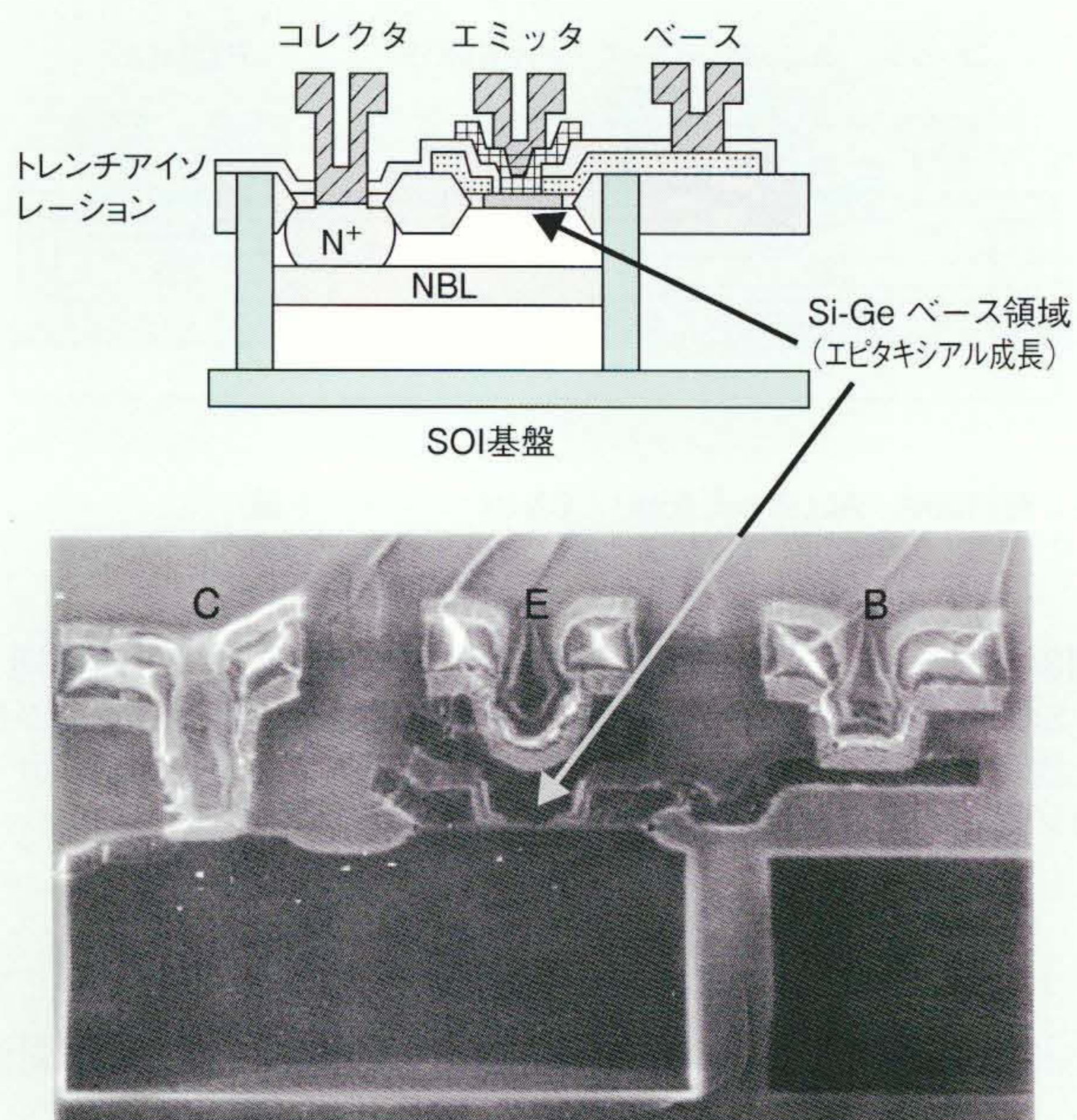
SiGe-HBTでは、ベース領域をSiGe-Epi (Epitaxial Growth) 成長層で形成することにより、少数キャリアの注入効率を大幅に改善できるので、同じ電流増幅率 h_{fe} を得るためのベース層の不純物濃度を大幅に増加することが可能となる。同時に、ノイズの主原因であるベース抵抗 R_{bb} を大幅に低減することもできる。

また、ベース領域内部でGe濃度分布にこう配をつけることによってベース内部にキャリアの加速電界を形成することができるので、ベース走行時間の短縮と、遮断周波数 f_{tmax} の大幅な向上が可能となった。

BiCMOSからSiGe-HBTへの変更は、基本的にはNPNトランジスタのベース領域の形成を、従来のイオン打込みからSiGe-Epi成長に変更するだけで可能なので、Siの微細加工技術の恩恵をそのまま引き継ぐことができ、少ないコストアップで大幅に性能を改善することができる(図4参照)。

日立製作所は、すでに0.35 μm SOI-BiCMOS技術をベースとし、SiGe技術を適用することにより、 R_{bb} 半減化、遮断周波数 $f_{tmax} = 45$ GHz以上の性能を得ている。

現在、このSiGe技術を使って、次世代携帯電話方式であるW-CDMA (Wideband Code Division Multiple



注：略語説明

C (Collector), E (Emitter), B (Base)

図4 0.35 μm プロセスによるSOI基板の構造(上)とSiGe-HBTの走査電子顕微鏡写真(下)

NPNトランジスタ形成をイオン打込みからSiGe-Epi成長に変更することにより、少ないコストアップで性能を向上させている。

Access)用LSIや、動画の送信も可能な5 GHz帯域対応無線LAN用LSIなどを開発中である。

また、いっそうの微細加工を行い、 $f_{t\max} = 70 \text{ GHz}$ 以上のデバイスも今後開発していく予定である。

3.3 RF-CMOS技術

以上述べたBiCMOSやSiGe-BiCMOS技術は、高い性能を実現しているが、コスト面と低消費電力面では微細化CMOS技術のほうが優れている。

このため、RF用途であっても、例えばブルートゥースのように、要求される性能(ノイズ特性ほか)が比較的緩い用途の製品については、p77Cなどの微細化CMOSプロセスを適用している。このように、超低消費電力、高集積、高機能RF用LSIを開発するために、低電圧で動作が可能な新回路技術などの基礎検討を行っている。

3.4 RFパワーMOSFET技術

日立製作所は、携帯電話の電力増幅器にCMOS技術を用いることにより、低電圧、高効率で動作するRFパワーMOSFETを開発し、RF増幅用モジュール“PF08103B, PF08109B”などに組み込んで発売している。

この素子では、オン抵抗低減と高耐圧化を同時に実現するために、オフセットゲート構造を採用し、さらに、

ゲート抵抗を低減するために、Al短絡シリサイドゲート構造を適用することで、2 GHz帯まで良好な高周波特性を得ることができた。

今後は、W-CDMAなどの新方式用途向けに、いっそうの高周波特性の改善が求められる。このため、SiGe-CMOSデバイスやGaAsデバイス、InPデバイスも含めて、高性能高周波パワーデバイスを開発していく考えである。

4 おわりに

ここでは、ネットワークLSIの製造に必要とされる、デジタルおよび高周波用の半導体プロセスについて述べた。

これらの技術により、ネットワークにいっそう適したLSIを短期間で提供することが可能となる。

今後も、ユーザーのニーズに迅速にこたえる半導体を提供できるように、技術開発を進めていく考えである。

参考文献

- 1) Miyama, et al.: Parametric Yield Enhancement System via Circuit Level Device Optimization Using Statistical Circuit Simulation, 2001 Symposium on VLSI Circuits (June 2001)
- 2) 鷲尾：SiGeヘテロ接合バイポーラトランジスタ，応用物理，第69巻，第2号(2000.2)

執筆者紹介



黒田謙一

1981年日立製作所入社，半導体グループ 量産プロセス技術本部 CMOSプロセス技術開発部 所属
現在，半導体プロセス技術の開発に従事
応用物理学会会員
E-mail: kuroda-kenichi @ sic. hitachi. co. jp



奥山幸祐

1973年日立製作所入社，半導体グループ 量産プロセス技術本部 CMOSプロセス技術開発部 所属
現在，半導体プロセス技術の開発に従事
応用物理学会会員，IEEE会員
E-mail: okuyama-kosuke @ sic. hitachi. co. jp



山崎幸一

1980年日立製作所入社，半導体グループ ミックスドシグナルICビジネスユニット デベロップメントチーム 所属
現在，半導体デバイス技術開発に従事
電子情報通信学会会員
E-mail: yamazaki-koichi @ sic. hitachi. co. jp



組橋孝生

1989年日立製作所入社，半導体グループ 量産プロセス技術本部 CMOSプロセス技術開発部 所属
現在，半導体プロセス技術の開発に従事
応用物理学会会員
E-mail: kumihashi-takao @ sic. hitachi. co. jp