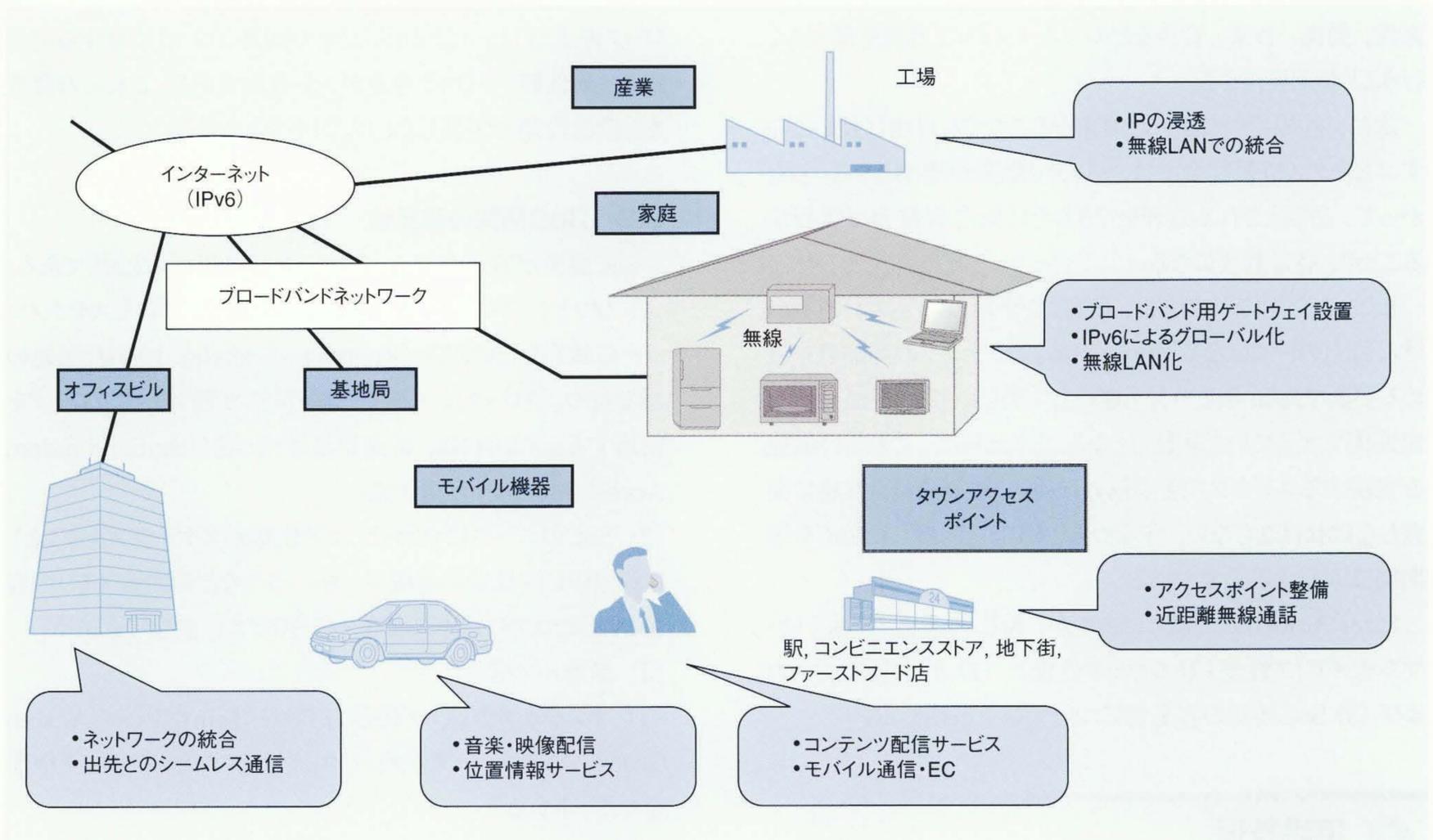


ユビキタス情報時代の次世代CPU

Next-Generation CPUs for Ubiquitous Information Society

赤尾 泰 Yasushi Akao 齊藤 規 Tadashi Saitô 佐藤 恒夫 Tsuneo Satô



注:略語説明 IPv6(Internet Protocol Version 6), IP(Internet Protocol), EC(Electronic Commerce)

ユビキタス情報社会のイメージ

さまざまな機器がネットワークに接続され、いつでも、どこでも、だれでも情報にアクセスできる社会が実現される。

ユビキタス情報社会は、インターネットなどに代表される情報ネットワークに、いつでも、どこでも、だれでもアクセスできる社会であり、新しい“WWW (Whenever, Wherever, Whoever)”時代を迎えることとなる。デジタル情報の融合化が加速されるので、デジタル情報を処理するマイコン(CPU)が活躍

する機会は限りなく広がっていく。

日立製作所は、このような時代に向けて求められるニーズにこたえて、さまざまな性能を備えた次世代CPUコアを開発している。この新たなCPUを通じて、ユビキタス情報社会の実現に貢献していく。

1 はじめに

ユビキタス情報社会でアクセスに使われる端末は、パソコンや携帯電話に限らず、テレビや冷蔵庫、電子レンジといった家電製品から、自動車、自動販売機などの機器にまで多岐に広がり、これらがインターネットに接続される。これにより、情報が生活の隅々にまで行き渡るようになる。

ユビキタス情報社会全体をこのように鳥観したとき、CPUに

は以下のようなものが求められる。

- (1) 人間の聴覚と視覚に訴える静止画、動画、音楽などのマルチメディア処理性能の最適な実現性
- (2) バッテリ駆動のための低消費電力化
- (3) “Time to Market(タイミングのよい発売時期)”に合わせて、CPU内蔵SoC(System on Chip)を短期間で開発するためのSoC展開の容易性

ここでは、ユビキタス情報社会に対応するCPUのあり方と、それに対応する日立製作所の取り組みについて述べる。

2 CPUに求められるもの

ユビキタス情報社会の端末では、情報をいかに人間にわかりやすく伝えるかという、いわゆるUI(User Interface)の重要性がますます高まる。特に、人間の五感の中でも、聴覚と視覚への訴求がかぎとなる。これをCPUの側面から見ると、画像、動画、音楽、音声などのマルチメディア処理を効率よく行うことが重要になる。

次に、無線でつながった端末をどこでも自由に使いこなすユビキタス情報社会では、バッテリー駆動が標準となる。したがって、必要とされる処理をできるだけ低消費電力で実行することが、特に重要になる。

また、このような社会では、情報コンテンツビジネスが業界のけん引力の一つとなると考えられる。コンテンツの商品性を決める要素である「楽しい」、「速い」、「美しい」は、製品仕様を短期間で変えていく原動力となる。したがって、これらの機能を実現するユビキタス端末用のLSIを、短期間に、容易に開発しなければならない。すなわち、CPUを内蔵したSoCを短期間に開発する必要がある。

ほかにも求められることはあるが、特に共通性の高い(1)マルチメディア性能(ミドルウェア性能)、(2)低消費電力、および(3)SoC展開の容易性について以下に述べる。

3 実現技術

3.1 マルチメディア性能(ミドルウェア性能)

マルチメディア処理をCPUで行う場合、ミドルウェアでソフトウェア処理するか、あるいはソフトウェアとアクセラレータなどのハードウェアの組合せで処理するのが一般的である。ソフトウェアの観点からは、固定小数点アルゴリズムで処理するもの(例:音声や画像の処理など)と、浮動小数点アルゴリズムで処理するもの(例:三次元グラフィックス処理など)がある。マルチメディア処理を安価に、効率よく、また低消費電力で実現するためには、CPU以外に専用のDSP(Digital Signal Processor)やFPU(Floating-Point Unit)を持つのではなく、汎用CPUにDSP機能やFPU機能を持たせるほうが有利である。

汎用CPUの性能向上策としては、低消費電力化を考慮し、単に動作周波数を上げるのではなく、周波数当たりの性能を向上させる「並列処理方式」の導入が必要である。

また、適用製品によっては、アクセラレータを導入して性能と消費電力の最適化を図る必要がある。そのため、ハードウェアIP(Intellectual Property:半導体の共通設計基盤)を再利用しやすい標準バス構成にし、かつ大量のデータ転送が可能な、高速データ転送性能を実現する必要がある。

3.2 低消費電力

半導体の微細化技術の進展に伴い、CMOS(相補形金属酸化膜半導体)回路でも、動作時の容量負荷の充放電による消費電流に加え、MOSのしきい値電圧の低下に伴って発生するリーク電流が無視できない大きさになっており、この対策が大きな課題となっている。この対策として、(1)基板電圧制御によるしきい値電圧の制御で得られるリーク電流低減(クロック停止時)と、(2)動作不要の回路ブロックに対する電源遮断(動作時、クロック停止時)が有効である。これらの機能を、設計段階で実装したCPUが必要とされる。

3.3 SoC展開の容易性

SoC展開が容易なCPUとしての要件は以下のとおりである。

- (1) ソフトウェアコアであること:設計資産を、プロセステクノロジーに依存しないRTL(Register Transfer Level)記述の形で持つ。クロックは一相で、エッジトリガ形フリップフロップを使用する。メモリには、同期型標準SRAM(Static Random Access Memory)を用いる。
- (2) SoCのニーズに合わせ、コア仕様がスケーラブルなこと: DSP/FPU演算器の着脱や、キャッシュなどの内蔵メモリの容量といったコアの基本仕様をスケーラブルに設定できる。
- (3) 標準バス構成
- (4) オンチップデバッグ機能:JTAG(Joint Test Action Group)インタフェース、ブレーク、トレースなどのデバッグ機能をサポートする。
- (5) テスタビリティがよいこと:スキャン回路とLBIST(Logic Built-in Self-Test)により、独立テストが可能である。

4 次世代CPUコア

4.1 ミドルウェア性能の向上

現在、新しいCPUコアとして、従来のSH3-DSPとSH-4を統合した新コアを開発中である。その概要を図1に示す。この新コアは、内蔵されるミドルウェアのニーズに合わせて、DSPを搭載したSH3-DSP系CPUとしても、FPUを搭載したSH-4系CPUとしても容易に選択、対応することができる。パイプライン段数を従来の5段から7段にすることにより、同じプロセステクノロジーでも1.5倍の周波数の向上が図れ、性能の上限も引き上げることができる。

また、従来SH-4に採用していたスーパスカラを共通コアに採用することにより、SH3-DSPでのミドルウェア性能を大幅に向上させることができる。

バス方式に関しては、“SuperHyway”バスを標準搭載する。これにより、CPUの性能を犠牲にすることなく、高速のデータ転送が要求されるようなアクセラレータのバスバンド幅を確保することができる。また、既存のIPに対しては、バスブリッジ

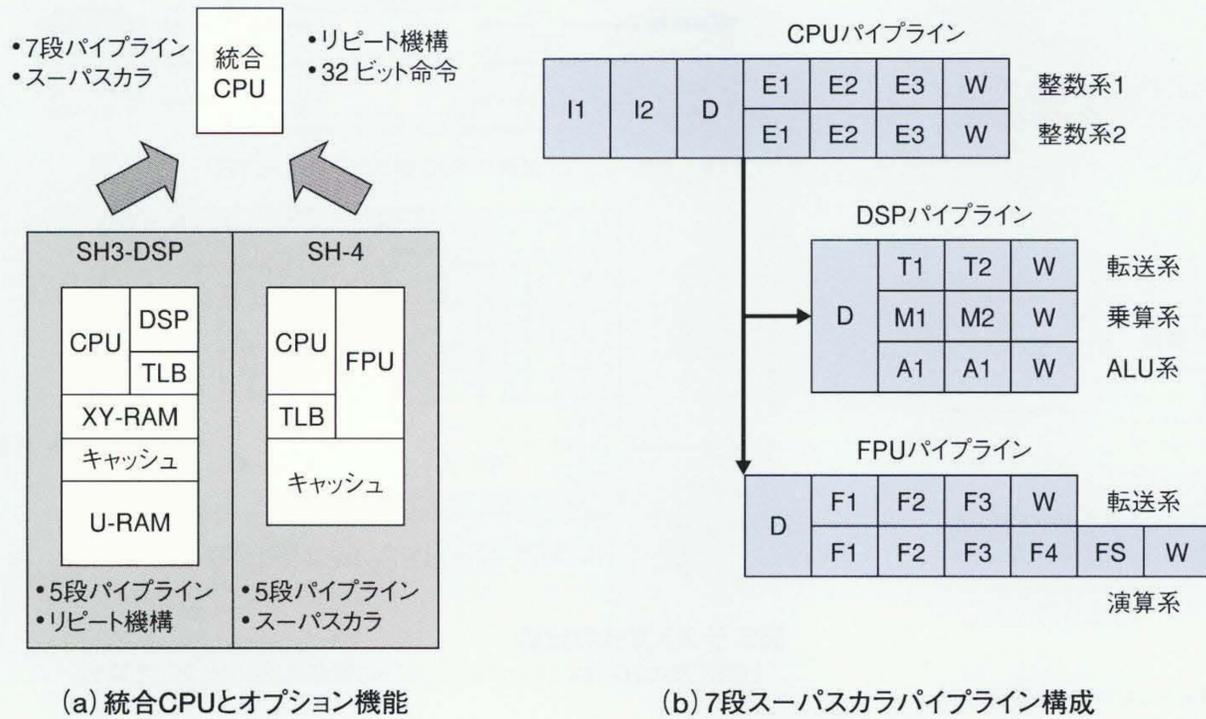


図1 日立製作所の次世代新CPUコアの機能と構成例

次世代新CPUコアでは、SH3-DSPコアとSH-4コアを統合し、DSP、FPU、キャッシュ、およびMMU(Memory Management Unit)をおのおの選択的に着脱できるようにした。7段パイプラインによって周波数の向上(対SH-4)を、スーパースカラの採用によって方式性能の向上(対SH3-DSP)をそれぞれ図っている。

注:略語説明ほか
TLB(Translation Lookaside Buffer)
XY-RAM(XY-Random Access Memory)
U-RAM(User RAM)
ALU(Arithmetical and Logical Unit)

を接続する構成により、既存IPとの接続を容易にしている(図2参照)。

4.2 低消費電力実現のための改善

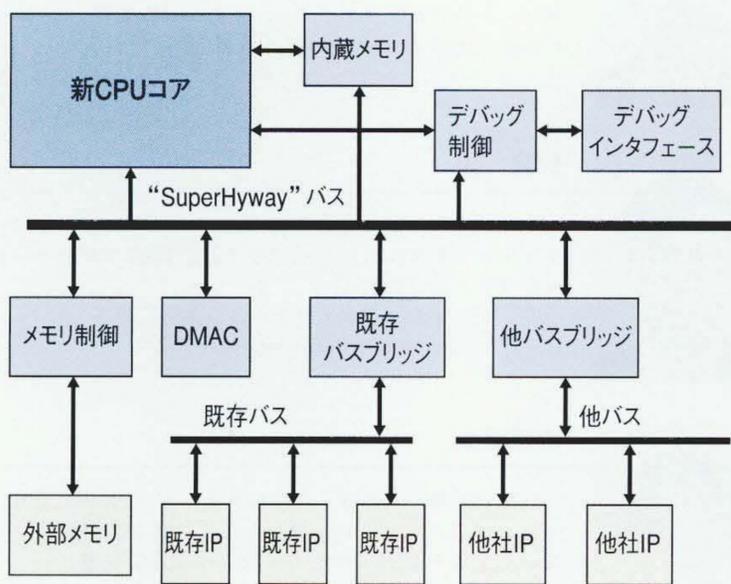
次世代CPUコアの低消費電力を実現する手段としては、以下の(1)から(3)の従来手法に加え、新たに(4)を追加した。

- (1) ゲーテッドクロック:クロックに対して「イネーブル信号」を付加し、データ更新が不要なときにはフリップフロップを停止させる。
- (2) モジュール ストップ モード:指定したモジュールへのクロック供給を停止する(DSPやFPUなどが対象)。
- (3) スリープモード:CPUへのクロック供給を停止することにより、低消費電力化する。

- (4) 電源遮断モード:電源を分離し、新たに設けた電源スイッチにより、動作不要な回路の電源を各回路ごとに遮断できるようにする。このモードは、機能モジュールごとに制御でき、携帯電話など、特に低消費電力が必要な製品に有効である。

4.3 SoC展開の実現手法

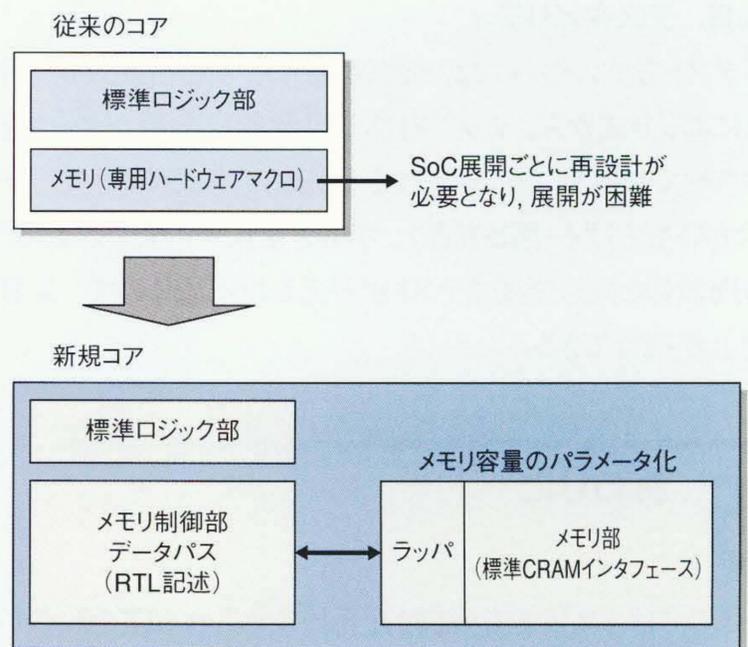
SoC展開は、以下のようなやり方で容易に実現できる。従来、ハードウェアマクロで構成していたメモリ周りの回路について、制御部とデータパス部をRTL記述化する。アドレスデコーダとメモリセル部を標準のコンパイルDRAM(Random Access Memory)で構成し、RAMのインタフェース部のさまざまな違いをラッパモジュールで隠ぺいする(図3参照)。また、RTL記述中に複数の容量のメモリ記述を列挙しておき、特



注:略語説明 DMAC(Direct Memory Access Controller)

図2 新CPUコアのバス方式

標準バスとして“SuperHyway”バスを搭載する。高速なバスバンド幅を確保し、既存のIP接続はバスブリッジを介して行う。



注:略語説明 CRAM(Compiled RAM)

図3 SoC展開の容易な実現手法

メモリ部を標準のコンパイルDRAMを前提として容量をパラメータ化した。また、インタフェースの違いをラッパ部で吸収した。

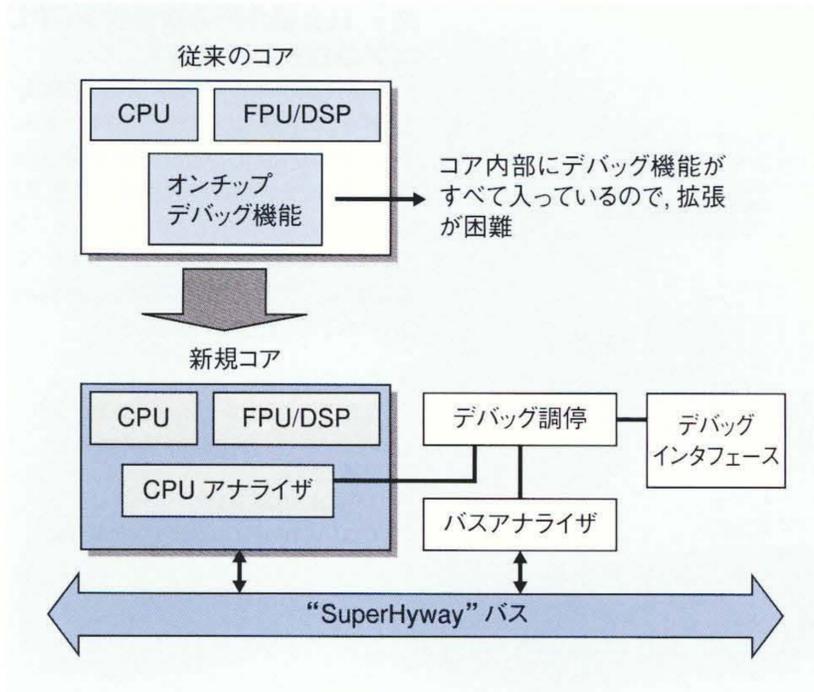


図4 オンチップデバッグ機能

CPU情報解析機能をCPUコアに内蔵させ、それ以外をコア外に持たせることにより、将来のデバッグ機能の拡張を容易にした。

定の記述を選択するパラメータ指定記述を追加することにより、パラメータ指定によるメモリ容量変更を可能にした。FPUやDSPなどの接続は着脱が容易なインタフェースで記述し、SH3-DSPとして使用するときにはDSP機能ブロックを、SH-4として使用するときにはFPU機能ブロックを、それぞれ容易に接続設計できるようにした。

4.4 オンチップデバッグ機能

従来のオンチップデバッグ機能では、すべての機能をコアに内蔵していた(図4参照)。新CPUコアでは、CPUのブレーク、トレース、パフォーマンスカウントなどの機能をCPUアナライザとしてコアに内蔵し、オンチップバスのブレークやトレース機能をバスアナライザとしてコア外に実装することで、デバッグ機能を容易に拡張できる構成とした。

4.5 テスタビリティ

テスト方式については、従来のMUX (Multiplexer) スキャンによる方式から、チップ内部で自動的に乱数パターンを発生させて短時間でテストができるLBIST方式に移行し、テストコストを下げる(図5参照)。さらに、LBIST方式では、製品の周波数と同じ速度でテストが行えるようになるので、品質の向上が期待できる。

5 おわりに

ここでは、ユビキタス情報社会に求められるCPUについて述べた。

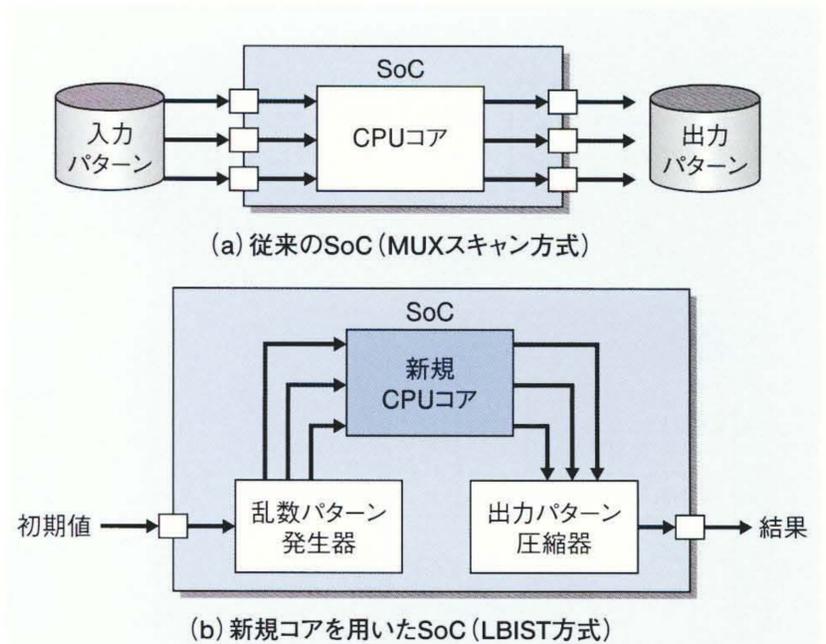


図5 テスト方式の比較

LBIST方式を採用することにより、テストの容易性と効率の向上を図る。

これらのCPUに対するニーズは特殊ではなく、幅広い応用分野から共通に求められるものであり、日立製作所は、継続してブラッシュアップを図っていく考えである。中でも消費電力に関しては、従来のデバイスとしての最大電流値を保証する考え方に代わり、使用状況に合わせて最適制御していく方向に向かうものと予想している。このような電力制御機能をOS (Operating System)などのシステムソフトウェアへどのように組み込んでいくかが、次の課題と考える。

執筆者紹介



赤尾 泰

1979年日立製作所入社、半導体グループ システムソリューションビジネスユニット システム設計本部 所属
現在、システムプラットフォームの開発に従事
E-mail: akao-yasushi@sic.hitachi.co.jp



齊藤 規

1975年日立製作所入社、半導体グループ システムソリューションビジネスユニット システム設計本部 アプリケーションシステム設計部 所属
現在、システムプラットフォームの開発に従事
E-mail: saito-tadashi@sic.hitachi.co.jp



佐藤恒夫

1975年日立製作所入社、半導体グループ システムソリューションビジネスユニット マーケティング本部 所属
現在、システムLSIのマーケティング業務に従事
E-mail: sato-tsuneo@sic.hitachi.co.jp