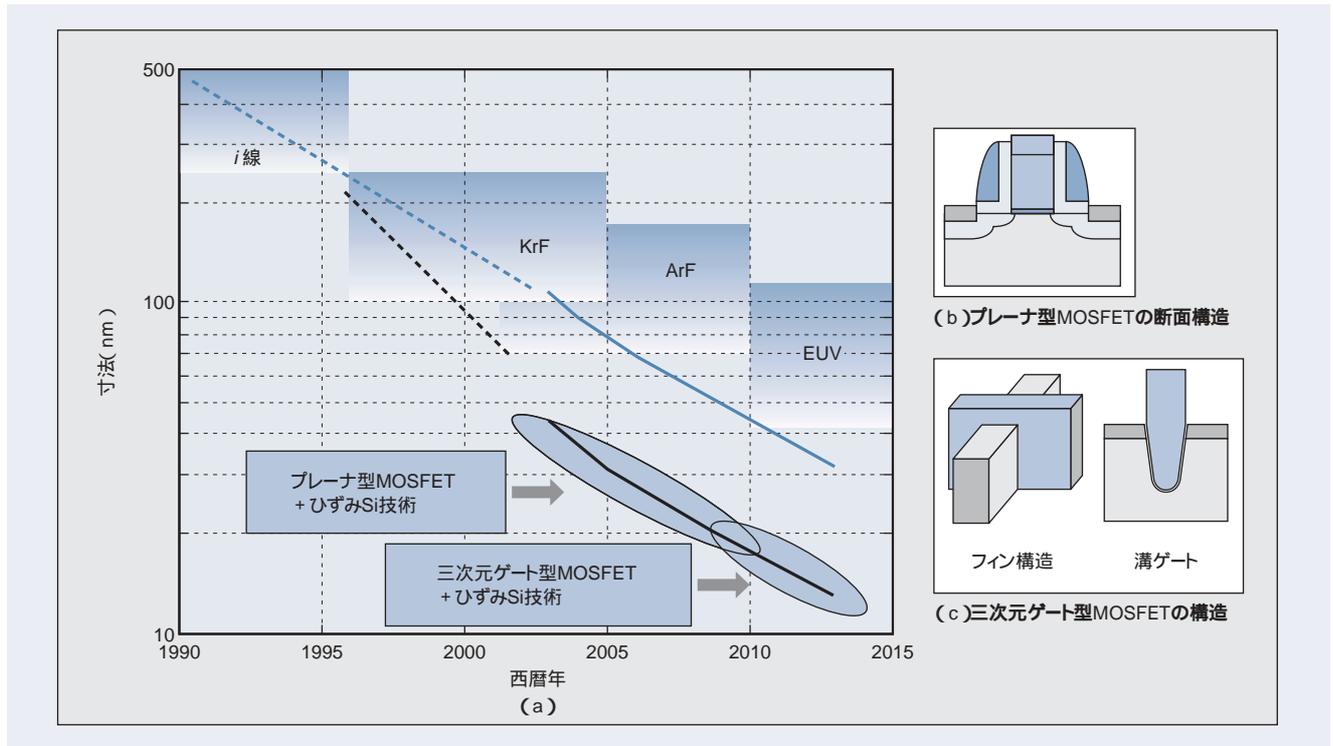


ナノメートル世代のシリコン半導体デバイスの展望

Prospect of Si Semiconductor Devices in Nanometer Era

木村紳一郎 Shin'ichirō Kimura 久本 大 Dai Hisamoto 杉井信之 Nobuyuki Sugii



注1：——(MPUゲートのハーフピッチ)，——(MPUゲートの加工後寸法)

注2：略語説明 MPU(Microprocessing Unit)，KrF(Krypton Fluoride)，ArF(Argon Fluoride)，EUV(Extreme Ultraviolet)，MOSFET(Metal-Oxide Semiconductor Field-Effect Transistor)

ITRS(国際半導体技術ロードマップ)が予測するMPUゲート電極のハーフピッチ寸法と加工後寸法の推移、およびリソグラフィーにおける露光法の変遷

MPUのゲート電極の寸法はハーフピッチの寸法より先はるかに小さくなっており、近年、微細化が加速していることを示している。

MOSFETなどのSi半導体では、加工寸法がナノメートルの領域に入っている。ゲート電極寸法は、最先端の90 nm技術ノードですでに50 nm以下であり、開発が正念場を迎えた65 nmノードでは25 nmになる。そのため、スケールング則に代わる新しい指針が求められており、ひずみ効果の利用や素子構造の三次元

化などが注目されている。ひずみを利用する技術では、ひずみの評価やひずみに起因した欠陥の抑制などについて、高精度な評価技術が必要となる。MOSFETを三次元構造にするためには基板加工が重要であり、ナノメートル級の精度や加工表面の損傷の除去、さらに、その評価技術などが不可欠である。

1 はじめに

売れ行きが好調なデジタル家電を背景に、LSI産業は2003年後半から再び成長軌道に乗り、2004年もこの状況は持続

するものと予想されている。WSTS(World Semiconductor Trade Statistics)は、全世界的な規模では2004年のLSIの売り上げを190億ドル(1ドル=105円換算で約20兆円)と予測している¹⁾。

LSIチップを製造するための技術であるデバイスプロセス技

術は、ITRS(International Technology Roadmap for Semiconductors : 国際半導体技術ロードマップ)が示すように²⁾、ハーフピッチ(配線幅と配線間のすきまとの合計の半分)という表記では、90 nmの加工技術を用いる90 nmノード時代に入っている。最近、高性能マイクロプロセッサや大容量フラッシュメモリの一部で、90 nm技術を用いる製品が登場し始めた。これらの製品で使われているトランジスタであるMOSFET(Metal-Oxide Semiconductor Field-Effect Transistor)のゲート電極寸法は、すでに50 nm以下である。この寸法は、デバイス動作の原理的な限界と考えられる寸法(10 nm)に比べればまだ大きいもの、さまざまな要因により、微細化による性能向上が実現しにくくなってきているのも事実である。

このような背景から、近年、半導体デバイスの性能向上の指針であったスケーリング則とは異なるアプローチで、デバイスの性能向上に挑戦する試みが増えてきた。

ここでは、半導体デバイス性能の向上における新しい試みに注目し、製造技術や評価技術を念頭に置きながら、学会の動向を中心に、最近のデバイスプロセス技術について述べる。

2 MOSFETの新しい性能向上の指針

ITRSでは、2010年にはハーフピッチが45 nmになり、高性能マイクロプロセッサのMOSFETのゲート長は18 nmになると予想している。しかし、現状の平面的なMOSFET構造でこの寸法を実現するのは容易ではない。そのため、ITRSは、新しい指針として、微細化だけに頼るこれまでのアプローチから脱却することを提案している。その代表的なものが、(1) ひずみ効果の利用と、(2) MOSFETのチャネルを立体的にするフィン(薄い壁)構造である。この二つの新しい試みについて、デバイスの観点から以下に述べる。

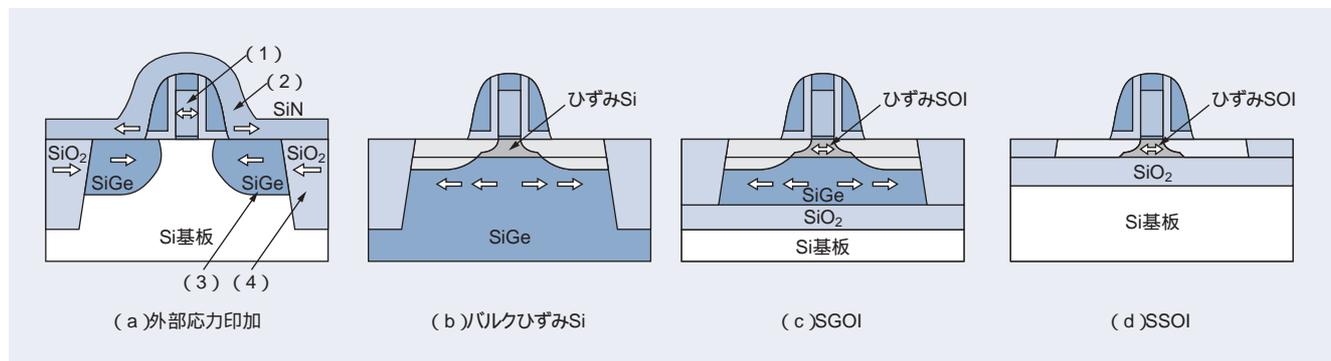
2.1 ひずみ制御によるSi-MOSFETの高性能化

スケーリングによる性能向上が困難な90 nm以降の世代でも性能向上が期待できる技術として、MOSFETのチャネル部分にひずみを与える、いわゆる「ひずみSi技術」が注目を集めている。応力を加えてSiの結晶格子をひずませると、等方的であったSi結晶のバンド構造の対称性が崩れ、エネルギー準位の分裂が生じる。バンド構造変化の結果、格子振動によるキャリア散乱の減少や有効質量の低減により、電子と正孔の移動度が向上する。ひずみの量や方向によって異なるが、最大で電子の移動度が約2倍、正孔の移動度が1.5倍程度大きくなる。移動度の向上は、速度飽和が顕著になる微細MOSFETにおいても維持され、微細化で一世代以上に匹敵する性能向上が期待される。

ひずみの印加方法には、幾つかの手法が提案されている³⁾⁻⁵⁾(図1参照)。代表的な手法は以下のとおりである。

- (1) 外部応力印加：通常のSi基板を使用しながら外部応力を印加する方法(SiNによる外部応力³⁾)であり、日立製作所の先駆的な試みである(同図 a)参照)。
- (2) バルクひずみSi：Si基板上にSiGe膜をエピタキシャル成長し、さらにSi膜を成長することで、この表面Si層にひずみを印加する方法である(同図 b)参照)。
- (3) SGOI(Silicon Germanium on Insulator)：SOI(Silicon on Insulator)基板のSi層にGeを拡散させてSiGeにし、さらに表面にSiを成長させることによってひずみを印加する方法である(同図 c)参照)。
- (4) SSOI(Strained Silicon on Insulator)：バルクひずみSiを別の絶縁膜付き基板に転写してからSiGeを除去し、SiGeを含まないひずみSOIを得る方法である(同図 d)参照)。

SiGeはSiに一定の割合でGeが固溶した混合結晶であり、Geの混合比率に応じて結晶格子の寸法が拡大する。Siよりも結晶格子の大きな結晶(SiGeバッファ層)の上にエピタキシャル成長でSiを(たい)積させると、Si原子はSiGe結晶に原子間隔を合わせるように成長することを強いられる(図2参照)。例えば、Ge含有率が20%程度のSiGe上にSiを成長さ



注：略語説明 SGOI(Silicon Germanium on Insulator), SSOI(Strained Silicon on Insulator), SOI(Silicon on Insulator)

図1 チャネルへの応力印加方式の比較

(a) の外部応力印加において、(1) はゲート電極の応力、(2) は窒化膜(SiN) の応力、(3) は基板に埋め込んだSiGeの応力、(4) は素子分離酸化膜の応力をそれぞれ利用することを示している。

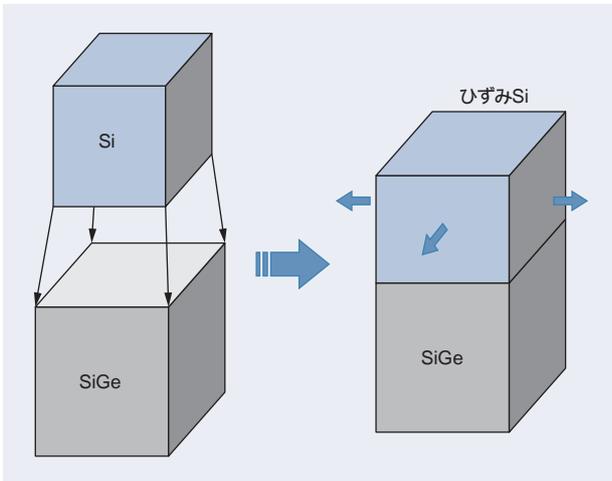


図2 SiGe上へのSiのエピタキシャル成長によるひずみ導入の仕組み
格子間隔の広いSiGe層にSiをエピタキシャル成長させると、Siの格子が引っ張られた状態のSi層を形成することができる。

せると、原子間隔が約0.8%伸びることになり、応力に換算すると約1.4 GPaという強い引張応力が与えられた状態になる。

2.2 ひずみ制御によるSi-MOSFET製造上の課題

ひずみ制御によるSi-MOSFETの製造では、チャンネル部分に強い応力を加えることやSiGeを使用することなどに起因する、以下のような幾つかの課題がある。

- (1) 結晶欠陥：ひずみSiチャンネル層には許容される最大膜厚(臨界膜厚)が存在し、これを超えるとひずみSi層に転位が発生して、トランジスタのリーク電流を大幅に増加させてしまう。CMOS(Complementary Metal-Oxide Semiconductor)用として開発が進められているGe含有率15~20%の基板では15 nm程度のひずみSi膜厚しか許容されておらず⁶⁾、トランジスタ製造プロセスでの膜減りなどに細心の注意を払う必要がある。
- (2) Geの酸化拡散：トランジスタ製造プロセスでの熱負荷が過大になると、SiGe層中のGeがひずみSi中に拡散する。拡散したGeはキャリアの散乱源となるだけでなく、酸化膜の信頼性を著しく低下させてトランジスタの特性に悪影響を与える。

える。

(3) しきい電圧制御：Si、ひずみSi、SiGeではそれぞれの禁制帯幅が異なるためにチャンネル表面の電位に変化が生じ、結果として、しきい電圧が変化する。そのため、チャンネル不純物やゲート電極仕事関数の制御などにより、しきい電圧の適正化を図る必要がある。

(4) 低放熱性：SiGeの熱伝導性はSiに比べて1けた低い。このため、SOI-MOSFETと同様な、チャンネル温度が局所的に上昇してトランジスタの出力電流が低下する「自己加熱現象」が観測される。デジタル回路での影響は小さいとされるものの、アナログ回路などでは、動作状況によっては性能への影響が懸念される。

以上のように、トランジスタ作製には課題があるものの、ひずみ効果の利用は90 nm世代以降のMOSFETには必須の技術であるとの認識が広がっている。これは前述したように、微細化を進めても、個々のトランジスタの性能向上が以前と同様には望めないためである。また、ひずみを導入する技術は、次に述べる立体構造MOSFETにも適用が可能であり、65~45 nm世代以降では、両者を組み合わせる方向で、デバイス技術が推移していくものと考えられる。

2.3 フィン構造デバイス

MOSFETは半導体のプレーナ加工技術にとって理想的な形状であることから、加工技術の進歩が同時に、デバイスのスケーリングを進めてきた。例えば、性能向上のかぎであるゲート電極の縮小は、リソグラフィ技術の進歩の結果でもある。しかし、従来のプレーナ型構造では、スケーリングを進めるにしがたい、短チャンネル効果を抑制するために、チャンネルの不純物濃度を高くすることが求められる。これがキャリアの移動度を低下させ、素子性能を劣化させるようになってきている。ゲート電極寸法が製品レベルで100 nm以下になり、研究では10 nmに達するようになった現在⁷⁾、スケーリングの限界が強く意識されるようになってきている。

スケーリングを延命させる方式としては、これまでのプレーナ型から三次元型にチャンネル構造を変えることが考えられて

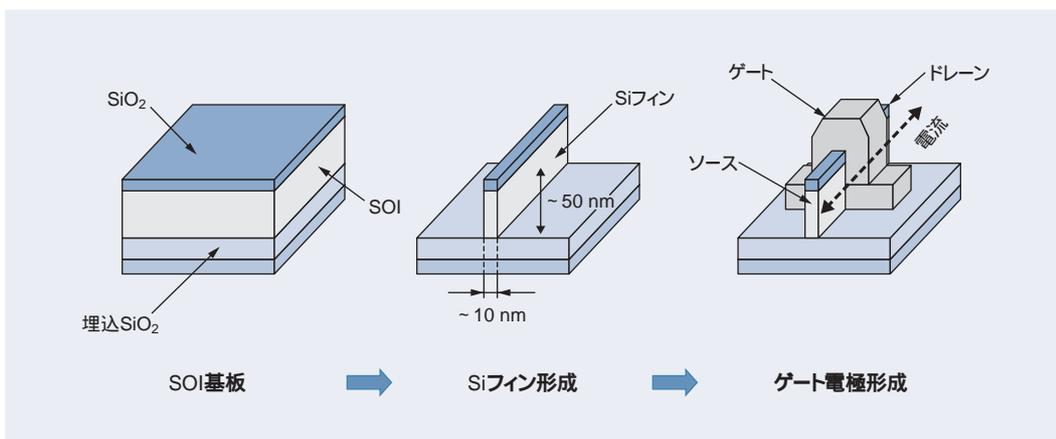


図3 フィン構造を持つMOSFET(Metal-Oxide Semiconductor Field-Effect Transistor)の作成工程

SOI基板を用いて、Si層を薄い壁(フィン)状に加工する。この表面にゲート酸化膜を形成し、フィンをまかくようにゲート電極を形成する。

いる。立体構造を用いることで、ゲートの電界効果を有効に働かせ、短チャネル効果を抑制することにより、チャネルの不純物濃度を低く抑えることができ、高い素子性能が期待できる。

三次元構造MOSFETとしては、日立製作所が開発したフィン構造が最も将来有望な構造である。これは、チャネル方向や電極配置が従来のMOSFETと同じであるため、従来のプレーナ加工技術が使えるからである。フィン構造は日立製作所の中央研究所において選択酸化法を用いることによって初めて実現し⁸⁾、その後、SOIウェーハを用いる“Fin-FET”として報告した。近年、各社からフィン構造を用いた半導体デバイスの発表が積極的に行われるようになってきている⁹⁾。

フィン構造を持つMOSFETの代表的な形成プロセスを図3に示す。Si単結晶を薄膜状にエッチングすることによってフィンを形成し、ゲート電極がフィンをもたがるように加工する。そのため、プレーナ加工技術を用いながら、チャネルを三次元化することができる。フィンの大きさは用いるデバイス世代に依存する。幅15 nm、高さ50 nm程度のものが代表的である。ただし、フィンが作る高段差上でゲート電極を加工するので、高度の選択加工が要求される。

デバイスの特徴は、基板側面をチャネルとしていることと、フィンが両側からゲート電極によって挟まれたダブルゲート構造になっていることである。基板側面をチャネルとすると、チャネル幅はフィンの高さで決まるため、レイアウト幅に比べて実質的に大きくなり、電流駆動力が増える。また、ダブルゲート構造では、ゲート電極によるチャネル電位の制御性が増すために、チャネル不純物濃度を高くすることなく、短チャネル効果を抑制することができる。その結果、高いキャリア移動度とキャリア密度を得ることができ、ゲート寄生容量の低減も期待できる。

一方、フィン構造デバイスには、SOIの超薄膜化が引き起こす課題と共通の課題がある。例えば、(1)不純物濃度によるしきい電圧の制御ができなくなる、(2)SOI膜厚のばらつきがしきい電圧のばらつきを招く、(3)加工損傷を受けたフィンの側壁にチャネルが形成される、(4)フィンの薄膜化によって寄生抵抗・寄生容量が増加する、(5)ESD(Electrostatic Discharge)素子やI/O(Input-Output)素子形成が難しいことなどである。これらの課題の解決には、フィンの加工技術が重要な役割を担っている。

3 メモリ技術

高集積メモリLSIとしては、パソコンやサーバの主記憶として使われるDRAM(Dynamic Random Access Memory)と、デジタルカメラの画像記録や携帯電話のデータ記録に使われるフラッシュメモリが代表的なものである。後者は不揮発

性という特徴を生かし、その応用範囲を広げている。また、メモリ容量という点でも、DRAMに先んじて大容量化が進んでいる。以下では、デバイス構造の三次元化という観点から、DRAMについて述べる。

DRAMでは、一つのスイッチ用トランジスタ MOSFETが使われる。と、一つの電荷蓄積用キャパシタで1ビットを構成している。メモリの最小単位を「メモリセル」と呼ぶ。基本的には単純な構造であり、それが、大規模集積化を可能にしてきた最大の要因である。しかし、最近の512 Mビットや1 Gビットという超高集積DRAMは、基本的な構造は従来と変わらないものの、微細化に対応するために、非常に高度な加工技術が要求される構造になっている。特に、情報を電荷として蓄えるキャパシタでは、電荷量がキャパシタの面積でほぼ決まることから、限られたメモリセル面積でキャパシタ面積を確保するために、三次元構造を最大限に活用している。その例について、キャパシタをMOSFETの上部に配置した、いわゆる積層容量型セルを用いて述べる(図4参照)。

キャパシタは、絶縁膜を下部電極と上部電極で挟んだ構造になっており、下部電極はMOSFETの一方の拡散層と電気的に接触している。最近のキャパシタ構造の変化を模式的に示したものを図4に示す¹⁰⁾。64 Mビットでは、キャパシタの構造は、いわゆるシリンダ形であり、下部電極の内壁外壁の両方を使うことができた。これは、キャパシタの電極が高くなるのを抑える効果がある。一方、256 Mビットでは、MOSFETの上層に堆積した厚い絶縁膜に深孔を形成し、その内

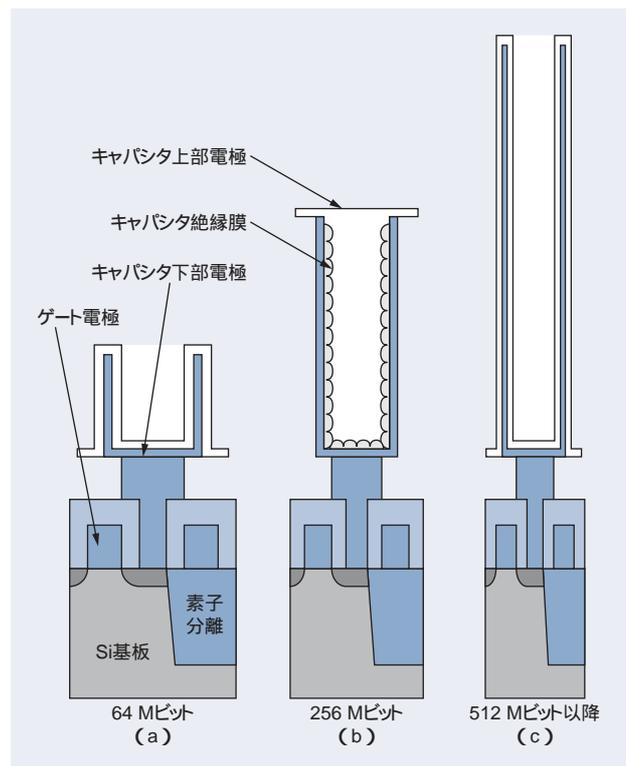


図4 DRAMのセル構造の推移

シリンダ構造(a)、深孔構造+表面凹凸形成(b)、高アスペクトシリンダ構造(c)と変化してきている。

壁に付けた下部電極の表面を利用するのが一般的であった。この構造で、さらに蓄積容量を増やすため、電極の表面に微細なHSG(Hemispherical Grain:シリコン粒)を形成する方法なども採用されてきた¹¹⁾。

しかし、512 Mビットや1 Gビットでは、さらにセル面積の縮小が要求されるため、この深孔構造では、孔がもっと深くなるという問題が発生する。また、孔の径が小さくなり、容量の増加法として使われてきたHSGを、下部電極の内壁に成長させることができないという状況も発生した。そのため最近、学会で報告されている90 nmノード以降をターゲットにしたDRAMでは、シリンダ形のキャパシタが復活している。寸法は、円筒の内径が150 nm以下、円筒の厚さが50 nm以下、高さは1.4 μm以下であり、アスペクト比にして、実に10以下という、正にナノ構造の煙突の様相を呈している¹²⁾。また、隣接するキャパシタの間隔は100 nm以下であり、その接触を防ぐためにも、個々のシリンダ状下部電極は、しっかりと自立したものでなければならない。シリンダ状のキャパシタを形成する過程では、酸化膜への深孔加工や、その酸化膜の除去、洗浄などの工程が必要である。特に、酸化膜の除去と洗浄は「ウェットエッチング」と呼ばれる工程であり、シリンダ状キャパシタ間のわずかなすきまがエッチング液で満たされる。そのエッチング液の表面張力によって隣接するキャパシタが引き付けられ、倒壊する可能性があるため、キャパシタはしっかりと自立していることが重要である。

スイッチ用のMOSFETにも、大きな変化が到来しようとしている。90 nm以降のDRAMでは、このMOSFETのゲート電極寸法は80 nm程度にまで縮小される。MOSFETのゲート電極寸法を小さくするためには、スケール則に従って、上述したように、基板の不純物濃度を上げなければならない。しかし、不純物濃度の増加は、DRAMの情報保持能力を劣化させる。MOSFETの拡散層と基板との界面にできるPN(Positive-Negative)接合の電界が増加し、PN接合間に流

れるリーク電流が大きくなるからである。これまでは、イオン注入条件や熱処理を最適化することで不純物分布を制御し、微細化を達成しながら情報保持特性を改善してきた。

しかし、ゲート電極寸法が80 nmという超微細な寸法になると、これまでの不純物分布制御だけでは対応が困難になると予想される。このため、溝の側壁を利用する溝形のMOSFETが対策として提案されている¹³⁾(図5参照)。溝形のMOSFETにすることで、二つの効果が期待できる。一つ目は、MOSFETの平面的なゲート電極寸法を小さくしながら電流が流れる経路を長くできることであり、二つ目は、前述したPN接合付近での電界の上昇を抑えられることである。後者は、チャンネルの底と拡散層領域とを離すことができるためである。

溝形MOSFETでは、しきい電圧が溝の形状に大きく依存し¹⁴⁾、また、エッチングによって損傷を受けた基板面にゲート酸化膜を形成しなければならないなど、信頼性の面での懸念は多い。しかし、DRAMのスイッチ用MOSFETとしての特殊な仕様を満たすためには、有力な候補であると考えられる。

4 製造技術、評価技術への期待

デバイス構造や基板が変わってくると、製造技術、評価技術への要求も変化する(表1参照)。膜応力を利用するひずみSi法では、堆積する膜の応力を自在に変化させる技術が望まれる。ひずみSi基板を用いる場合には、厚さが15 nm程度しかないので、膜減りを防ぐことが重要である。現状のプロセスでは、ゲート酸化膜形成までに、さまざまなウェットエッチングや犠牲酸化工程が必要とされており、10 nm程度の基板の削れは許容されている。しかし、ひずみSi基板や極薄膜のSOI基板では、このような削れは許容できない。評価技術には、応力を局所的に測定できる手法が望まれる。現在、断面TEM(Transmission Electron Microscope)で格子ひずみを測定し、それから応力を求めている。しかし、ウェーブプロセスという観点からは、非破壊での評価が望ましい。また、ひずみSi基板の課題である貫通転位(SiGe層から発生し、ひずみSi領域を貫通して表面で終端している転位)は $10^5/\text{cm}^2$ 以下という低密度であり、その存在を正確に評価する手法が確立されていない状況にある。基板の高品質化のためにも、転位の評価は重要である。

表1 製造技術、評価技術への要求

新しいスケール指針を担うひずみSi、フィン構造、および溝形ゲートについて、必要とされる製造技術と評価技術をまとめたものを示す。

	製造技術	評価技術
ひずみSi	・基板削れ抑制 ・膜応力制御	・貫通転位密度測定 ・局所応力測定
フィン構造 溝形ゲート	・極低損傷Si加工 ・高選択エッチング	・三次元形状測定 ・損傷定量化

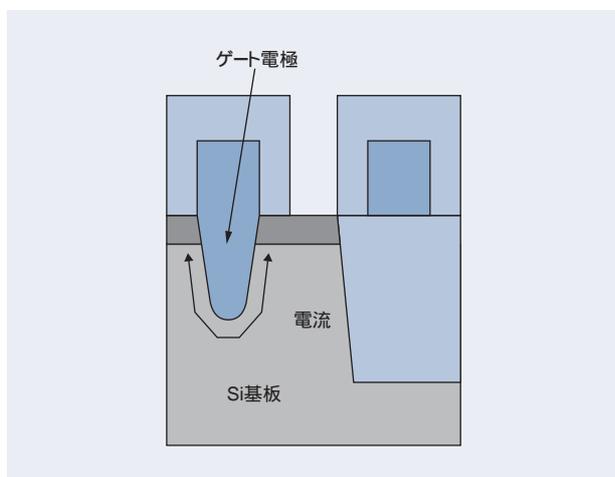


図5 溝形ゲートを持つMOSFETの構造

電流は基板に掘った溝に沿って流れる。このため、実効的な電流の経路を長くでき、短チャンネル特性が改善される。

一方、フィン構造や溝形ゲートでは、ドライエッチングなどで加工したSi面にチャネル領域を形成しなければならない。基板には、ドライエッチングによってC, O, Hなどのエッチング雰囲気ガスが入り込んでおり、極表面層には損傷が入っている。これまでは、犠牲酸化などの手法を用いて10 nm程度の領域を取り除いていた。しかし、ナノメートル領域では、損傷を入れない加工技術が望まれる。また、三次元形状の高精度計測は不可欠な技術である。半導体デバイスの特性は、微細化に伴ってばらつきが大きくなっている。ばらつきは形状に依存しており、形状の正確な評価こそが、ばらつきを低減させる基本であると考ええる。

5 おわりに

ここでは、半導体デバイス性能の向上における新しい試みに注目し、製造技術や評価技術、学会の動向を中心に、最近のデバイスプロセス技術について述べた。

1970年に米国のインテル社が1 kビットのDRAMを発表してから、すでに30年以上が経過した。その間、微細加工技術は歩みを止めることなく発展し続け、集積度は100万倍にまで増加した。しかし、チップ面積は親指大にしかならない。MOSFETの歴史は、サブミクロンや0.1ミクロンの壁を乗り越えて、微細化路線を突進するものであった。その結果が、50 nmというゲート長である。今後もLSIでは微細化と高機能化が続き、その応用範囲がさらに広がることで、われわれの生活にいっそう身近な存在になっていくものと思われる。

一方、これまでの微細化路線には、かげりが見えつつあるのも事実である。ITRSが予想する2010年での寸法は18 nmである。しかし、これは、シリコン原子が100個並んだだけに相当する寸法である。このため、微細化以外の指針が必要

とされており、半導体デバイスの構造に注目した新しい方向が、ここで述べてきた三次元化と新Si基板による性能向上である。これ以外にも、デバイスの実装技術やモジュール化技術が注目されており、メモリチップを多段に積層することによる高集積化や、種類の異なるチップの積層による高機能化などは、携帯電話などでは当然の技術になっている。このようなさまざまな技術の集合により、LSIの性能は今後も向上していくことは必須である。日立製作所は、これからも、最先端半導体デバイスの量産を支援するナノメートル時代のソリューションの研究開発を推進していく考えである。

参考文献

- 1) WSTS 2003
- 2) ITRS 2003
- 3) F. Ootsuka, et al. : Technical Digest, Int. Electron Devices Meeting, p.57(2000)
- 4) K. Rim, et al. : Technical Digest, *ibid.*, p.4(2003)
- 5) T. Ghani, et al. : Technical Digest, *ibid.*, p.97(2003)
- 6) J. W. Matthews, et al. : J. Cryst. Growth 27, p.11(1974)
- 7) H. Wakabayashi, et al. : Technical Digest, Int. Electron Devices Meeting, p.98(2003)
- 8) D. Hisamoto, et al. : *ibid.*, p.83(1989)
- 9) J. Kedzierski, et al. : *ibid.*, p.24(2002)
- 10) 安達, 日経マイクロデバイス, 11月号, p.8(2003)
- 11) H. Watanabe, et al. : Ext. Abstract of 22nd Conf. Solid State Devices and Materials, p.86(1990)
- 12) W. K. Park, et al. : Technical Digest, Int. Electron Devices Meeting, p.81(2002)
- 13) J. Kim, et al. : Dig. Tech. Papers, Symposium on VLSI Technology, p.11(2003)
- 14) J. Tanaka, et al. : IEEE Electron Device Letters, 14, 8, p.396 (1993)

執筆者紹介



木村 紳一郎

1980年日立製作所入社, 中央研究所 ULSI研究部 所属
現在, 新構造, 新材料を用いたMOSFETの研究開発に従事
工学博士
応用物理学会会員, IEEE会員
E-mail : sayo @ crl. hitachi. co. jp



杉井 信之

1988年日立製作所入社, 中央研究所 ULSI研究部 所属
現在, ひずみSiを用いたMOSFETの研究開発に従事
工学博士
応用物理学会会員
E-mail : sugii @ crl. hitachi. co. jp



久本 大

1986年日立製作所入社, 中央研究所 ULSI研究部 所属
現在, 新構造, 新材料を用いた微細MOSデバイスの研究開発に従事
工学博士
応用物理学会会員, IEEE会員
E-mail : hisamoto @ crl. hitachi. co. jp