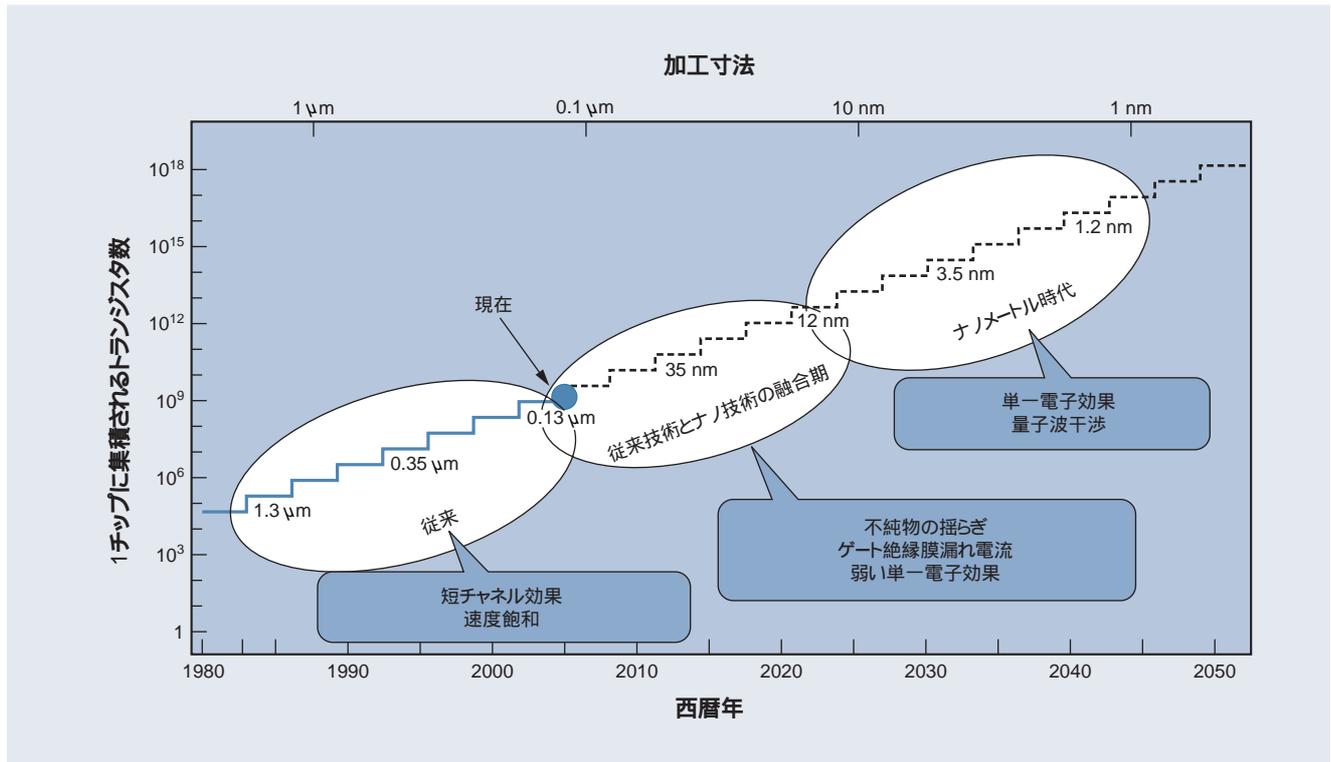


# ナノメートル時代に向けた半導体素子技術

## Nano-Structure Semiconductor Elements

石井 智之 Tomoyuki Ishii 長部 太郎 Tarō Osabe 矢野 和男 Kazuo Yano



### 半導体素子の微細化トレンド

2020年代には、半導体素子の加工寸法がナノメートルスケールになると考えられる。今後10年間は、従来技術を継承しながらナノ構造による新たな効果を導入できる融合期に当たる。日立製作所は、ナノ時代を見据えた研究開発を推進するとともに、融合期における部分的ナノ構造による新機能素子の研究も行っている。

2020年代には、半導体素子の加工寸法が数ナノメートルとなる真のナノ時代が到来すると考えられる。そのとき 従来の動作原理では素子動作が困難となり、新たな動作原理が求められる。

日立製作所は、きたるべきナノ時代に注目し、単一電子素子の研究開発を進める中で、単一電子メモリの室温動作に世界で初めて成功し、さらに、集積化に

よって課題の抽出を行っている。

今後10年間の従来技術とナノ技術の融合期では、従来の技術的な資産を利用しながら、部分的にナノテクノロジーを組み合わせ、新たな利点を見いだすアプローチが重要である。このような技術として、ナノドットメモリと単一電子シャットオフメモリを開発した。

## 1 はじめに

近年、ナノテクノロジーということばが頻繁に使われている。本来は数ナノメートルの大きさを対象とする技術を意味するこの用語は、材料や化学、機械などの分野では、従来より小さい構造を利用して新しい機能を実現する意味で使われており、マイクロメートル以上のサイズであってもこのことばを用いることが多い。半導体素子では膜厚が数ナノメートルの絶

縁膜を用いてきており、加工寸法は、現在、100 nm以下になりつつある。また、実験レベルでは、20 nm以下のゲート長のトランジスタの動作が報告されている。半導体の最小加工寸法は2、3年ごとに0.7倍程度に縮小し続けており、順調に技術開発が続けば、2020年代後半には加工寸法が10 nm以下という、真のナノメートル領域に突入する計算となる。このようなサイズの半導体素子では、従来の原理による素子動作が困難になる一方で、新たな動作原理が可能になる。

ここでは、ナノメートル時代の素子である単一電子メモリと、

ここ10年間の過渡期に、部分的にナノ構造を導入して新機能の実現を目指す日立製作所の取り組みについて述べる。

## 2 ナノ時代の半導体素子

1 nm(ナノメートル)は、シリコン原子層でわずかに3層である。このようなきわめて微細な世界においては、物質のふるまいは日常の常識とは異なり、量子力学によって支配される。その基本的な考えは、「物質は粒子であると同時に波である」ということである。例えば、従来の半導体素子では、電流が流れないオフの条件であるにもかかわらず、波の性質によって漏れ電流が流れてしまい、回路のスイッチとしての特性を損なうことがあった。これらの性質を積極的に利用して、素子の動作を行うのがナノデバイスである。このように、物質の粒子性を利用して電子1個1個を制御し、上述の波としての性質を抑制するのが単一電子素子であり、物質の波動性を積極的に利用して、従来は到達できなかった性能を実現するのが量子波干渉素子、あるいは量子コンピュータである。いずれの技術も開発途上であり、製品として量産することが可能となるまでには多くの技術開発が必要である。日立製作所は、ナノ加工技術、ナノ材料技術、ナノ観察、ナノ測定技術などとして、この分野で総合的な取り組みを進めている。

## 3 単一電子メモリ

### 3.1 単一電子素子の原理

日立製作所は初期段階から単一電子素子の開発に取り組み、1992年には日立ケンブリッジ研究所と共同で、世界初の単一電子メモリを実現した。これは極低温での試作であったが、1993年には世界初の室温動作に成功している。

単一電子素子の基本原理は以下のとおりである。微小な領域に電子が閉じ込められ、さらにその近くに他の電子がいるとき、この電子を同じ領域に入れようとすると電子間にクーロン反発力が強く働くため、大きなエネルギーを必要とする。必要なエネルギーが周囲の熱エネルギー(温度)よりも十分高いと、電子は周囲からエネルギーを使ってこの領域に飛び込むことができなくなる。すなわち、他の電子は1個たりともこの領域に入れないことになる(図1参照)。このように微小領域に電子を閉じ込める構造を用意することで、波の性質によってこの領域に他の電子が入り込むことができなくなり、電子1個単位の制御が可能となる。したがって、動作上のポイントとなるのは、いかにこの微小領域を小さく作り、周囲の温度が高くても動作させるかである。上述した世界初の単一電子メモリでは、100 nm程度の加工寸法を使い、周囲の温度を液体ヘリウム温度以下に下げた動作させている。一方、室温動

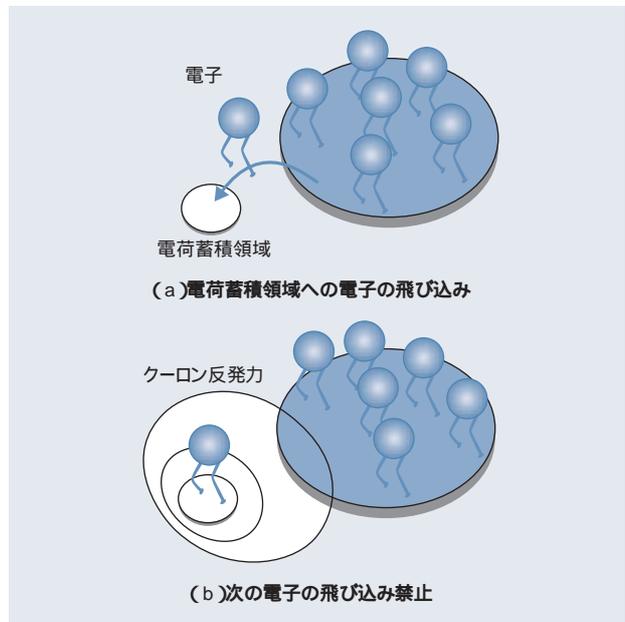


図1 単一電子素子の原理

ナノメートルスケールの微小な領域に電子を閉じ込めると、クーロン反発力によって電子1個単位の制御が可能となる。

作単一電子メモリでは、実効的に10 nm程度の構造を実現するために、次に述べるようなくふうを行った。

### 3.2 室温動作単一電子メモリ

単一電子メモリ室温動作のかぎとなるのは、SRAM(Static Random Access Memory)などの開発で培った極薄の多結晶シリコン膜形成技術である。実験に用いた素子の構造を図2に示す。TFT(薄膜トランジスタ)と同様の構造であるが、電流経路となるシリコン膜の厚さが2 nm程度ときわめて薄いとところに特徴がある。この極薄膜では、わずかな膜厚の違いが大きなエネルギーの違いを生む。膜が厚いところには電子がたまりやすく、薄いところには電子がたまりにくい。したがって、結晶粒程度の非常に幅の細い電流経路や、孤

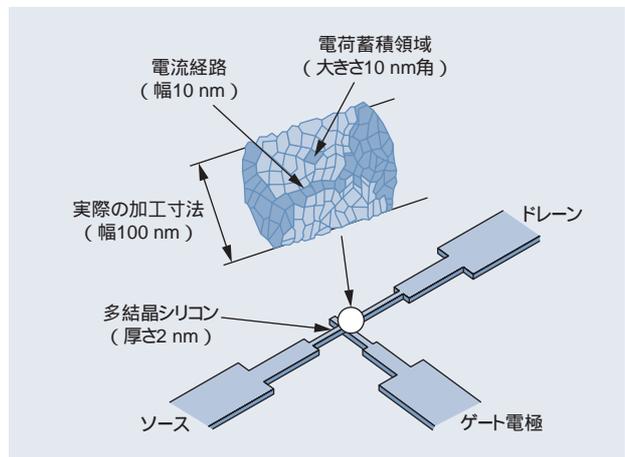


図2 世界初の室温動作単一電子メモリの概略構成

実際の加工寸法は100 nmであるが、極薄膜を利用することで、実効的に一けた小さい寸法を実現した。

立した電荷蓄積領域が膜内に自然に作られる。この結果、加工寸法が100 nmでありながら、実効的には10 nm程度と同様の働きをする構造を実現し、室温動作に成功した。

### 3.3 集積化単一電子メモリ

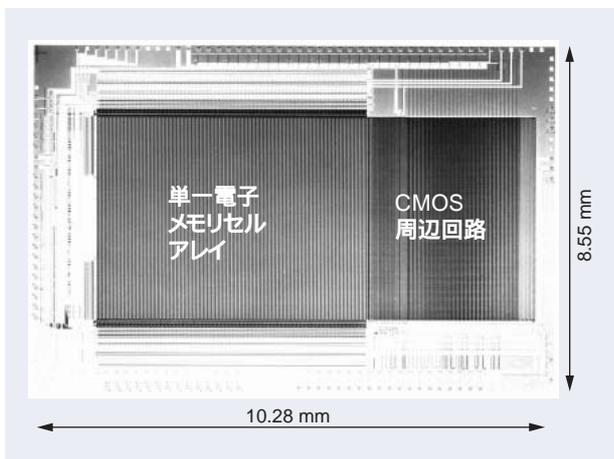
上述の簡易構造は作製が容易であるため、基本アレイ構造が128 Mビットの集積化チップを作製して特性の研究を行った(図3参照)。この結果、同一素子では、その時々特性が異なる現象や、素子間の特性ばらつきを観察した。このため、これらを補償する方式の研究を行った。これはあくまで実験チップであるが、将来の課題を先取りして明らかにする意味を持っているため、ここで得られた知見を今後も生かしていく考えである。

## 4 部分的にナノ構造を利用する新型素子

基本原理が新しくなるナノデバイス時代の到来は10年以上先であると予想される。それまでは、これまで蓄積してきた技術を生かしながら、部分的にナノ構造を導入して新たな機能を実現することが可能な新たな時代である。その取り組みの一つとして、上述の単一電子メモリ研究から生まれたナノドットメモリと単一電子シャットオフメモリの二つのメモリについて以下に述べる。

### 4.1 ナノドットメモリ

ナノドットメモリは、単一電子メモリでは1個であった電荷蓄積部分を多数用意したものである。その利点は、多数の微小粒子(ドット)を用いることで特性が平均化されることであり、構造的ばらつきと、確率的ふるまいの両方に起因する特性ばらつきが改善されるという点である。このナノドットメモリを不



注：略語説明 CMOS(Complementary Metal-Oxide Semiconductor)

図3 世界初の128 Mビット集積化単一電子メモリのチップ

メモリセル部分を単一電子メモリで形成し、センス増幅器などの周辺回路をCMOS回路で形成するハイブリッド構成である。ばらつき補償回路を備えている。

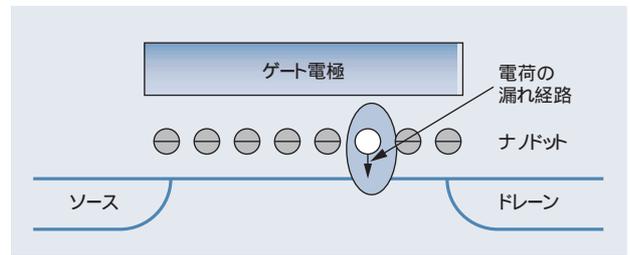


図4 ナノドットメモリによる高信頼化の原理

繰り返し書き換え動作や初期欠陥によって電荷の漏れ経路ができて、失われる蓄積電荷はごく一部であり、情報は失われない。

揮発性のメモリとして用いれば、繰り返し書き換え時に絶縁膜が劣化し、蓄積電荷が漏れるリークパスができてしまっても、ごく一部の電荷しか漏れないため、信頼性を向上させることができる(図4参照)。また、同等の信頼性のままで絶縁膜厚を薄くすることができる可能性があり、フラッシュメモリにおける微細化限界を突破する技術となりうる。このように、単一電子素子のように電子1個を制御するというものではないものの、新たな効果が期待できるものについては、ナノ構造を導入していく考えである。

### 4.2 単一電子シャットオフメモリ

単一電子シャットオフメモリの基本構成を図5に示す。これまではトランジスタ一つでメモリを構成していたのに対し、この技術では、二つあるいは三つのトランジスタで1ビットの情報を記憶する。信号増幅トランジスタのゲート電極に電荷を蓄積する構造とし、電荷の出し入れに極薄多結晶シリコンチャンネルのTFTを用いる。このような構成のメモリはゲインセルと呼ばれ、わずかな電荷量しか蓄積していなくても、大きな読み出し電流値変化が起きるため、微細化に適している。古くから知られているこのゲインセル構成では、蓄積電荷量がDRAM(Dynamic Random Access Memory)と比べて3けた程度小さいことから、電荷出し入れ用のトランジスタの漏れ電流がきわめて小さくないと、電荷を保持できる時間が極端に短くなってしまいう課題があった。一方、上述の極薄

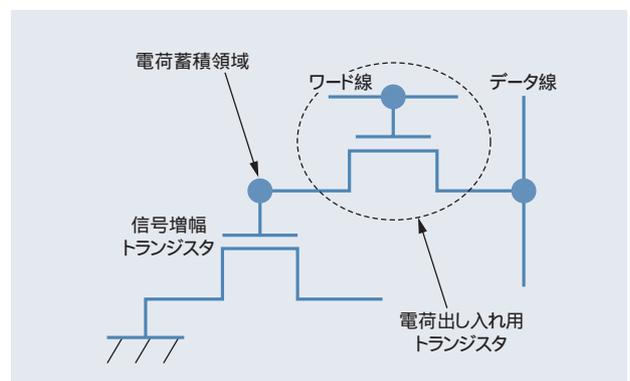


図5 単一電子シャットオフメモリの基本構成

電荷出し入れ用のトランジスタに、ナノ構造を利用して漏れ電流を極限まで抑えた単一電子シャットオフトランジスタを用いる。

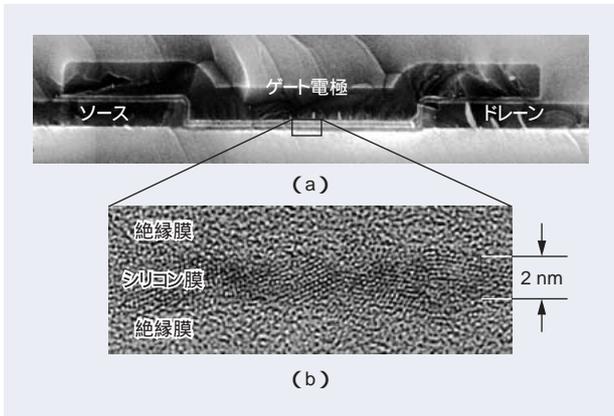


図6 試作した単一電子シャットオフトランジスタの断面構造

(b)は、電流経路となる極薄シリコン膜断面の電子顕微鏡写真である。シリコン膜部分で縞状に見えるのが原子層である。この膜厚では、厚さ方向の原子層は平均6層である。

シリコン膜を用いた薄膜トランジスタは漏れ電流が非常に小さいという特徴を持っており、電荷出し入れ用のトランジスタとして用いることが可能である。実験で評価した漏れ電流の大きさは $10^{-19}$  Aであり、これは通常のトランジスタと比較しても3けた以上小さく、1秒間に漏れる電子は1個以下である。漏れ電流が小さいということは、それだけ長時間電荷保持が可能であることを意味する。このため、DRAMにおける情報の保持のための読み出し・書き戻し動作(リフレッシュ動作)の間隔を延ばすことによって消費電力を抑えることができる。携帯機器の高機能化が急速に進む中で、低消費電力メモリの重要性は高まっており、このメモリは、低消費電力メモリとして有望であると考えられる。また、漏れ電流をきわめて低くできるのは、膜をナノメートルレベルまで薄くできる量子力学的な効果であり、この素子でも、部分的なナノ構造の利点を生かすことにより、従来の素子の特性を改良しようとするものである(図6参照)。

## 5 おわりに

ここでは、ナノ時代の半導体素子である単一電子メモリと、

ナノ技術との融合期の新技术として、部分的なナノ構造を導入した、ナノドットメモリおよび単一電子シャットオフメモリの二つのメモリについて述べた。

ナノ時代には、素子構造や素子の動作原理、集積回路の原理などで大きな変更が要求されることになる。日立製作所は、時代を先取りする研究により、将来の状況の変化に合わせた最良のソリューションを提供するために、研究開発を進めていく考えである。

### 参考文献

- 1) K. Yano, et al.: Room-Temperature Single-Electron Memory, IEEE International Electron Device Meeting, p.541(1993)
- 2) T. Ishii, et al.: Engineering Variations: Towards Practical Single-Electron (Few-Electron) Memory, IEEE International Electron Device Meeting, p.305(2000)
- 3) T. Osabe, et al.: A Single-Electron Shut-off Transistor for a Scalable Sub-0.1  $\mu\text{m}$  Memory, IEEE International Electron Device Meeting, p.301(2000)

### 執筆者紹介



石井 智之

1992年日立製作所入社、中央研究所 ULSI研究部 所属  
現在、半導体メモリの新技术開発に従事  
IEEE会員、応用物理学会会員、電子情報通信学会会員  
E-mail: tomoyuki @ crl.hitachi.co.jp



長部 太郎

1999年日立製作所入社、中央研究所 ULSI研究部 所属  
現在、半導体メモリの新技术開発に従事  
E-mail: osabe-t @ crl.hitachi.co.jp



矢野 和男

1984年日立製作所入社、中央研究所 センサネット戦略プロジェクト 所属  
現在、センサネットの研究に従事  
工学博士  
IEEE会員、応用物理学会会員、電子情報通信学会会員  
E-mail: k\_yano @ crl.hitachi.co.jp