

Professional Report**半導体平坦化用CMP研磨材**

CMP Slurry for Semiconductor Planarization

芦沢 寅之助 Toranosuke Ashizawa 天野倉 仁 Jin Amanokura

半導体LSIの集積度は微細加工技術の発展により飛躍的に増大してきた。1990年代以降は多層配線が進展し、現在、ロジックICの配線は11層に多層化されている。多層配線の実現には各層の平坦化が不可欠であったが、CMP (Chemical Mechanical Polishing: 化学的機械研磨) の実用化により配線層の段差は飛躍的に改善された。現在、CMPの適用個所は多岐に及ぶ。特にSTI (Shallow Trench Isolation: 浅溝素子分離) は半導体素子に直接接触する場所となるためにCMPによるダメージに敏感なこと、およびCu配線CMPは適用が急速に拡大しつつあることにより、CMPの中で議論の多い領域である。STIでは欠陥、特に研磨傷の低減が大きな課題である。Cu配線では信号遅延対策としてのLow-k (低誘電率絶縁) 材料の適用に伴い、低ストレス、高平坦化がクローズアップされている。

ここではSTIとCu配線CMP研磨材について前記課題への対応について述べる。

1 はじめに

1990年以前の半導体の研磨はベアシリコンの精密加工プロセスが主体であった。ベアシリコンの研磨加工において超精密加工技術が培われ、平滑、平坦(たん)化技術の基礎がこの時期に作られた。半導体LSIの集積度の増大は平面内の微細化だけにとどまらず、配線の多層化、各素子の積層化をもたらした。多層化を進める工程において下層に段差が残った状態で上層のパターニングを実行しようとする、フォトリソグラフィ工程で焦点深度が不足し、結果的に微細化の障害となる。また、下層のうねりが上層での断線を引き起こし、段差の存在はデバイスの歩留り低下の要因ともなっていた。1991年にIBM社のKaufmanらがCMPを発表¹⁾してからはCMPが急速に浸透し、現在、すべての先端デバイスにおいてCMPが繰り返し使用されている。

CMPの適用個所はタングステンプラグ、層間絶縁膜平坦化、Cu配線形成(ダマシ)、STI、p-Siゲート作製、キャパシタ電極形成とさまざまである。STI工程ではトランジスタと接する個所を研磨するため欠陥の発生に最も敏感

芦沢 寅之助
1981年日立化成工業株式会社入社
電子材料事業部
ウエハープロセス開発部 所属
現在、新規CMP研磨材の開発に従事
日本セラミックス協会会員



天野倉 仁
1991年日立化成工業株式会社入社
電子材料事業部
ウエハープロセス開発部 所属
現在、新規CMP研磨材の開発に従事



で、研磨傷の防止が最重要課題である。さらにSTIが最下層のプロセスであるために、このレベルでの段差の発生は上層の平坦化に悪影響を与える。単なる微細化による集積度の進行は配線抵抗、配線間容量ともに増大をもたらす(時定数(RC)が大きくなり、処理速度の低下を引き起こす。信号遅延対策として90 nm以降のノード[ICの最小加工寸法の尺度でDRAM(Dynamic Random Access Memory)のビット線間隔の $\frac{1}{2}$ と定義]のロジックICではAlよりも電気抵抗の低いCu配線が主流となってきた。一方、メモリでは配線層数が少ないためにCu配線は現在も一部で導入されているのみである。ただし、45 nm以降のノードでは従来のAl配線によるパターニングが困難になるため、メモリも含めて配線形成はダマシプロセスになり、Cu配線が使用される可能性が高い。

STIとCu配線CMP研磨材に関する最近の課題と対応について以下に述べる。

2 STI用研磨材の諸課題

STI形成を目的にCMPを実施した後のシリコンウェー

八断面を図1に示す。ここにCMPが原因で発生する主な欠陥を示した。CMPでは研磨装置、パッド、研磨材、ドレス、ウェーハが関与するために、欠陥の発生原因も複雑化する。ここでは特に研磨材に関する要因について列挙する。

研磨傷は研磨材中の異常に大きな粒子、外部からの混入異物が介在して被研磨膜に過剰な機械的な力が加わったために発生すると考えられる。傷が発生した個所は膜が深くえぐり取られる。傷は相対的に軟質のSTI部(SiO_2)に多く見られるが、まれにストッパ膜(SiN)上にも発生する。このため、ゲート電極材料の残留、トランジスタのI-V特性のばらつき、もしくは破壊を引き起こし、歩留り低下の要因となる。試験評価用STIパターンを研磨した場合の典型的な研磨傷の例を図2に示す。一連の傷で周辺8個の素子に影響を与えると推定される。傷の大きさが

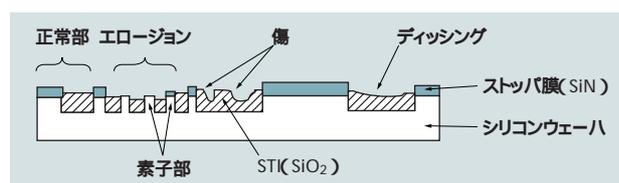


図1 STI形成CMP工程で発生する欠陥

エロージョンは微細パターンで発生し、ストッパ膜(SiN)とSTI部(SiO_2)がともにえぐられるように除去される。ディッシングは幅広パターンの中央が皿状にへこんだ欠陥である。傷は砥粒の機械的な作用により発生すると考えられる。

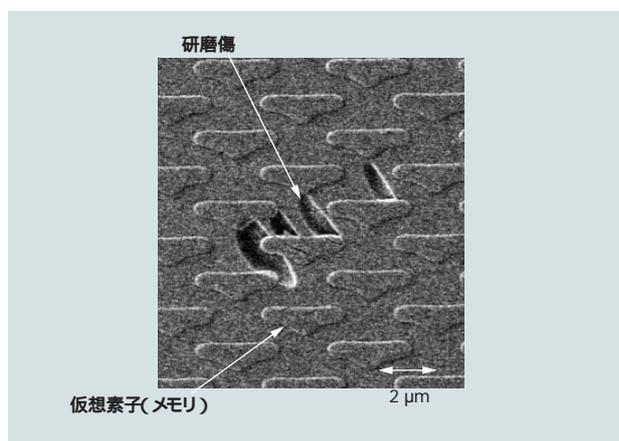


図2 STIテストパターンに発生した研磨傷

STI部に連続した傷が発生している。仮想素子部は硬質のストッパ(SiN)が膜付けされており、傷はストッパには達していない。

同じでも素子が小型化すると影響はさらに拡大する。さらに、小さい傷は指数関数的に多くなるため、加工寸法の微細化はこれら小さい傷をより深刻な課題にしている。

図1に示したCMP実施の後にストッパ膜除去を行い、トランジスタに続いてゲート電極が形成される。ここで再びフォトリソグラフィによる微細加工が加わるが、STIにCMPによる段差が残っているとフォトリソグラフィに用いるARF(Anti Reflection Coating: 反射防止膜)に凹凸が引き継がれ、微細パターンングが難しくなる。段差の低減要求は微細化の進行とともに次第に厳しさを増している。

3 STI用酸化セリウム研磨材

3.1 酸化セリウムによる高速研磨と傷低減

被研磨膜がシリカの場合、酸化セリウム研磨材はシリカ研磨材に比べて非常に大きな研磨速度を示す。これには水中に分散した酸化セリウムとシリカとの反応が関与していると考えられているが、それを直接示す証拠は少ない。多くのセリウム化合物は3価が安定であるが酸化物は4価が安定となる。4価のセリウム塩は強い酸化剤として作用し、金属を腐食する。日立製作所日立研究所では研磨中に酸化セリウムとシリカとの界面で起こる反応を解析し、研磨中にCe-O-Si結合が生成するとのモデルを提唱した²⁾。研磨後のシリカ表面をXPS(X-ray Photoelectron Spectroscopy)にて分析した結果、Ce 3dスペクトルから3価のCeに相当する結合エネルギーピークが検出されたが、4価のCeのピークは見られなかった。研磨後のシリカ表面ではシリカと酸化セリウムの反応により、 Ce^{4+} Ce^{3+} の変化が起きていると考えられる。実際はシリカ、酸化セリウムともに表面は水分により水酸基に変化しており、研磨中に



の脱水縮合反応が起こったと推定される。このような固体表面での反応速度は表面状態に依存する。一般に破壊などにより新たに発生した面は活性が高い。日立化成工業株式会社では研磨粒子の密度を一定に抑えて機械強度を下げることで、研磨中に砥(と)粒自身が崩壊して活性

化する酸化セリウム研磨材を開発した。開発した研磨材を4回繰り返して使用して研磨し、研磨前後の粒径分布を測定した結果、研磨前の酸化セリウム研磨材に含まれる粒子のうち、平均粒子径の2倍以上の大きな粒子の含有量は15 wt %であった。研磨終了後にはそれに相当する大粒子の含有量は9 wt %に減少し、研磨中に大粒子は砕かれて微細化していた。この酸化セリウム研磨材はプラズマTEOS(Tetra-Ethoxysilane)法SiO₂膜の研磨速度600 nm/min(直径200 mmウェーハ、研磨材中の酸化セリウム濃度1 wt %)を示した。一方シリカ研磨材(研磨材中のシリカ濃度12 wt %)を用いたTEOSの研磨速度は200 nm/minであり、酸化セリウム研磨材はシリカの3倍の高速研磨が可能である。

研磨材による主な研磨傷の発生原因は粗大結晶、凝集粒子、外部からの異物混入などである。特に粗大粒子は直接傷を発生させるため、その発生を厳しく管理しなければならない。粗大粒子生成の原因としては、異常結晶成長、分散性低下による凝集、粒径調整技術の不足などがある。STI用研磨材の粒子径は平均でサブミクロン領域にあり、100 nm以下の研磨材も発表されている。サブミクロン粒子を1 wt %分散させた場合の粒子数はおよそ $10^{17} \sim 10^{18}$ 個/mLである。これに1 μm以上の大粒子が混入した場合、 10^7 個/mL以上の混入では混入量が増加すると研磨傷は混入個数に比例して増加した。大粒子の混入量を個数で比較すると 10^{10} レベルの汚染でも研磨傷は増加することになる。日立化成では大粒子の発生を抑制することで、研磨傷を従来の $\frac{1}{5}$ に低減した。

3.2 選択性の付与

SiNは、硬さおよび靱(じん)性が高いため、研磨ストップパとしてよく用いられる。しかしながらシリカ研磨材または酸化セリウム研磨材を単独でSTIに用いると被研磨膜(SiO₂)とSiNとの研磨速度比が1:3から1:5程度しか得られないために、SiNの研磨量が大きくなりすぎる。極端な場合にはストップ膜が消失して、素子部がえぐり取られてしまい、動作不良を起こす。そこでSiNの研磨を抑制するために表面保護作用を持つ研磨材が待望されていた。

SiO₂表面はpH 5以上で負の電位を示す。一方、SiN表面はpH = 5 ~ 9付近でほぼゼロの電位を示す。ここに陰イオン性の化合物が共存した場合、静電反発力によりSiO₂表面には陰イオン性化合物はほとんど作用しないが、SiN表面には近接または吸着することが可能である。陰イオン性の有機化合物を含む研磨材をSiN膜表面に加えると砥粒の機械的研磨作用を阻害するのに十分な保護作用を持つことが見出された。その結果、SiNの研磨速度は10 nm/min以下が得られた。これにより微細パターン上のエロージョン(ストップパの過剰研磨)抑制が可能となった。

3.3 平坦化効果の改善

段差のあるシリコンウェーハを研磨すると突起部に応力が集中し、凹部は局所的に低圧力状態となる。基本的にはこの局所的な圧力の差によって平坦化が進行すると考えられる。現実には研磨パッドが弾性により変形して凹部も研磨される。また、SiNの研磨を抑制した研磨材を用いた場合でも、幅100 μm以上の比較的大きなパターンでは図1に示したディッシングが発生し、その結果として大きなパターン近傍のSiN膜が削り取られる場合が発生した。大きなパターンでいったんディッシングが生ずるとその近傍には局所的に大きな圧力が加わってSiNの研磨速度が抑制できなくなる。ディッシングおよびそれに起因するストップパの過剰研磨の対策としては研磨材に凹部の保護作用を付与する、パッドの弾性を高くして変形量を小さくする、パターンの設計を変更し、幅広のパターンを除くといった方法が必要である。

CMP研磨材による段差解消性能の改善に関しては凹部を保護する作用を持たせることが有効である。日立化成では陰イオン性の有機高分子を添加して段差を大幅に低減した³⁾。その作用を図3に示す。特定の陰イオン性有機高分子は酸化セリウム粒子表面に吸着し、これがSiO₂膜の研磨を阻害する効果を持つ。吸着力の弱い有機高分子は圧力、温度などの外乱により酸化セリウム表面から脱離しやすいため、段差の突起部分ではそれが引きはがされて、突起部の研磨が進行する。凹部では吸着状態が保たれて、研磨速度は低く保たれる。研磨開始直後は段差

が大きいため、突起部と凹部の圧力差が大きい。研磨が進行し、段差が解消すると局所圧力は平準化される。有機高分子の添加量が多いと、これを引きはがすのに必要な圧力が高くなる。したがって有機高分子の添加量を適切に設定することにより、段差が残っている状態では突起部の研磨が進行し、完全に平坦化したときには研磨抑制効果を示すように調整が可能となる。Sematec 864 STI用テストパターンを用いた代表的な研磨特性を表1に示す。研磨の終点はすべてのストップ膜が露出した時点とした。有機高分子の添加により100 μm パターンの残留段差は10 nmに低減できた。トレンチ酸化膜のばらつきは主に幅広パターンのディッシング、ストップ膜のばらつきはSiN膜の研磨速度(研磨抑制の程度)とディッシングにより主に発生する。

段差を解消させるためには有機高分子による保護作用を強めて凹部の研磨を防止することが必要である。パター

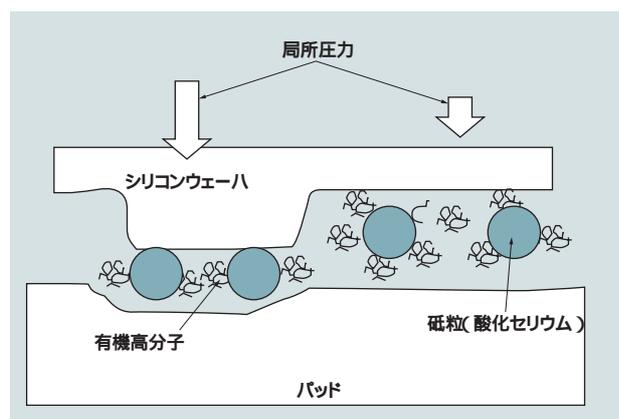


図3 有機高分子添加による平坦化のモデル

突起には応力集中が起こり、部分的に高い圧力が加わる。一方で凹部の圧力は低い。有機高分子は砥粒に吸着しているが、圧力が高いと一部が脱離して研磨が進行する。凹部では低圧力状態のため有機高分子は吸着した状態で維持される。

表1 Sematec 864を用いた研磨評価結果

STI用テストパターンを用いた代表的な研磨特性を示す。

研磨時間	140 s
残留段差*1	10 nm
トレンチSiO ₂ 膜ばらつき*2	25 nm
ストップ膜ばらつき*2	5 nm

注：初期段差600 nm

*1 100 μm Line/Space, *2 L/S 20/80 ~ 80/20 μm

ン凹部の弱い局所的な応力下では酸化セリウム粒子表面から脱離しないことが望ましい。有機高分子と酸化セリウム粒子表面との結合力は高分子と酸化セリウム間の静電引力、ファンデルワールス(Van der Waals)力の強度、高分子の親水性により決まる。高分子の基本骨格、分子量、官能基の種類が酸化セリウム粒子との結合力に関与する。これらを最適化することで段差の解消能力を大きく向上できた。砥粒の製造および有機高分子の合成技術開発がSTI用CMP研磨材にとって必要不可欠と考える。

平坦化効果に乏しい研磨材の場合、大面積パターンをそのまま研磨して段差を10 nmに低減することは困難である。その対策としてダミーパターンの挿入、逆パターン(リバースマスク)による大面積パターンのエッチング除去などの追加プロセスが併用される。リバースマスクの使用はコスト上昇を招き、ダミーパターンも一部に使用できない場合があるため、最近はこのような手法をとらずに段差解消性能の高い酸化セリウム研磨材が広く採用されつつある。

この有機高分子は前述したSiNの研磨抑制作用も有している。添加量を調整することで段差の低減とSiNでの研磨停止の両者を実現でき、現在、日立化成のSTI用研磨材の平坦化剤として適用されている。

4 Cu配線用研磨材の開発

4.1 CuメタルCMP研磨材の化学組成

半導体デバイスの高性能化には配線の微細化、多層化とともに配線材料の低抵抗値化が重要であり、デザインルール130 nm世代以降ではAl配線からCu配線への転換が急速に進んでいる。Cu配線は従来のAl配線形成で用いられてきたドライエッチング法での加工が困難であるため、配線溝を形成した絶縁膜上にバリアメタル膜、Cuを堆積した後、配線溝部以外のCuおよびバリアメタル膜をCMPで除去、平坦化する方法で形成される。

先端のLSIにとって、平坦性はフォトレジストの焦点深度を確保するために最も重要な特性である。CMPプロセスにとって平坦性を評価するには、ライン/スペースが

100/100 μm部の太い配線上の凹凸を触針式の段差計で測定するのが一般的である。これまで平坦性を高めるために幾つか化学組成の最適化を行ってきたが⁴⁾、その結果、原材料Cは、平坦性を向上するために効果のある添加剤であることがわかった(図4参照)。そこで原材料Cの作用機構を検討するために、Cu回転電極による電気化学的な評価を行った。図5には荷重をかけた場合(15 kPa)とかけない場合(0 kPa)とで比較して得られた電流密度と原材料Cの濃度との関係を示した。ここで得られる電流密度値はCuの研磨速度に対応する。この図から明らかとなり、荷重をかけた場合は、荷重をかけない場合と比較

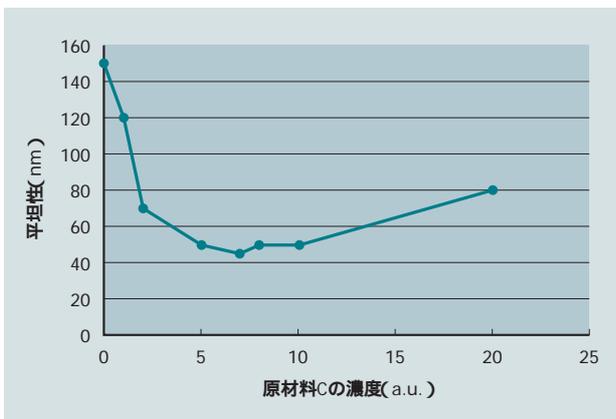


図4 平坦性と原材料C濃度の関係
原材料Cを添加することによって平坦性が小さくなり良好となる。

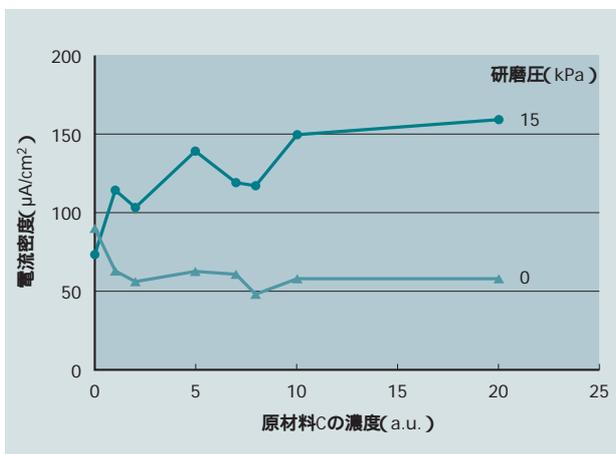


図5 電流密度と原材料C濃度との関係
原材料Cを添加するに従い、荷重をかけた場合は電流密度が大きくなり、一方、荷重をかけない場合は電流密度が小さくなる。すなわち、荷重がかかる凸部のみが選択的に研磨されるため平坦性が良好となる。

して電流密度が増加することがわかった。このことは、Cuが除去される際、Cuの表面に生成される防食膜が荷重のかかったときだけ除去され、荷重がかかっていないときは除去されない、すなわち、平坦性の向上にはCuの除去性に荷重依存性がある方がよいと考えられる⁵⁾。したがって、平坦性のよい研磨材を開発するためには、荷重をかけた場合とかけない場合とで得られる電流密度の比率を評価し、その値が大きいほど平坦性が高いことが推察された。そこで、これまで検討してきた研磨材の電流密度の比率を評価し、図6にプロットした。これからわかるとおり、目標の平坦性である50 nm以下を達成するためには、点線で囲ったような有用なパラメータが存在することがわかった。そこで、このパラメータの周辺を重点的に検討した。その結果、平坦性が高いだけでなく(ライン/スペース=100/100 μmの平坦性が30 nm)、研磨速度も高く(600 nm/min)、研磨面内での均一性が良好(1 = 3.0%)であるCuメタル用研磨材を開発することができた⁶⁾。

4.2 バリアメタルCMP研磨材の化学組成

Cu配線には、Cuの拡散防止のためバリアメタルと呼ばれる薄膜を形成する必要があり、Cuを除去した後、続いてバリアメタルを除去する必要がある。バリアメタルと

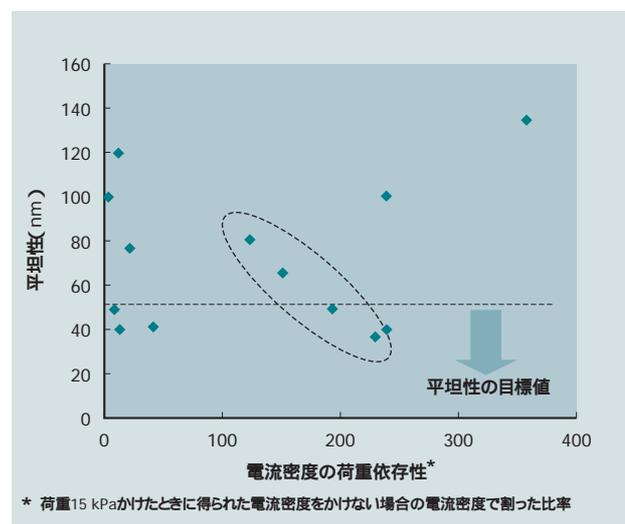


図6 平坦性と電流密度の荷重依存性との関係
点線で囲んだ部分には、あるパラメータが存在し、平坦性向上のガイドラインとなった。

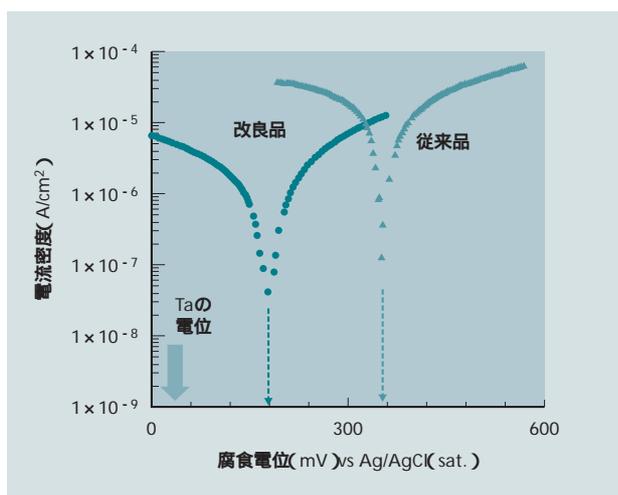


図7 改良品の腐食電位
改良品の腐食電位はTaのそれと近づくためにガルバニック腐食が出にくい。

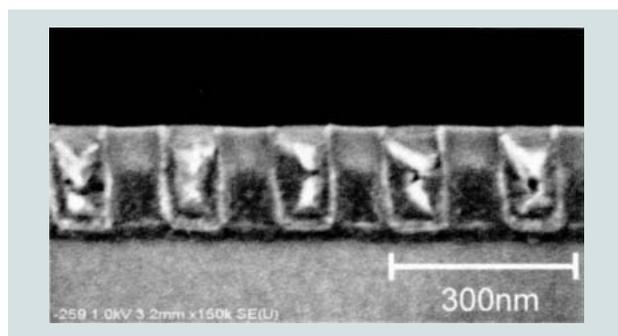


図8 研磨後のパターンウェーハの断面写真
ガルバニック腐食はないため欠陥性に優れる。

してはTa系の膜が広く用いられているが、CuとTaとは化学的な性質が大きく異なるため一度の研磨プロセスで両方の膜を研磨することは困難であり、Cuとバリアメタルとを別々に研磨する2ステッププロセスが主流である⁷⁾。2段目のバリアメタルCMPでは、研磨対象がCu、Ta、および下地となるSiO₂膜などを同時に除去する必要があり、これらの膜の研磨速度比を制御することが求められている。通常、評価にはベタ膜にて研磨速度を調整した後、実際のパターンウェーハにて性能を確認するのだが、異種金属を同時に除去する過程においてそれらの電極電位の違いから発生するガルバニック腐食の問題が発生する。そこで、われわれは、CuまたはTaを電極に用い、電流電位曲線(Tafel Plot)から腐食電位を評価することでガル

バニック腐食の低減を図った。従来品および改良品の腐食電位を図7に示す。改良品の腐食電位は従来品と比べてTaとの電位差が縮小している。このようにして開発したバリアメタル用研磨材では、図8に示すようにガルバニック腐食などの欠陥の少ない配線が形成できることを確認した。

日立化成では低欠陥性、高平坦性および高研磨速度を併せ持つCuメタルCMP研磨材およびバリアメタルCMP研磨材を開発し、現在量産中である。この研磨材を組み合わせることで実用性の高いCu配線の形成方法を提案することが可能となった。今後、45 nm以降導入されるUltra Low-*k*などの適用に併せ、より高性能な研磨材の開発を行う予定である。

5 おわりに

STI用およびCu配線用に平坦性、欠陥低減に優れたCMP研磨材を開発した。STI、Cu配線ともに今後は新たな膜が採用されるものと予想される。CMP研磨材の開発に携わるメーカーは今後の膜質の変化に対応しつつ、研磨速度、平坦性、欠陥低減といった共通の課題を克服していく必要がある。また、被研磨膜へのダメージ低減を目的として軟質パッドの採用も検討されている。今後は絶縁膜CMPにおいても低荷重への動きが進む可能性もあり現在主流の研磨材に取って代わる材料の模索が始まっていると考える。

参考文献

- 1) F.B.Kaufman, et al.: Chemical Mechanical Polishing for Fabricating Patterned W Metal Feature as Chip Interconnects, J. Electrochem. Soc., vol. 38, p. 3460(1991.11)
- 2) 中川路, 外: 素子分離工程(STI)用セリア系CMPスラリーの研磨機構, トライボロジー会議 2001秋 1A01(2001.11)
- 3) 平井, 外: STI用高性能CMP研磨剤, 日立化成テクニカルレポート, No. 35, pp. 17-20(2000.7)
- 4) 上方, 外: Cu配線用砥粒フリーCMP研磨剤, 日立化成テクニカルレポート, No. 37, pp.43-46(2001.9)
- 5) N. Ohashi, et al.: Proceeding of IITC conference, 140-142(2001)
- 6) J. Amanokura, et al.: Proceeding of Materials Research Society Meeting (2007)
- 7) M. Hanazono, et al.: Proceeding of Materials Research Society Meeting, vol. 671, M1.3.1 (2000)